

P. - 36.259

IBM Docket 7985

345339

Memoria descriptiva



13 DIC. 1967

para solicitar PATENTE DE INVENCION **por 20 años**

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / de nacionalidad norteamericana

con domicilio en Armonk, N.Y., Estados Unidos de América

por: "UN APARATO DE TRATAMIENTO DE DATOS"

(Clase Internacional G06f)



La presente invención se refiere al tratamiento de datos, y más en particular a una circulación de datos integrada para efectuar operaciones aritméticas y afines, así como para el registro y movimiento de datos.

5

En la técnica del tratamiento de datos, la unidad central, tipo de tratamiento u ordenación (CPU) de un sistema de tratamiento de datos incluye registros, y caminos de transferencia de datos, para el movimiento y la manipulación de manifestaciones de datos. Además, se necesitan aparatos para efectuar operaciones aritméticas (sumar, restar, multiplicar y dividir) así como para desempeñar funciones lógicas (de coincidencia, disyuntiva y disyuntiva exclusiva. Lo más frecuente es que los sistemas de cálculo sean bien del tipo de circulación en serie, en el que se manipulan pequeñas unidades de datos una tras otra, en serie, con un equipo relativamente pequeño, o bien del tipo de circulación en paralelo, en el que se dispone de gran cantidad de equipo, para así manipular unidades de datos más grandes y a una velocidad mucho mayor. Naturalmente, desde hace mucho tiempo se vienen proponiendo variantes entre estos dos tipos. Ahora bien, cada una de ellas exige por separado las partes de equipo central u ordenador antes citadas.

10

15

20

25

30

En un sistema calculador es factor importante el que comúnmente se denomina "coste de tarea". Es éste un factor que relaciona la velocidad de tratamiento de datos con el coste del tratamiento de datos. El coste de tratamiento es, naturalmente, función del coste de manufactura que, a su vez, viene en gran parte controlado por la cantidad de equipo efectivo necesaria a fin de lograr un de-

345339



terminado nivel de funcionamiento. Es posible que el coste de tarea para una máquina pequeña de trabajo en serie pueda ser el mismo que para una máquina grande de trabajo en paralelo, aún cuando el coste real y efectivo sea mayor para la máquina grande que para una máquina pequeña. Sin embargo, la máquina grande puede no ser necesaria para algunos usuarios, por lo que para tales usuarios resulta aconsejable la máquina pequeña, por su coste total inferior.

5
10
15
20
25
30

Independientemente del tamaño de la calculadora, el rendimiento viene mejorado por la reducción de equipo físico sólo en cuanto esta reducción de equipo no perturba gravemente la capacidad de "paso" o de tratamiento de la calculadora. Dentro de una aplicación dada para la calculadora, es posible utilizar una circulación de datos en paralelo, pero limitada, que pueda tratar cuatro "bytes" o grupos de ocho bitios de una vez, pero que necesita varios ciclos para poder completar una suma o adición. O bien, puede resultar factible tener un sumador completo que haga la función aritmética en un solo ciclo, pero que trabaje sólo con un byte de ocho bitios cada vez. En uno y otro caso, la reducción de la cantidad de equipo físico trae consigo una reducción de velocidad. Así, no sólo existe un equilibrio entre serie y paralelo que puede lograrse, sino también es posible equilibrar la naturaleza de las funciones seriadas (pequeñas partidas de datos que sean completamente manipuladas en serie, o bien grandes partidas de datos que se manipulen en varias etapas seriadas). La naturaleza del equipo físico realmente utilizado depende de los circuitos y de los elementos componentes de éstos, de

345339



que se disponga para su empleo. Además, los circuitos utilizados en una parte determinada del aparato deben ser - compatibles con los utilizados en otras partes del aparato que deban cooperar con aquella. Asimismo, la velocidad depende de los componentes de circuito que puedan usarse, de modo que la velocidad de una de las unidades puede depender en parte de una limitación de equipo producida por la función necesaria en otra unidad. En conjunto, pues, el éxito de una calculadora depende mucho de los circuitos de su unidad central de tratamiento, y de la naturaleza de las unidades funcionales cooperativas que puedan trabajar con ella.

Por todo ello, es objeto principal del presente invento un sistema de circuitos funcional y perfeccionado para la unidad central de tratamiento de un sistema calculador.

Entre otros objeto de la invención se incluyen, además, los siguientes:

- una circulación de datos sencilla pero de velocidad relativamente grande, para una unidad central de tratamiento;

- una circulación de datos de unidad de tratamiento central dentro de la cual los componentes funcionales son capaces de desempeñar una variedad de funciones;

- un aparato aritmético sencillo, perfeccionado y de gran velocidad; y

- un sumador que genera dígitos de paseo o "lleva" sin recurrir a ambos operandos.

- Otros objetos, características y ventajas de la presente invención se irán desprendiendo a la luz de la

345339



siguiente descripción detallada de unas formas preferidas de ejecución de la misma, ilustradas en los dibujos adjuntos, en los cuales:

5 - la figura 1 es un esquema funcional o simplificado por bloques, de una unidad central de tratamiento con arreglo a una forma preferida de ejecución del presente invento;

10 - la figura 2 es un esquema detallado de una etapa de disparador binario transistorizado, que sirve de ejemplo de circuitos disparadores binarios útiles en una unidad central de tratamiento conforme al presente invento;

15 - la figura 3 es un esquema del disparador de la fig. 2, dispuesto de manera que constituye una etapa de registro biestable para uso en el registro A de la fig. 1;

 - la figura 4 es un esquema funcional o por bloques del registro A de la fig. 1, utilizando la etapa de disparador binario de la fig. 3;

20 - la figura 5 es un esquema de una modificación del disparador binario de la fig. 2, dispuesta de manera que constituye una etapa de registro biestable para uso en el registro AX de la fig. 1;

25 - la figura 6 es un esquema funcional del registro AX de la fig. 1, utilizando la etapa de disparador binario de la fig. 5;

30 - la figura 7 es un esquema de una modificación del disparador binario de la fig. 2, de modo que forma una etapa de registro biestable para uso en el registro B de la fig. 1;

345339



- la figura 8 es un esquema funcional o por bloques del registro B de la fig. 1, que comprende una pluralidad de etapas de registro como la ilustrada en la fig. 7;

5 - la figura 9 es un esquema funcional del registro EX de la fig. 1, que comprende una pluralidad de etapas de disparador binarios del tipo indicado en la fig. 7, excepto en que en el registro EX no se prevé entrada alguna de disparador binario procedente de un canalizador - ("FUNNEL");

10

- la figura 10 es un esquema de la etapa de disparador binario de la fig. 2, modificada de modo que forma una etapa de registro biestable para uso en el registro C de la fig. 1;

15 - la figura 11 es un esquema funcional del registro C de la Fig. 1, utilizando una pluralidad de etapas de disparador del tipo representado en la fig. 10;

- la figura 12 es un esquema funcional de un circuito de "recto/cruzado" ("STRAIGHT/CROSS"), para uso en la forma de ejecución de la fig. 1;

20

- la figura 13 es un esquema funcional de un canalizador, para uso en la forma de ejecución de la fig. 1;

- la figura 14 a 16 inclusive son unos esquemas funcionales de controles lógicos, para gobernar el movimiento de datos dentro de la realización de la fig. 1;

25

- la figura 17 es un esquema funcional de los controles lógicos para el circuito de "recto/cruzado" de la fig. 12 y para el canalizador de la fig. 13; y

30 - la figura 18 es un esquema funcional de un -



mecanismo de "expectativa de dígitos de pase", para uso en la realización de la fig. 1.

5 La presente invención se ilustra dentro de un sistema de tratamiento de datos ambiental que está de acuerdo con la definición constructiva de un sistema de tratamiento u ordenación de datos expuesto en una publicación de la International Business Machines Corporation titulada "Sistema IBM 360.- Principios de funcionamiento", - referencia IBM nº. A22-6821. Ahora bien, la presente invención se ilustra en lo que sigue de forma simplificada, para presentar las características de la invención sin necesidad de tener que describir de manera indebidamente complicada el ambiente dentro del cual puede aplicarse. Además, en la presente descripción no se prevén operaciones SS (que son operaciones de longitud de campo variable, de byte en byte).

10 En resumen, la unidad central de tratamiento, dentro de la cual pueden incorporarse los elementos de la presente invención, puede incluir un dispositivo de memoria o almacenaje 20 (STG), que puede hacerse funcionar por medio de los adecuados registros 21 de acceso a la memoria (SAR 1, SAR 2) asociados. La memoria 20 alimenta un registro de datos de memoria 22 (SDR), quien a su vez pasa los datos a un mecanismo de "recto/cruzado" 12 (que a veces se designa en lo que sigue por el símbolo abreviado "S/C"). - El mecanismo S/C 24 lleva los datos a un canalizador 26 - (FUNNEL), que a su vez alimenta los registros A, B y C, - 28, 32 y 30 respectivamente. Los registros A y C, 28 y 30 alimentan un mecanismo 32a de expectativa de dígitos de - pase (CLA) cuya salida es devuelta al canalizador 26. La

345339



5 salida del registro B 32 se aplica al registro de datos -
de memoria 22, a los SAR 21 y a un registro 34 de vocablos
de estado de programa (PSW) que incluye una parte de con-
tador de instrucciones (IC) que es activada por un regis-
tro BX 33. El registro de datos de memoria 22 es asimismo
capaz de responder al registro 34 de PSW y a los datos que
lleguen a entrar en la unidad central de tratamiento por
una barra ómnibus de llegada de datos (DATA IN). El regis-
tro de datos de memoria puede aplicar manifestaciones de -
10 datos a la memoria 20 y a partes alejadas del sistema, por
una barra ómnibus de salida de datos (DATA OUT).

15 Para mayor claridad en la presentación del inven-
to, se ha simplificado el control general del sistema, por-
que la naturaleza exacta del sistema de control utilizado
en particular no es afín a la presente invención, pudiendo
adaptarse o destinarse a su empleo con ella cualquier con-
figuración de control capaz de establecer las secuencias -
de trabajo de la unidad central de tratamiento. Se necesi-
tan las formas usuales de sincronismo de descodificación
20 del funcionamiento, y de acceso, indicadas en bloque en 36
(fig. 1). Además, en la fig. 1 se detalla brevemente la ló-
gica 38 de control de circulación de datos que sirve de -
ejemplo, y que se ilustra con detalle en las figs. 14 a 17
incl.

25 La salida del registro A 28 se aplica también al
canalizador 26 y a los registros de exponentes y controles
aritméticos 40 de punto de flotación. El registro A está -
además en relación de transferencia de datos con un regis-
tro AX 42, para así permitir la transferencia del conteni-
do del registro A al registro AX al mismo tiempo que se -
30

345339



transfiere o traslada el contenido del registro AX al registro A. Los circuitos de punto flotante (FLP) de la parte inferior de la fig. 1 son además ilustrativos de unos registros de trabajo 44 de punto flotante y unos registros generales 46 de punto de flotación (FPR), todos los cuales se ilustran tan sólo brevemente, en lo que concierne a la forma de ejecución del presente invento. Los registros de punto flotante (FPR) 46 son alimentados por la salida del registro B, igual que lo son los registros generales 48 (GR). A los registros de punto flotante 46 y los de uso general 48 puede tenerse acceso por medio del programa con arreglo a la definición constructiva de un sistema ordenador de datos como el expuesto en el Manual de principios de funcionamiento antes citado.

La función de las diversas partes del aparato de la fig. 1 se describe a continuación, siguiendo la descripción detallada del equipo físico específico aquí representado, en relación con las operaciones tipo que el aparato está destinado a efectuar, con arreglo a los diversos aspectos de la presente invención.

Con referencia ahora a la fig. 2, se ilustra la configuración de una etapa básica de circuito biestable o disparador 50 que comprende cuatro transistores 52 a 55 inclusive y seis resistencias 56 a 61 inclusive. Los transistores 52, 53 y las resistencias 56 a 58 inclusive comprenden uno de los lados del elemento biestable formado por el disparador básico 50, y los transistores 54, 55 y las resistencias 59- 61 constituyen el otro lado del elemento biestable formado por el disparador básico 50. Por conveniencia, cuando está conduciendo el lado izquierdo -

345339



del sistema disparador básico 50, se dice que el dispositivo está "puesto en activo", o activado, o que representa el valor de dato binario de uno. Igualmente, la conducción en el lado derecho del disparador básico 50 (fig. 2) se -
5 toma como estado de "repuesto" (RESET, o RST), desactivado o de cero binario. El disparador básico 50 se hace funcionar en repuesta a una pluralidad de entradas, o señales -
de entrada, existiendo tres tipos distintos de entradas -
tanto para la activación como para la desactivación o reposición del disparador. Estas entradas responderán a niveles de tensión negativos, o desplazamientos negativos de la tensión en el caso de ciertas entradas, para así ocasionar la activación, o la reposición, del disparador básico 50. Esto se debe al hecho de que, como se indica en -
10 la fig. 2, el disparador básico 50 comprende unos transistores NPN conectados entre una fuente de alimentación positiva y la masa. Naturalmente, podrían utilizarse entradas de tensión positiva para controlar el circuito, si hubiera transistores PNP conectados en una configuración entre un potencial negativo y la masa. De igual modo, las personas versadas en la materia pueden llevar a la práctica otras -
15 disposiciones distintas para diferentes polaridades y niveles de tensión. Se sobrentiende que la naturaleza de -
detalle de la configuración de disparador básico 50 no tiene que ver en sí con la presente invención, bastando con -
20 que se trata de cualquiera de tales circuitos capaces de responder de manera que satisfaga el funcionamiento que más adelante se describe.

El disparador básico 50 funciona en esencia como
30 dos etapas de acoplamiento cruzado ~~amplificadas~~ del si-

345339



guiente modo:

Los elementos de control de los disparadores -
son los transistores 53, 54, cada uno de los cuales tiene
relación con un lado correspondiente de la etapa binaria.
5 A los transistores 53, 54 no se les deja llegar a satura-
ción, y cambian de esencialmente no conducir a conducir -
dentro de un intervalo muy estrecho de potenciales de base
aplicados. La pequeña transición producida por uno u otro
de los transistores 53, 54 es amplificada, y mantenida es-
10 table, por un transistor de salida 52, 55, correspondien-
te. Cuando el transistor 53 está en activo, el transistor
52 está polarizado en sentido directo por el potencial -
existente en bornes de la resistencia 58, y el transistor
53 pasa a conducir. La base del transistor 54 también es-
15 tará positiva, con el mismo potencial del colector del -
transistor 53, y por tanto está polarizada en sentido di-
recto, pero menos que si el transistor 53 estuviera sin -
conducir; esto mantiene la base del transistor 55 próxima
a cero, de modo que no conduce. Es ésta la condición esta-
20 ble de "puesto" o activado, porque con el transistor 52 -
conduciendo la salida RST (de reposición) es negativa, y
cuando el transistor 55 no conduce es positiva la salida
de activado (SET). Una salida positiva, pues, define, el
estado lógico del dispositivo.

25 Para pasar a reposición, o desactivación de la
etapa de disparador binario de la fig. 2, es preciso apli-
car una entrada negativa de tensión suficiente, a la base
del transistor 53 o al emisor del transistor 54. La dis-
posición de la fig. 2 permite el paso de un potencial ne-
30 gativo simple de corriente continua por el diodo 65 (y lo



5 mismo para el diodo 64), cortándose así la conducción en
el transistor 53. Con el transistor 53 al corte, no se -
desarrolla en la resistencia 58 tensión alguna de polari-
zación directa, de modo que el transistor 52 también de-
jará de conducir. Esto hace que la salida de reposición
pase a ser positiva. Al pasar al corte el transistor 53,
aparece en su colector un potencial completamente positi-
vo, que se aplica también a la base del transistor 54. Es-
to hace que el transistor 54 conduzca, desarrollando un po-
10 tencial positivo en la base del transistor 55, en bornes -
de la resistencia 61. Así, el transistor 55 adquiere pola-
rización en sentido directo y conduce, haciendo que la sa-
lida de activación pase a ser negativa. El mismo resultado
se logra aplicando un potencial negativo suficiente por -
15 medio del diodo 72 o del diodo 79 al emisor del transistor
54.

Volviendo a considerar la etapa de disparador de
la fig. 2 en el estado de activada (SET), si se aplica a
las resistencias 73, 74 una condición de corriente conti-
20 nua (DC) y luego se aplica una señal de datos de corrien-
te alterna (AC) al condensador 71, por el diodo 72 pasará
un potencial negativo al emisor del transistor 54. Esto -
es así porque el ánodo del diodo 72 está directamente co-
nectado al punto de unión de la resistencia 61 con el emi-
25 sor del transistor 54 (aún cuando el modo de dibujar uti-
lizado en la fig. 2 pueda sugerir que la base de los tran-
sistores 52, 55 lleve dos conexiones separadas, ya que es-
to no es sino una notación abreviada del hecho de que los
ánodos de los diodos 72, 79, la base del transistor 55, el
30 emisor del transistor 54 y el extremo de la resistencia 61

345339



no puesto a masa están conectados todos entre sí). Cuando a través del diodo 72 pase el potencial negativo al emisor del transistor 54, esto hace que el emisor quede respecto a la base del transistor 54 lo bastante negativo - para que el transistor 54 empiece a conducir, produciendo una caída de tensión negativa en bornes de su resistencia de colector 59 que está acoplada a la base del transistor 53, y llevando así al corte el transistor 53. Al mismo tiempo, la conducción de corriente a través del transistor 54 hará que en bornes de la resistencia 61 se desarrolle una tensión de polarización directa, de modo que el transistor 55 se pondrá en conducción. Con el cese de conducción, o puesta al corte, del transistor 53 se produce un efecto semejante, perdiéndose la polarización directa desarrollada en bornes de la resistencia 58, de modo que el transistor 52 deja de conducir. Así se traslada la condición estable de activación (SET) a reposición (RESET), por aplicación de un potencial negativo al diodo 72. Se lograría un resultado semejante aplicando potenciales negativos a los elementos 78 - 80.

Las entradas de franqueo de paso conectadas a los diodos 72, 79 (y lo mismo pasa con los elementos 66 - 69 y 75 - 77) son dependientes del tiempo. Así, si a las resistencias 73, 74 se aplican unos potenciales negativos que condicionen el aparato para la reposición, habrá una caída de potencial desde los terminales, con el terminal "TGR COND R1" y el terminal "TGR COND R2" (terminales de condicionamiento del disparador) más negativos, el punto de unión de las resistencias 73, 74 con el condensador 71 estará a medio camino entre negativo y positivo, y el termi-

345339



5 nal designado "TGR AC RST" (de reposición de corriente -
 alterna del disparador) será el más positivo. Entonces, -
 si se aplica una señal de AC negativa al terminal del con-
 densador 71, ello permite inmediatamente que el potencial
 del cátodo del diodo 72 caiga a un valor lo bastante bajo
 para permitir la polarización directa del transistor 54 -
 como antes se ha descrito.

10 Es de notar, como se describe en lo que sigue en
 relación con los diversos registros formados a partir de la
 etapa de disparador binario de la fig. 2, que las diversas
 entradas a éste pueden ir conectadas en una variedad de -
 configuraciones, lo que constituye uno de los aspectos de
 la presente invención. Es más, el número de entradas que -
 puede utilizarse viene limitado tan sólo por las caracte-
15 rísticas de respuesta en frecuencias y de potencia que co-
 rrespondan a una forma cualquiera particular de realiza-
 ción del disparador binario, adecuada a las necesidades de
 un proyecto cualquiera concreto y específico en el que va-
 ya a utilizarse la presente invención. Así, por ejemplo,
20 aunque el registro B tiene un gran número de entradas bi-
 polares, el registro A tiene sólo una entrada bipolar; los
 registros A, B y C tienen entradas de disparador binarias de
 AC (corriente alterna); por otra parte, el registro AX tie-
 ne solamente una única entrada bipolar, en unión de una en-
25 trada de reposición de corriente continua (DC). La confi-
 guración de la etapa de disparador binario de la fig. 2, -
 tal como se utiliza en los diversos registros representados
 en la fig. 1, se describe con detalle respecto a cada uno
 de los registros en los párrafos que siguen.

30 La configuración de disparador utilizada en el -

345339



registro A se ilustra de manera simplificada en la fig. 3, en la que sólo se representan aquellas entradas que se utilizan en la realidad efectiva. La configuración de la fig. 3 se refiere al bitio 5 del registro A, por ejemplo, solamente. Cada una de las etapas del registro A (figura 3) -
5 utiliza la entrada del disparador binario 66 - 68, 71 - 73 como entrada inversora de gran velocidad, haciendo que las resistencias 68, 73 vayan conectadas a la salida 62, 63 de los lados opuestos del disparador básico 50, y aplicando -
10 una señal, por una línea de inversión del registro A - (INVRT A REG), al condensador 66, 71. Esto es posible ya - que no necesita seleccionarse ningún registro en particular ni hay que utilizar, por consiguiente, una línea de condicionamiento general. Aún cuando en la fig. 3 no se muestran
15 los elementos de resistencia 69, 74 que hay en la fig. 2, éstos podrían ir ligados a unos potenciales negativos apropiados para dar un condicionamiento adecuado en todo momento, o bien podrían ajustarse los potenciales de los circuitos utilizando un solo registro como en la fig. 3; o -
20 bien podrían aplicarse ambas resistencias de una entrada a la salida opuesta; para la invención es indiferente el método que se vaya a utilizar. El disparador de registro A de la fig. 3 utiliza las entradas bipolares 75 - 77, 78 - 80 para hacer que cada bitio del registro A responda a un
25 bitio correspondiente del registro AX, en respuesta a una señal de paso de datos aplicada por una línea de intercambio de A y AX (INTERCHANGE A & AX). Nótese que la línea - general de condicionamiento, o de intercambio de A y AX se aplica al condensador 76, 78 y, por tanto, comprende la entrada
30 de corriente alterna al disparador. En otros términos,



un desplazamiento negativo por esta línea hará que los datos (presentes en las resistencias de entrada) entren en las etapas de disparador de registro A, por activación. Las resistencias 77, 80 están alimentadas por unas salidas correspondientes de bitio 5 del registro AX (AX REG 5), salidas que constituyen el equivalente de los terminales 62, 63. Cuando por la línea de intercambio de registros A y AX se aplique una señal al condensador 76, 78, esto hará que funcione uno de los transistores 52 o 55 (según el estado de registro AX), aún cuando los transistores 53, 54 del registro A estén produciendo una respuesta similar en el registro AX. Por otra parte, una segunda entrada bipolar al lado de activación solamente del disparador de registro A ilustrado en la fig. 3 tiene una línea de condicionamiento aplicada a la resistencia 77 y una línea de entrada de datos aplicada al condensador 76. Así, siempre que haya una señal presente en la línea de franqueo de paso del canalizador al registro A (GT FUNNEL TO A REG), la señal que aparezca en la línea 5 del canalizador aplicada al condensador 76 dará lugar a que se active el bitio 5 del registro A (o tratará de hacerlo, si estuviere ya activado). El registro A hace uso de la acción de disparo o circuito de relajación biestable ("flip-flop") para adquirir una inversión. Los condensadores 66, 71 están unidos entre sí de modo que la señal que aparezca en la línea de inversión del registro A (INVRT A REG) se llevará o aplicará a ambos lados del disparador básico. Las resistencias 68, 73 están conectadas a unas salidas 63, 62 respectivamente opuestas, para hacer que la etapa de disparados básico actúe como disparador binario o de relajación biestable. Como esto



hará que cada etapa cambie de estado, el contenido del registro A se invierte (o complementa a uno) por activación de la línea de control. Además, el registro A puede ser repuesto por aplicación de una señal por la línea DC RST A REG al diodo 65 que lleva todas las etapas de disparador al lado de reposición.

La representación del registro A en la fig. 4 es una simplificación de una pluralidad de etapas del tipo - ilustrado en la fig. 3. La relación entre la fig. 4 y la fig. 3 viene ilustrada por el circuito disyuntivo 100 de entrada de activación y el circuito disyuntivo 101 de entrada de reposición. Los elementos 76 y 77 comprenden un circuito de coincidencia 102 de entrada de activación, y los elementos 78, 80 constituyen un circuito de coincidencia 104 de entrada de reposición. Así, las señales aplicadas a los elementos 66, 68, 76 y 77 darán origen al funcionamiento a través del circuito disyuntivo 100, en tanto - que las señales aplicadas a los elementos 65, 71, 73, 78 y 80 se aplicarán al circuito disyuntivo 101 de entrada de - reposición. Naturalmente, en la representación de la fig. 4, una señal que aparezca en la línea de inversión del registro A hará funcionar sea el circuito disyuntivo 100 de entrada de activación, sea el circuito disyuntivo 101 de entrada de reposición, llevándolo a una conclusión efectiva, según el disparador estuviera previamente repuesto o activado, respectivamente. En la fig. 4 se indican los bitios 0 y 31 del registro A; los restantes bitios son idénticos, a excepción de las posiciones reales y efectivas de bitios de datos aplicadas como entrada de datos al mismo. Así, el disparador binario configurado en la fig. 3 da un registro

345339



A como el ilustrado en la fig. 4, que puede ser repuesto con corriente continua, puede invertirse, puede ser activado en respuesta a los bitios de canalizador correspondientes, o bien puede selectivamente ser activado y repuesto en respuesta a un intercambio de datos entre los registros A y AX.

En la fig. 5, el registro AX es mucho más sencillo que el registro A, ya que sólo tiene una reposición de corriente continua, dos salidas y una relación bipolar de condicionado de corriente alterna con los tres elementos 75 - 77 y 78- 80 del registro A. Esta configuración, no obstante, funciona de idéntica manera con las partes correspondientes del registro A indicadas en las figs. 3 y 4. La representación del registro AX, interrumpida entre los bitios 1 y 30, se ilustra en la fig. 6 de manera semejante a la representación del registro A en la fig. 4. Los elementos 76 y 77 constituyen un circuito de coincidencia 102 de entrada de activación (fig. 6), y los elementos 78 y 80 comprenden un circuito de coincidencia 104 de entrada de reposición.

Una configuración de disparador binario relacionado con el bitio 5 del registro B es la que se ilustra en la fig. 7. Comprende un disparador básico con ambas entradas de activación y de reposición de corriente continua (DC), con una entrada de disparador binario, y con cinco entradas bipolares en cada uno de los lados de activación y de reposición. Comprende el mismo disparador general ilustrado en las figs. 2, 3 y 5, pero el uso de las entradas difiere del de las indicadas en relación con los registros A y AX de las figs. 3 y 5. Concretamente, el registro B usaba ambas



resistencias 68, 69 y 73, 74 en unión del condensador 66, 71 correspondiente, para formar circuitos de entrada de tres vías o direcciones de tal modo que se habilita un circuito de coincidencia para el disparo, aún cuando las resistencias 68, 73 estén ligadas a las salidas 63, 62, respectivamente. Además, aunque el condensador 66 de la fig. 3 está conectado a una línea de control general para la totalidad del registro A, línea de control que hará que se invierta el estado de cada disparador, el registro B de la fig. 7 hace uso de un condicionador de corriente continua aplicado a las resistencias 69, 74 de tal modo que, al aparecer los datos a la salida de bitio 5 del canalizador, estos datos harán que, bien por el condensador 66, bien por el condensador 71, se dispare un transistor correspondiente y se invierta el estado del disparador básico 50, según el disparador estuviera antes activado o repuesto. Las entradas bipolares que comprenden los elementos 75 - 77 y 78 - 80 de la fig. 7 está conectados a diferentes salidas sucesivas del registro B o del registro BX, con arreglo al número de columnas de desplazamientos pedidos por una línea de control correspondiente. Los registros B y BX están conectados de manera "envolvente" en la presente forma de ejecución, de modo que permita el cambio o desplazamiento a la izquierda o a la derecha, sea en uno, sea en cuatro bitios, o el desplazamiento de la totalidad del contenido de B a BX, y viceversa, por medio de un desplazamiento de 32 bitios. Esto viene controlado por la aplicación de unos bitios correspondientes de los registros B y BX a las resistencias 77 y 80, y franqueando el paso del contenido de las etapas afines de B y BX al registro B, por medio de las apro

345339



piadas señales de desplazamiento: SHFT B REG 32, SHFT LL, SHFT LA, SHFT RL y SHFT R4. Los diodos 64, 67 y 75 constituyen un circuito disyuntivo 100 de entrada de activación, y los diodos 65, 72 y 79 constituyen un circuito disyuntivo LOL de entrada de reposición, como se ilustra en la fig. 8. Cada combinación de condensador 76 y resistencia 77 constituye un circuito de coincidencia 102 de entrada de activación, y cada combinación de condensador 78 y resistencia 80 constituye un circuito de coincidencia 104 de entrada de reposición. De igual manera, el condensador 66 en combinación con la resistencia 69 habilita un circuito de coincidencia 106 de entrada de activación de disparador, de corriente alterna, y el condensador 71 en combinación con la resistencia 74 da un circuito de coincidencia 108 de entrada de reposición de disparador, de corriente alterna. Así, el registro B representado con los bitios 1 - 30 interrumpidos en la fig. 8 comprende una pluralidad de etapas, cada una de las cuales: (a) puede ser activada o repuesta con corriente continua; (b) puede ser disparada o cambiada al lado contrario según la entrada que venga del canalizador; o (c) puede ser activada de manera bipolar en correspondencia con un bitio afín, del registro B o del registro BX, en respuesta a una cualquiera de las cinco señales de control de desplazamiento diferentes.

El registro BX representado en la fig. 9 es idéntico al registro B, salvo en el hecho de no tener entrada de disparador binario: en otros términos, el registro BX no es capaz de responder al canalizador, pero sí a las salidas apropiadas del registro B y el BX, de manera exactamente complementaria a la de la conexión de entradas a las diver-

345339



5 sas etapas del registro B. Por consiguiente, se cree innecesario ampliar más lo expuesto.

5 En la fig. 10 se representa el registro C, el cual comprende una variante que incluye dos métodos de activación de corriente continua y reposición de corriente continua, y una variante en los controles de activación y reposición de disparador con corriente alterna. Se aplican la activación y reposición usuales de corriente continua, por medio de las líneas DC SET B & C REGS y DC RST B & C REGS aplicadas a los diodos 64, 65, respectivamente. Se habilita una activación y reposición adicionales por medio de los diodos 64_a y 65_a, accionados por unos circuitos de coincidencia correspondientes 64_b, 65_b. Estos circuitos de coincidencia son capaces de responder a los bitios correspondientes del registro B y a una señal que aparezca en la línea de activación de B a c (SET B INTO C). La entrada de disparador de AC a las diversas etapas del registro C es también diferente, a causa del hecho de que las resistencias 68, 73 van aplicadas a las correspondientes salidas 63, 63, respectivamente, del bitio de igual número del registro B, en lugar de estar ligadas a la misma posición de bitio del registro C. La razón para esto es que en ciertas condiciones de trabajo el contenido de B se activa a C, y luego se aplica el registro A a ambos registros B y C. El registro C no ha tenido tiempo de estabilizar sus salidas lo bastante para garantizar la exactitud de la acción de disparador binario, de modo que C usa la misma condición establecida en B para dar lugar a la acción de disparador binario. El registro C se ilustra en la fig. 11, y la relación del registro C de la fig. 11 a la etapa del registro

10

15

20

25

30

345339



C ilustrada en la fig. 10 es la misma que corresponde al registro B en relación con las figs. 7 y 8, antes explicadas.

5 El mecanismo 24 de conversión de recto/cruzado de la fig. 1 se ilustra con detalle en la fig. 12. En ésta hay dos grupos de bitios de datos procedentes del registro de datos de memoria (SDR) 22, a los que se da paso independientemente. A los bitios 0 a 15 inclusive puede dárseles paso en recto o derecho, y a los bitios 16 a 31 inclusive puede no dárseles paso. Recíprocamente, los bitios 16 a 31 pueden recibir paso en recto, y no recibirlo de ningún modo los bitios 0 a 15 inclusive. Por otra parte, ambos grupos de bitios pueden recibir paso en recto, o bien ambos en cruzado, o bien se puede dar paso a un solo grupo de los dos, en cruzado. La lógica del mecanismo de recto(cruzado se invierte, en el sentido de que se acusa o vigila el complemento de un bitio dado del SDR, y si el complemento está presente, no se generará la manifestación de base (como antítesis de complemento) del bitio en la fig. 12. La razón para esto es que el mecanismo de recto/cruzado tiene la facultad de generar todos unos, para uso en la circulación de datos de la figura 1, en todo momento en que las líneas de franqueo de paso que correspondan a la transferencia de datos desde el registro de datos de memoria (SDR) a través del mecanismo de recto/cruzado no estén activadas. En otros términos, cuando el mecanismo de recto/cruzado no se esté usando para su fin principal, automáticamente genera todos unos en la entrada al canalizador, para transferencia a cualquiera de los registros A, B, C. Esto se trata con mayor detalle, en relación con la descrip-

10

15

20

25

30

345339



ción de ejemplos de funcionamiento, más adelante.

En funcionamiento, el mecanismo de recto/cruzado de la fig. 12 no se vigila, en cuanto a los datos recibidos del SDR, excepto cuando surge una señal de franqueo de paso apropiada. Así, es preciso que haya señal en una cualquiera de las cuatro líneas siguientes, antes de que se tome la significación de datos en la salida del mecanismo de recto/cruzado, en relación con el contenido de datos del SDR:

- 10 GT SDR 0 - 15 STRT: franqueo de paso de SDR, bitios 0 - 15, recto;
- GT SDR 16 - 31 CROSS: franqueo de paso de SDR, bitios 16 - 31, cruzado;
- GT SDR 16 - 31 STRT: franqueo de paso de SDR, bitios 16 - 31, recto; y
- GT SDR 0 - 15 CROSS: franqueo de paso de SDR, bitios 0 - 15, cruzado.

15 Como puede verse, una pluralidad de circuitos de coincidencia 110 responde a la señal de la línea GT SRD 0 - 15 STRT dando paso a los correspondientes complementos de los bitios 0 a 15 inclusive del SDR en recto o directo a través del mecanismo, para presentarlos en las correspondientes líneas de la salida del mecanismo de recto/cruzado. De

20 igual modo, las salidas 0 - 15 pueden, en cambio, ser excitadas por complementos de los bitios 16 a 31 inclusive del SDR, cuando se genera una señal por la línea GT SDR 16 - 31 CROSS, debido al funcionamiento de una pluralidad de circuitos de coincidencia 112. El mecanismo de recto/cruza

25 do puede activarse con los bitios 16 - 31 inclusive del SDR siempre que haya una señal presente en la línea GT SDR 16 - 31 STRT, en la entrada de una pluralidad de circuitos de coincidencia 114. De manera correspondiente, unos cir-

345339



5 circuitos de coincidencia 116 darán paso a complementos de -
los bitios 0 - 15 del SDR a través de los bitios 16 - 31
del mecanismo de recto/cruzado, en respuesta a una señal
que aparezca en la línea GT SDR 0 - 15 CROSS. Tomando como
ejemplo los circuitos de coincidencia 110, siempre que se
vayan a observar o vigilar los datos del SDR, o a pasarlos
por el circuito de recto/cruzado para su uso por el resto
de los circuitos de equipo, la señal que aparezca en la -
10 línea GT SDR 0 - 15 STRT facultará a cada uno de los cir-
cuitos de coincidencia 110 para funcionar. Así, si hay se-
ñal presente en una de las líneas de bitios, tales como la
SDR NOT 0, el circuito de coincidencia 110 funcionará, y
hará que opere un circuito disyuntivo 111 relacionado con
él. Este a su vez hará que un inversor 113 no genere se-
15 ñal alguna, de modo que la ausencia del bitio se manifies-
te en la salida del circuito de recto/cruzado. En cambio,
si el bitio 0 de SDR es un uno (en otros términos, que es-
tá presente la señal SDR 0, y no hay señal en la línea -
complementaria SDR NOT 0), no habrá salida alguna proceden-
20 te del circuito de coincidencia 110 ni, por consiguiente,
del circuito disyuntivo 111, de manera que el inversor 113
generará salida. De igual manera, si no hay generación de -
señal en las líneas de franqueo de paso, en las entradas de
los circuitos de coincidencia 110, 112, 114, 116, todos los
25 inversores 113, 117 generarán entonces señales; esto signi-
fica que el mecanismo de recto/cruzado, en la condición es-
tática, genera todos unos en los bitios 0 a 31 inclusive. -
Estos unos pueden usarse como datos a aplicar a los regis-
tros a fin de formar la disyuntiva exclusiva con los datos
30 previamente establecidos en los registros, para así origi-

345339



nar la función complementaria de esos datos previamente -
 establecidos, y se usan también para expandir los operan-
 dos de semivocablo. El uso de esta característica se des-
 cribe más adelante, al hablar del funcionamiento de la -
 5 circulación de datos conforme a la presente invención.

El canalizador o "embudo" 26 se ilustra con de-
 talle en la figura 13. Es éste un simple circuito de fran-
 queo de paso que no hace sino permitir la selección de da-
 tos de entre una pluralidad de fuentes, y aplicar esos da-
 10 tos a una pluralidad de destinos (los registros A, B y C).
 En la salida del canalizador se generan señales represen-
 tativas de cualquiera de los 32 bitios de datos (de 0 a 31
 inclusive), en respuesta a una pluralidad de circuitos dis-
 yuntivos 120. Cada uno de los circuitos disyuntivos 120
 15 está alimentado por una pluralidad de circuitos de coinci-
 dencia correspondientes 122, cada uno de los cuales tiene
 relación con una, diferente, de las tres fuentes. Así, hay
 un juego de treinta y dos circuitos de coincidencia, co-
 rrespondientes a cada una de las siguientes líneas:

- 20 GT S/C 0 - 15 TO FUNNEL: paso de S/C, bitios 0 - 15,
a canalizador;
- GT A REG TO FUNNEL: paso de registro A a cana-
lizador;
- GT CLA TO FUNNEL: paso de expectativa de dígi-
to de pase a canalizador; y
- GT S/C 16 - 31 TO FUNNEL: paso de S/C, bitios 16 - 31,
a canalizador.

El franqueo de paso desde el mecanismo de S/C (recto/cruza-do) :
 25 se divide entre los bitios 0 - 15 y los bitios 16 - 31, -

345339



5 para así responder de modo selectivo tan sólo a los datos válidos, al pasar éstos por el mecanismo de recto/cruzado (S/C). La generación de estas señales en las líneas de franqueo de paso, y su relación para permitir que por el mecanismo de recto/cruzado pasen al canalizador sólo los datos válidos, o los unos seleccionados, se describen en relación con el circuito lógico de control de las figs. 14 y 17, más adelante.

10 En las figs. 14 a 16 inclusive el dispositivo lógico de control para la circulación de datos de la fig. 1. Esta lógica de control genera señales, en líneas apropiadamente identificadas, para ejecutar las funciones que se indican.

15 La realización de los diversos aspectos del presente invento se expone aquí de manera simplificada. Concretamente, se explican unos ciclos generales suficientes para ilustrar las etapas con arreglo a las cuales se hacen funcionar los diversos elementos de la circulación de datos conforme a esta invención. Es de notar que para estos ciclos no se establece definición alguna de tiempo, ni viene al caso por lo que hace a la presente invención. Por consiguiente, y a los fines de la ilustración, se utilizan tres ciclos de lectura de instrucciones, seguidos de ocho ciclos de ejecución. Se designan todos ellos, respectivamente, del siguiente modo:

- I PERIOD 1: período 1 de instrucciones;
- I PERIOD 2: período 2 de instrucciones;
- I PERIOD 3: período 3 de instrucciones; y
- CYC 1 ... CYC 8: ciclos 1 a 8, inclusive, de ejecución.

345339



Los ciclos, en sí, no son períodos o intervalos de tiempo necesariamente idénticos que se utilicen en un sistema - real y efectivo, y de hecho algunas de las funciones que se efectúan simultáneamente dentro de un ciclo dado, sea
5 durante la lectura de instrucciones, sea durante una operación particular, podrían no tener que efectuarse necesariamente de modo simultáneo en el funcionamiento real - de un sistema de cálculo. Ahora bien, las relaciones de - los elementos de circulación de datos, y la naturaleza de la invención que a ésta se refiere, quedan plenamente ilustradas por el funcionamiento del sencillo sincronismo que
10 como ejemplo se da aquí. Es de notar que aún cuando la presente forma de realización se considera como dentro de un sistema incluido en la definición constructiva expuesta en dicho Manual antes mencionado, la invención no se limita a semejante aparato, y el breve análisis de la forma de ejecución que aquí se estudia no necesita seguir al detalle todas las definiciones relacionadas con el sistema expuesto en dicho Manual.

20 Así, pues, para describir la invención en lo que sigue, se describen brevemente una operación de sumar y - una operación de restar, así como las tres operaciones lógicas conectivas (de coincidencia, disyuntiva y disyuntiva exclusiva o dilema), lo mismo que una operación de ramificación de cómputo (BRANCH ON COUNT) y una operación de guardar o almacenar en la memoria (STORE). Estas se han seleccionado simplemente para ilustrar el uso de diversas características de la circulación de datos integrada conforme al presente invento, y no limitan ni agotan la manera de poder
25 utilizar dicha circulación de datos con arreglo a la pre-
30



sente invención. Así, en la parte superior de la fig. 14, un circuito disyuntivo 130 generará una señal en una línea DC RST A REG, señal que se aplica a una línea de la misma designación conectada al diodo 65 en la figura 3, y a una entrada del circuito disyuntivo 101 de entrada de reposición correspondiente, de la fig. 4. Esta señal, al ser generada, provoca la reposición de corriente continua de todas las etapas del registro A. El circuito disyuntivo 130 es capaz de funcionar en un primer ciclo de una ejecución de instrucciones (ciclo designado CYC 1) durante una operación aritmética, una operación lógica, o una operación de ramificación de cómputo, debido a los respectivos efectos de una pluralidad de circuitos de coincidencia 131 a 133 inclusive. Por otra parte, el circuito disyuntivo 130 puede hacer que se genere una señal en la línea DC RST A REG en respuesta a una señal que aparezca en la línea I PERIOD 1. Así, como puede verse, durante el primer período del tiempo de lectura de instrucciones, estará rpuesto o desactivado el registro A, y también lo estará durante el primer ciclo de las operaciones aritméticas, lógicas o de ramificación de cómputo, De igual manera, cada una de las señales que aparecen como salida en las figs. 14 a 16 inclusive se genera en respuesta a una o más combinaciones de señales que indican la operación que se está efectuando, y de señales indicativas del ciclo de trabajo en un momento dado. Asimismo, algunas determinadas de las señales se generan en respuesta a una lectura de instrucción por sí sola, sin tener en cuenta qué operación puede resultar o provenir de hecho de la operación de lectura de instrucción que en ese momento se esté efectuando.

345339



A fin de simplificar la descripción del funcionamiento de una forma de realización ilustrativa simplificada de la - circulación de datos de la fig. 1 conforme al presente - invento, las etapas efectuadas en respuesta a una opera-
5 ción particular cualquiera se han resumido en las tablas siguientes:

TABLA 1: LECTURA DE INSTRUCCIONES

10	Período 1 de instr.	RST SDR (reponer SDR) DC RST A REG (reponer en DC registro A) DC RST B & C REGS (id. id. regs. B y C) RST OP DECODE (reponer op. descodif.) DC RST BX REG (reponer en DC reg. BX)
15	Período 2 de instr.	SET INSTR INTO SDR (poner instr, en SDR)
20	Período 3 de instr.	MOVE OP FM SDR TO OP REG (mudar op. de SDR a registro de op.) GT SDR (dar paso de SDR) (véase fig. 17) GT S/C 16 - 31 TO FUNNEL (dar paso de S/C 16- 31 a canalizador) GT S/C 0 - 15 TO FUNNEL (dar paso de S/C 0 - 15 a canalizador)
25		GT FUNNEL TO B (dar paso de canaliza- dor a B) GT FUNNEL TO C (dar paso de canaliza- dor a C) (Ramif. cómputo) DC SET BX (activar en DC reg. BX)



TABLA 2 - OPERACIONES ARITMETICAS

CYC 1		RST SDR (reponer SDR)
		DC RESET A REG (reponer en DC reg. A)
	op. de sumar	DC RESET B & C REGS (reponer en DC regs. B y C)
	op. de restar	DC SET B & C REGS (activar en DC regs. B y C)
		SET CARRY IN LCH (activar cerrojo de dígito de pase)
CYC 2		SET 2ND OPERAND INTO SDR (poner 2º operando en SDR)
CYC 3		GT SDR (véase fig. 17) - (dar paso de SDR)
		GT S/C 16-31 TO FUNNEL (dar paso de S/C 16-31 a canalizador)
	(véase FIG. 17)	GT S/C 0-15 TO FUNNEL (dar paso de S/C 0-15 a canalizador)
		GT FUNNEL TO B (dar paso de canalizador a reg. B)
		GT FUNNEL TO C (dar paso de canalizador a reg. C)
CYC 4		RST SDR (reponer SDR)
CYC 5		SET 1ST OPND INTO SDR (poner 1º operando en SDR)
CYC 6		GT SDR (véase fig. 17) (dar paso de SDR)
		GT S/C 16-31 TO FUNNEL (dar paso de S/C 16-31 a canalizador)
	(véase FIG. 17)	GT S/C 0-15 TO FUNNEL (dar paso de S/C 0-15 a canalizador)
		GT FUNNEL TO B (dar paso de canalizador a reg. B)
		GT FUNNEL TO C (dar paso de canalizador a reg. C)
CYC 7		GT FUNNEL TO B (dar paso de canalizador a reg. B)
		GT CLA TO FUNNEL (dar paso de espec. dígito de pase a canalizador)
CYC 8		DC SET B INTO C (activar en DC reg. B a C)

345339



TABLA 3 - OPERACIONES LOGICAS

CYC 1	DC RST A REG (reponer en DC reg. A) RST SDR (reponer SDR) DC RST B & C REGS (reponer en DC regs. B y C)
CYC 2	SET 2ND OPND INTO SDR (poner 2º operando en SDR)
CYC 3	GT SDR (see FIG 17) (dar paso de SDR - véase fig. 17) GT S/C 16 - 31 TO FUNNEL (dar paso de S/C 16-31 a canalizador) (Véase FIG 17) GT S/C 0-15 TO FUNNEL (dar paso de S/C 0-15 a canalizador) GT FUNNEL TO A (dar paso de canalizador a reg. A) GT FUNNEL TO B (dar paso de canalizador a reg. B)
CYC 4	RST SDR (reponer SDR)
CYC 5	SET 1ST OPND INTO SDR (poner 1er. operando en SDR)
CYC 6	GT SDR (see FIG 17) (dar paso de SDR - véase fig. 17) GT S/C 0-31 TO FUNNEL (dar paso de S/C 16-31 a canalizador) (Véase FIG 17) GT S/C 0-15 TO FUNNEL (dar paso de S/C 0-15 a canalizador) GT FUNNEL TO A (dar paso de canalizador a reg. A)
(Op. disyuntiva)	DC RST B & C REGS (reponer en DC regs. B y C)
(Op. de coincidencia; op. disy. exclusiva)	GT FUNNEL TO B (dar paso de canalizador a reg. B)
CYC 7	(op. disyuntiva; - op. de coincidencia) GT A REG TO FUNNEL (dar paso de reg. A a canalizador).

345339



TABLA 4 - RAMIFICACION DE COMPUTO

CYC 1	DC RST A REG (reponer en DC reg. A) RST SDR (Reponer SDR) SHFT B 32 (desplazar bitio 32 reg. B)
CYC 2	SET IST OPND INTO SDR (poner primer operando en SDR) DC SET B INTO C (activar en DC reg. B a C)
CYC 3	GT SDR (sec FIG 17)(dar paso de SDR - véase FIG 17) GT S/C 16-31 TO FUNNEL (dar paso de S/C 16-31 a canalizador) (véase FIG 17) GT S/C 0-15 TO FUNNEL (dar paso de S/C 0-15 a canalizador) GT FUNNEL TO A (dar paso de canalizador a reg. A) GT FUNNEL TO B (dar paso de canalizador a reg. B) GT FUNNEL TO C (dar paso de canalizador a reg. C)
CYC 4	GT CIA TO FUNNEL (dar paso de expect. dígito de pase a canalizador) GT FUNNEL TO B (dar paso de canalizador a reg. B)
CYC 5	SET BK INTO IC (poner BK en IC)

345339



TABLA 5 - OP. DE GUARDAR

CYC 1	RST SDR (reponer SDR) SHFT B 32 (desplazar bitio 32, reg. B)
CYC 2	SET 1ST OPND INTO SDR (poner 1er. operando en SDR)
CYC 3	GT SDR (see FIG 17) (dar paso de SDR - véase FIG. 17) GT S/C 16-31 TO FUNNEL (dar paso de S/C 16-31 a canalizador) (véase FIG 17) GT S/C 0-15 TO FUNNEL (dar paso de S/C 0-15 a canalizador) GT FUNNEL TO B (dar paso de canalizador a reg. B)
CYC 4	RST SDR (reponer SDR) SHFT B 32 (desplazar bitio 32, reg. B)
CYC 5	SET B REG INTO SAR (poner reg. B en SAR)
CYC 6	GT SDR (see FIG 17)(dar paso de SDR - véase FIG 17) SHFT B 32 (desplazar bitio 32, reg. B)
CYC 7	SET B REG INTO SDR (poner reg. B en SDR)

345339



Como el funcionamiento de los diversos circuitos de las figuras 14 a 16 inclusive es idéntico al de los circuitos 130 a 133 de la parte superior de la fig. 14 antes descrita, se estima impropio repetir la descripción.

5

Con referencia ahora a la fig. 17, el control sobre el franqueo de paso de los bitios 0 - 15 y de los bitios 16 - 31 del registro de datos de memoria (SDR), sea en recto o en cruzado, en una combinación cualquiera, se efectúa por medio de tres circuitos disyuntivos 140 a 142 inclusive, y un circuito de coincidencia 143. El funcionamiento de estos tres circuitos depende de las direcciones de acceso, siempre que se esté efectuando una función lógica de semivocablo, o siempre que se estén pasando partes de una instrucción desde el SDR hasta el canalizador. Ahora bien, cuando se esté efectuando la función lógica de vocablo completo, la definición constructiva de un sistema de tratamiento de datos expuesta en el Manual anteriormente mencionado especifica que las operaciones de vocablo completo han de efectuarse con los vocablos que se hallen en direcciones de acceso de la memoria situadas dentro de los confines de un vocablo integral. En otros términos, los datos llegarán de la memoria 20 al SDR 22 adecuadamente alineados para su tratamiento por los circuitos de la fig. 1. En el caso de operaciones de semivocablo, sólo se utilizarán dieciséis bitios (de 0 a 15, o de 16 a 31). Cuál de los bitios se vaya a utilizar depende del bitio 22 de la dirección de acceso, que especificará un semivocablo par o impar, del vocablo de memoria presentado al SDR por la memoria 20. De utilizarse una dirección par, esto significa

10

15

20

25

30



que se va a usar el semivocablo de orden superior (de 0 a 15), y así, se dará paso cruzado de los bitios 0 - 15 hasta el canalizador. Esto se efectúa por medio del circuito disyuntivo 142 en respuesta a un circuito de coincidencia 146, debido a las señales presentes en las siguientes líneas: CYC 3, HALF WD OP (operación de semivocablo) y NOT SAR 22 (complemento de SAR, bitio 22). Por otra parte, si se está efectuando la función lógica de semivocablo, y la dirección de acceso del semivocablo es impar, el circuito disyuntivo 141 responderá entonces a un circuito de coincidencia 148, debido a las señales que aparecen en las siguientes líneas: CYC 3, HALF WD OP, y SAR 22. Esto producirá la presentación de una señal en la línea GT SDR 16 - 31 STRT, que hará que los bitios 16 a 31 inclusive pasen directamente (en recto) a los bitios 16 - 31 del canalizador. En el caso de operaciones de vocablo completo, el circuito disyuntivo 140 y el circuito disyuntivo 141 responderán - respectivamente al circuito de coincidencia 150 y a un circuito de coincidencia 152, para así dejar pasar los bitios 0 - 15 y los bitios 16 - 31 en recto a los correspondientes bitios del canalizador. Un resultado semejante es el que se obtiene al efectuar la instrucción de ramificar cómputo, en la que es la totalidad del campo de dato de 32 bitios - del SDR lo que se va a pasar en recto hasta el canalizador. Esto se logra por medio de los circuitos de coincidencia - 154 y 156.

Durante la lectura de instrucciones, se van a utilizar treinta y dos bitios, pero los treinta y dos bitios pueden o no estar apropiadamente orientados, según la dirección de acceso de la particular instrucción que se está

345339



leyendo. A desemejanza de lo que ocurre con las operaciones de vocablo completo, las direcciones de acceso no están constructivamente definidas para las instrucciones que vayan a estar en confines de vocablo, sino más bien para las que estén en confines de semivocablo. Así, una particular instrucción puede extenderse a través del semivocablo de orden superior de un primer vocablo de memoria, y del semivocablo de orden inferior de un vocablo de memoria sucesivo, presentados ambos al SDR por la memoria al mismo tiempo. Ahora bien, estos semivocablos se hallan transpuestos, en su colocación dentro del SDR, y deben transponerse de nuevo por el mecanismo de recto/cruzado antes de su aplicación al canalizador. Por consiguiente, cada uno de los circuitos disyuntivos 140 a 142 inclusive es capaz de responder a un circuito de coincidencia 158 - 160 con él relacionado y que corresponde al circuito de coincidencia 143, para así dar paso a ambos grupos de datos, en la relación apropiada, hasta el canalizador.

El control del franqueo de paso de los bitios 0 - 15 del mecanismo recto/cruzado al canalizador se ilustra en la parte inferior de la fig. 17. Como se ha descrito respecto a la parte superior de la fig. 17, en cualquier momento que el semivocablo simple (sean los bitios 0 - 15) sean los bitios 16 - 31) se vaya a transferir desde el SDR y a través del mecanismo de recto/cruzado hasta el canalizador, tales bitios aparecerán siempre en los bitios 16 a 31 de la salida del mecanismo de recto/cruzado. Por consiguiente, como se ilustra en la parte inferior de la fig. 14, siempre que se vayan a transferir datos desde el SDR al canalizador, se genera una señal por la línea GT S/C

345339



16- 31 TO FUNNEL. Si además se van a transferir al canalizador (FUNNEL) los bitios 0 - 15, serán los circuitos de la parte inferior de la fig. 17 los que hagan que esto ocurra. La señal de franqueo de paso es generada por un circuito disyuntivo 162 en respuesta a la señal de I PERIOD 3, o bien en respuesta a uno u otro de dos circuitos de coincidencia 164, 166. Ambos circuitos de coincidencia son capaces de responder a la señal presente en la línea GT S/C 16 - 31 TO FUNNEL. El circuito de coincidencia 164 funcionará durante una operación de vocablo completo, y el circuito de coincidencia 166 operará en el caso en que se trate de una operación de semivocablo, pero que el semivocablo se vaya a expandir y convertir en vocablo completo por propagación del bitio de signo del mismo. Esto está de acuerdo con la definición constructiva del sistema de tratamiento de datos expuesto en dicho manual. El bitio de signo del semivocablo que actúa de operando es el bitio de orden más alto del semivocablo, que aparece como bitio 16 al salir del mecanismo de recto/cruzado. Si este bitio de signo (bitio 16) es un uno, los bitios 0 - 15 han de ponerse también a uno; si el bitio 16 es un cero, los bitios 0 - 15 han de ponerse también a cero. Para establecer un campo de unos, se utiliza el mecanismo de recto/cruzado de la fig. 12 en su condición estática, respecto a los bitios 0-15. Así, independientemente de que a los bitios 0 - 15 se les dé paso cruzado, o de que a los bitios 16 - 31 se le dé paso directo, el establecimiento de señales para hacer pasar el semivocablo que hace de operando por el mecanismo de recto/cruzado hasta el canalizador se hallará bajo el control de los circuitos de coincidencia 114, 116,



de los circuitos disyuntivos 115 y de los inversores 117. Así, los inversores 113 que se refieren a los bitios 0 -15 del mecanismo de recto/cruzado tendrán todas unas salidas representativas de unos, debido al hecho de no haber señal presente en ninguna de las líneas GT SDR 0 - 15 STRT, o GT SDR 16 - 31 CROSS. Así, se dispone de unos a la salida de los inversores 113. La cuestión es entonces la siguiente, según el bitio de signo sea en sí un uno o un cero: si el bitio de signo es un uno, el circuito de coincidencia 166 permitirá entonces el franqueo de paso de los bitios 0 - 15 del mecanismo de recto/cruzado hasta el canalizador. En cambio, si el bitio 16 es un cero, el circuito disyuntivo 162 no generará entonces señal alguna, con lo cual no se dará paso a los bitios 0 - 15 hasta el canalizador, y el canalizador establecerá ceros en su totalidad en los bitios 0 -,15.

DESCRIPCION DE LA LECTURA DE INSTRUCCIONES

Por lo que concierne a los datos del presente análisis, la lectura de instrucciones puede comprender tres ciclos básicos, que se exponen en la tabla 1. En el primero de los ciclos de lectura de instrucciones (I PERIOD 1), el registro de datos de memoria (SDR), los registros A, B, BK y C, y los circuitos de descodificación de OP y otros circuitos de control, están todos en reposición y dispuestos. Durante el segundo período de instrucciones, se lee y traslada al registro de datos de la memoria la instrucción a la que se haya tenido acceso en la memoria. Durante el tercer período de instrucciones, la parte de operación de la instrucción se lleva desde el registro de datos de la memoria al registro de operaciones, de modo que la ope-



5 ración puede descodificarse, y la parte de dirección de -
acceso de operando de la instrucción se muda desde el re-
registro de datos de memoria, por medio del mecanismo de -
recto/cruzado y del canalizador, a los registros By C. Si
se trata de una instrucción de ramificar o intercalar cóm-
puto, el registro BX se pone a todos unos por activación
de corriente continua (DC SET). Así, al principio de cual-
quiera de las operaciones que se van a describir ahora, se
pone en los registros B y C una dirección de acceso corres-
pondiente a la instrucción.

OPERACIONES ARITMETICAS

15 Con referencia a la tabla 2 y al esquema de con-
junto del aparato de la fig. 1, el primer ciclo de una ope-
ración aritmética ocasiona la reposición del registro de
datos de memoria y la búsqueda de un operando apropiado. El
registro A y el registro de datos de memoria (SDR) se re-
ponen ambos. Cuando se trata de una operación de sumar, se
reponen los registros B y C; pero si se trata de una ope-
ración de restar, los registros B y C se ponen ambos a -
"todos unos". Esta activación a todos unos permite tener -
establecido automáticamente en los registro B y C el com-
plemento a uno de uno de los operandos, cuando este operan-
do recibe paso a los registros B y C. En relación con esto,
el primer operando a colocar en B y C se denomina, por de-
finición, segundo operando en la definición constructiva de
un sistema expuesta en dicho manual. Esto significa que se
refiere a la segunda dirección de acceso de operando, y no
que sea necesariamente el segundo operando sobre el que se
va a operar a su debido momento. Así, en la presente forma
de ejecución, segundo ciclo (CYC 2), el segundo operando se

345339



muda de la memoria al registro de datos de memoria. A con-
tinuación, en el ciclo tercero, el contenido del registro
de datos de memoria se hace pasar por el mecanismo de rec-
to/cruzado al canalizador, y por medio del canalizador a
5 los registros B y C. Es de notar que el contenido del ca-
nalizador es presentado a las entradas de disparador binario de
AC (los condensadores 66, 71, 76) de cada una de las eta-
pas de los registros A, B y C. La línea de condicionamien-
to de estos registros se establecerá durante el tercer -
10 período, de manera que tan pronto como se dé paso al meca-
nismo de recto/cruzado, aparecerá un desplazamiento a la
entrada de estos condensadores, de modo que se ocasiona una
inversión de las etapas de los registros B y C, y se acti-
van las etapas del registro A. Como las etapas de dispara-
15 dor de los registros B y C se invertirán por sí solas en -
respuesta a cualquier bitio de datos que aparezca por el
canalizador, esto vale tanto como tomar la función disyunti-
va exclusiva de todo lo que antes hubiera en los registros
B y C. En el caso de una operación de sumar, los registros
20 B y C se repusieron antes de dar paso a los datos del se-
gundo operando a través del canalizador; por consiguiente,
los datos aparecerán en los registros B y C tal como apa-
recieron en el SDR. En cambio, durante una operación de -
restar, los registros B y C se ponen previamente a todos
25 unos (en CYC 1) de modo que cuando al segundo operando se
le franquee el paso por el mecanismo de recto/cruzado y el
canalizador hasta los registros B y C, se invertirán todos
y cada uno de los bitios de los datos, de modo que en los
registros B y C se establecerá el complemento a uno de los
30 datos. Esto da el segundo operando, en forma complementaria

345339



a uno, de modo que puede ser puesto en función disyuntiva exclusiva con el primer operando dado en forma básica o verdadera, y habilitándose así una función que es la resta en dos módulos de suma, del segundo operando respecto del primero. Dicho de otro modo, cada bitio del primer operando será puesto en disyuntiva exclusiva con el complemento del bitio del segundo operando, habilitándose así semisumas en una operación de sumar complementos. Durante el cuarto ciclo de una operación aritmética, se repone el registro de datos de memoria, eliminándose así de éste el segundo operando y preparándolo para recibir el primer operando procedente de la memoria. En el quinto ciclo se franquea el paso del primer operando desde la memoria al registro de datos de memoria, por medio de los circuitos de sincronismo y acceso 36, de manera ya conocida. Durante el sexto ciclo, se franquea el paso del registro de datos de memoria al mecanismo de recto/cruzado, y del mecanismo de recto/cruzado al canalizador, que pasa los datos a los registros B y C. Como se utilizan las entradas de disparador a los registros B y C, todo bitio del primer operando ocasionará la inversión de un bitio del segundo operando, haciendo así la lógica disyuntiva exclusiva de los dos operandos, que equivale también a efectuar las semisumas de estos dos operandos. Los registros A y C están directamente conectados a un mecanismo 32 de expectativa de dígitos de pase, que se ilustra en la fig. 18.

En la fig. 18, los dígitos de pase a los respectivos bitios se generan de manera nueva en su género. Para generar dígitos de pase se usan tan sólo la semisuma de los dos operandos y uno de los operandos en bruto. Esto tiene

345339

5 la ventaja de que al efectuarse iteraciones sucesivas (acu-
mulación) no se necesita mantener el formato original de
uno de los operandos, ni habilitar funciones especiales -
de "generar" y "propagar". Tampoco se necesita complemen-
tar directamente una u otra de las entradas para la resta
o sustracción (como en la operación de ramificar cómputo).

10 Las salidas de expectativa de dígitos de pase -
(CLA) de la fig. 18 representan "dígitos de pase a bitios"
para los bitios de igual número de la semisuma. Estos dí-
gitos de pase darán una suma final al ser puestos en dis-
yuntiva exclusiva con bitios de igual número de la semisu-
ma.

15 En la fig. 18, si hay una señal de introducción
de dígitos de pase o CARRY IN, se trata de un bitio 31 de
introducción, el bitio de orden más bajo del operando. Es-
te dígito de pase puede propagarse al bitio 30, si hay un
uno en el bitio 30 de la semisuma del registro C, a la en-
trada de un circuito de coincidencia 200. Si el bitio 30 de
20 la semisuma es un cero (porque ambos operandos aplicados al
registro tenían unos en esta posición), funcionará entonces
un circuito de coincidencia 201; esto es así porque la fal-
ta de una semisuma (NOT C REG 31) en unión de la presencia
de uno de los operandos (A REG 31) tiene el significado -
inherente de estar presentes ambos operandos. Con el bitio
25 31 de ambos operandos presente, habrá una introducción de
dígito de pase en el bitio 30, con o sin introducción de
dígito de pase en el bitio 31. Así, el circuito de coinci-
dencia 201 no necesita vigilar la señal de introducción de
dígito de pase.

30 Así, el circuito disyuntivo 202 puede generar un

345339



5 bitio 30 de introducción de dígito de pase en respuesta a una introducción de dígito de pase en el generador de dígitos de pase, debido al circuito de coincidencia 200, o en respuesta a haber un bitio en la posición 31 de cada -
operando, debido al circuito de coincidencia 201.

10 La salida procedente del circuito disyuntivo 202 se aplica a un circuito de coincidencia 203 que se corresponde con el circuito de coincidencia 200; de igual modo, hay un circuito de coincidencia 204 que corresponde al circuito de coincidencia 201. Otro circuito disyuntivo 205 desempeña la misma función que el circuito disyuntivo 202. -
15 Así, pues, un bitio 29 de introducción de dígito de pase puede provenir de un bitio 30 de introducción de dígito de pase en unión de una semisuma en la posición de bitio 30 - (circuito de coincidencia 203), o por existir unos en la posición 30 de ambos operandos (circuito de coincidencia 204). La salida del circuito disyuntivo 205 se aplica a un
20 circuito de coincidencia 206 (que corresponde a los circuitos de coincidencia 200, 203), para así hacer funcionar un circuito disyuntivo 208 (que corresponde al circuito disyuntivo 202, 205). También alimentando el circuito disyuntivo 208 hay un circuito de coincidencia 207 (que corresponde a los circuitos de coincidencia 201, 204). El resultado de los circuitos disyuntivos 202, 205 y 208 es el de tener
25 un dígito de pase en ondulación entre los bitios 31 y 28. Ahora bien, hay un circuito disyuntivo 211 capaz de responder a una pluralidad de circuitos de coincidencia 200_a, - 201_a, 204_a, 207_a, 210 generando un bitio 27 de introducción de dígito de pase sin necesidad de ondulación de dígitos -
30 de pase procedentes de los bitios de orden inferior (31 - 28).

345339



El circuito de coincidencia 200_a vigila y acusa la introducción de dígitos de pase en el generador de dígitos de pase en unión de bitios en todas las posiciones sucesivamente pedidas de la semisuma (véase C REG) para determinar si se propagaría un dígito de pase por todo el camino hasta -
5 - llegar al bitio 27. De igual modo, el circuito de coincidencia 201_a determina en qué momento el dígito de pase generado en el bitio 31 se propagará hasta el bitio 27. El
10 - circuito de coincidencia 204_a determina en qué momento el dígito de pase generado en el bitio 30 se propagará al bitio 27; el circuito de coincidencia 207_a determina cuando un dígito de pase generado en el bitio 29 se propagará al bitio 27; y el circuito de coincidencia 210 corresponde al
15 - circuito de coincidencia 201, 204 y 207 para determinar la generación de un dígito de pase en el bitio pedido inmediato inferior (bitio 28). Los bitios 26 a 1 inclusive y el bitio 0 (que genera un dígito de pase de salida del sumador de expectativa de dígitos de pase en la posición de orden más alto del mismo) se han eliminado del dibujo de la fig.
20 - 18, para mayor sencillez. Ahora bien, el resto de la expectativa de dígitos de pase comprendería ocho juegos del equipo ilustrado en la fig. 18, conectados a posiciones de bitio correspondientemente distintas, aplicándose el dígito de pase de salida del circuito disyuntivo 211 (que es un
25 - dígito de pase de introducción en el bitio 27) como dígito de pase de introducción en el grupo de cuatro bitios de orden inmediato superior, y así sucesivamente. Como el canalizador está conectado a las entradas binarias de los registros B y C, el primer operando (introducido en los registros B y C durante el sexto ciclo) es puesto en disyuntivo
30 -

345339

13 DIC.



va exclusiva con el segundo operando (que se introduce en los registros B y C en el tercer ciclo).

5 En el séptimo ciclo, al dar paso a la expectativa de dígitos de pase, a través del canalizador hasta el registro B, los bitios de introducción de dígitos de pase que se refieren a la función de propagación de dígitos de pase del mecanismo 32 de expectativa de dígitos de pase son -
10 puestos en disyuntiva exclusiva con las semisumas que se han formado en el registro B como resultado de poner en disyuntiva exclusiva los dos operandos. Esto da en el registro B la suma completa.

15 Es de notar que la única diferencia entre una operación de sumar y una operación de restar consiste en que, cuando se está ejecutando la resta, los registros B y C se ponen inicialmente a todos unos por medio de una señal aplicada por la línea DC SET B & C REGS, en lugar de ser repuestos a todos ceros por la línea DC RST B & C REGS. Además, en una operación de restar, el cerrojo de introducción de dígitos de pase está activado de modo que se forma el complemento a dos del segundo operando, como consecuencia de
20 ser puesto en disyuntiva exclusiva con todos unos.

OPERACIONES LOGICAS

25 Hablando en términos básicos, las funciones lógicas conectivas de dos operandos se ejecutan en los registros A y B, mediante formación de la disyuntiva en el registro A y de la disyuntiva exclusiva en el registro B. Si lo que se va a dar es una función lógica de coincidencia, la disyuntiva formada en el registro A se pone entonces en disyuntiva exclusiva con el resultado de disyuntiva exclusiva previamente formado en el registro B; esto da la función
30

345339



lógica de coincidencia de los dos operandos. Por consi-
 guiente, sólo en los dos ciclos finales es cuando hay di-
 ferencia entre las operaciones lógicas de coincidencia, -
 disyuntiva y disyuntiva exclusiva.

5 En el primer ciclo, los registros A, B y C y el
 SDR se reponen todos. En el segundo ciclo, se da paso al
 segundo operando hasta el SDR, desde la memoria. Durante
 un tercer ciclo, se franquea el paso del SDR, a través -
 del canalizador, hasta los registros A y B. En un cuarto
 10 ciclo se repone en SDR para así dejarlo dispuesto para -
 recibir el primer operando, que es introducido en él du-
 rante el quinto ciclo. En el ciclo sexto se vuelve a dar
 paso del SDR a través del canalizador y hasta el registro
 A. Así, al final del sexto ciclo, si se trata de una ope-
 15 ración disyuntiva, se ha formado ya la disyuntiva de los
 operandos en el registro A. Durante el sexto ciclo de una
 operación disyuntiva, se reponen los registros B y C; es-
 to se hace a fin de preparar el registro B para recibir la
 disyuntiva desde el registro A por medio del canalizador,
 20 simplemente para colocar el contenido del registro A en -
 posición en que pueda ser retransmitido al registro de da-
 tos de memoria (SDR), y que el resultado pueda ser guarda-
 do o puesto en los registros de uso general. En cambio, -
 durante la operación de coincidencia y la disyuntiva exclu-
 25 siva, se franquea el paso del SDR por medio del canaliza-
 dor al registro B, así como al registro A, durante el sex-
 to ciclo.

30 Nótese que, en el ejemplo aquí explicado, el re-
 sultado se lleva al registro B solamente, y que han de pre-
 verse ciclos de control adicionales, ya conocidos en la -

345339



técnica del ramo, para devolver el resultado desde el registro B, sea a un registro de uso general, sea el registro de datos de la memoria, para su almacenaje o para su traslado a otro lugar del sistema, de acuerdo con cualquier proyecto que se realice con arreglo a lo aquí explicado.

En el séptimo ciclo de una operación lógica, si se trata de una operación disyuntiva, el resultado de la disyuntiva, que está en el registro A, se transfiere al registro B, ya que el registro B es el destinado a contener el resultado final en la presente forma de realización. Si se trata de una operación de coincidencia, se franquea el paso del registro A por medio del canalizador al registro B, de modo que la disyuntiva de los operandos se ponga en disyuntiva exclusiva, dentro del registro B, con el resultado que hay en éste (resultado que es la disyuntiva exclusiva de los operandos), poniéndose en disyuntiva exclusiva la disyuntiva con los resultados de la disyuntiva exclusiva en la función lógica de coincidencia. En uno y otro caso, el resultado final queda entonces en el registro B. Nótese que para la operación disyuntiva exclusiva, el resultado se forma en el registro B tan pronto como se da paso desde el SDR, por medio del mecanismo de recto/cruzado y del canalizador, hasta el registro B durante el sexto ciclo.

OPERACION DE RAMIFICAR COMPUTO

En la operación de ramificación de cómputo (Tabla 4), la dirección de acceso del ramal (o sea la de ramificación, o de sujeto) se ha formado en el registro B durante los períodos de lectura de instrucciones. Asimismo, el registro BX se pone a todos unos por medio de una señal

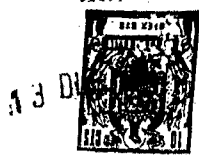
345339



5 aplicada en la línea DC SET BX, durante el tercer período de instrucciones. En el primer ciclo de la operación de ramificación de cómputo (Tabla 4) se reponen el registro A y el SDR, y el contenido de datos del registro B se intercambia con el contenido del registro BX en respuesta a una señal presente en la línea SHFT B 32, que produce un desplazamiento de 32 bitios entre los registros B y BX. - Esto coloca la dirección de acceso de ramal en el registro BX, y pone a todos unos el registro B. El objeto de tener a todos unos el registro B es el de ayudar a restar uno del cómputo que interviene en la determinación de si va a tener lugar o no la ramificación. Esto se describe con detalle en el Manual antes mencionado. El decrecimiento de la función de cómputo, por lo tanto, se logra sumando al cómputo el complemento a dos de uno, de igual manera que en una operación de sumar. Así, el registro B se prepara en el primer ciclo con el complemento a dos del 1 binario, que es igual al complemento a uno del cero binario, y comprende un campo de todos unos.

10
15
20 En el segundo ciclo, se introduce el primer operando desde la memoria en el registro de datos de memoria (SDR). Este operando es el factor de cómputo que se va a decrecer, o reducir por decrementos, para determinar cuándo va a tener lugar la ramificación. El campo de todos unos se hace pasar de B a C. En el tercer ciclo, se franquea el paso del SDR por medio del canalizador a los registros A, B y C, lo mismo que en la operación aritmética. Como en los registros B y C está puesto el complemento a dos del uno binario, la acción de disparador binario de la entrada del canalizador a los registros B y C produce la dis-

345339



yuntiva exclusiva (la semisuma) del cómputo con el comple-
mento de uno binario, formándose así una semisuma del va-
lor de cómputo decrecido. En el cuarto ciclo, la expecta-
tiva de dígitos de pase, que sigue en todo momento al con-
tenido de los registros A y C, recibe paso por medio del
5 canalizador hasta el registro B, para así poner en disyun-
tiva exclusiva las funciones de expectativa de dígitos de
pase con la semisuma que está en el registro B, dando así
una suma final. Esto da a su vez un cómputo decrecido o -
10 disminuido por decrementos, que puede ser examinado para
determinar si va a tener lugar o no la ramificación. Si la
ramificación ha de producirse, existe un camino directo de
datos por el cual puede trasladarse el contenido del re-
registro BX a la parte IC (contador de instrucciones) del -
15 registro PSW (de vocablos de estado de programa). Esto, -
por consiguiente, pondrá la dirección de acceso del ramal
en el contador de instrucciones, para seguir controlando el
funcionamiento de la máquina en el caso de que la ramifica-
ción tenga éxito, según venga determinado por el contenido
20 del registro B a continuación del cuarto ciclo. En el sex-
to ciclo tiene lugar un franqueo de paso automático del -
SDR a través del mecanismo de recto/cruzado; esto no viene
implicado por la operación de ramificación de cómputo, pero
simplifica los controles al permitir que tenga lugar este
25 franqueo de paso redundante.

OPERACION DE GUARDAR

La operación de guardar o almacenar, que se ilus-
tra en la tabla 5 y cuya definición aparece en el Manual -
antes mencionado, sirve para guardar el contenido de un re-
30 gistro general, identificado por la dirección de acceso del

345339

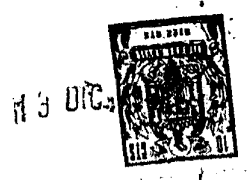
13 DIC.



5 primer operando, en un lugar de almacenaje identificado -
por la dirección de acceso del segundo operando. La direc-
ción del segundo operando viene especificada por la ins-
trucción, y durante el tercer período de instrucciones es-
ta dirección es transferida, por medio del mecanismo de -
recto/cruzado y del canalizador, a los registros B y C. En
el primer período de instrucciones, el registro BX queda -
repuesto a todos ceros. Así, al empezar la ejecución de la
instrucción, la dirección de acceso en la cual se han de -
10 guardar los datos en la memoria está en el registro B, y -
el registro BX está repuesto a todos ceros. El registro -
general puede ser uno de los registros de uso general 48 -
indicados en la parte inferior de la fig. 1, o bien, en -
una forma de realización diferente pero de naturaleza si-
15 milar, puede estar dentro de una parte de la memoria prin-
cipal 20 dedicada a registro de trabajo de la CPU (unidad
central de tratamiento. En la descripción que ahora se va
a dar, se supone que los datos a guardar pasarán al SDR -
sea procedentes de la memoria, sea desde el registro de uso
20 general 48; a los fines de la presente invención, basta de-
cir que los datos a guardar vienen del SDR, detrás de la -
dirección de acceso que determina dónde se van a guardar.

En el primer ciclo de la operación de guardar, se
repone el SDR, y el contenido de los registros B y BX se -
25 transpone en respuesta a una señal enviada a la línea SHFT
B 32. Con esto se coloca en el registro BX la dirección de
acceso que define dónde se van a guardar los datos, de modo
que queda disponible para más adelante, y se pone el regis-
tro B a todos ceros, ya que el registro BX había sido pre-
30 vviamente repuesto a ceros durante el primer período de ins-

345339



5 trucciones. Durante el segundo ciclo, el primer operando
 (los datos efectivos a guardar) se coloca en el SDR, proce-
 dente de los registros generales (ya estén situados en la
 memoria principal, ya estén en los registros generales 48
 del equipo). Durante el tercer ciclo, se franquea el paso
 del SDR al registro B, por medio del canalizador. En un -
 cuarto ciclo se vuelve a reponer el SDR, para que quede -
 en disposición de recibir los datos que se van a colocar -
 en la memoria; nótese que el SDR desempeña funciones de -
 10 separador-regulador, tanto de entrada como de salida de la
 memoria. También en el ciclo cuarto, se vuelve a intercam-
 biar el contenido de los registros B y BK, para así colocar
 en el registro B los datos tomados de los registros gene-
 rales, y devolver al registro B la dirección de acceso que
 15 está controlando la operación. A continuación se franquea
 el paso del registro B al registro de direcciones de la -
 memoria (SAR). En el sexto ciclo, se franquea el paso del
 registro de datos de memoria, automáticamente, por medio -
 del mecanismo de recto/cruzado hasta el canalizador; aún -
 20 cuando esto no realiza trabajo alguno durante la operación
 de guardar, simplifica el sistema lógico que permite efec-
 tuarla, y no hace daño alguno. También en el sexto ciclo,
 se efectúa la transferencia del contenido del registro B
 y el BK, para poner en el registro B los datos que están -
 25 en el registro BK (ya que la dirección de acceso ha salido
 del registro B y está ahora en el SAR). En el ciclo sépti-
 mo, los datos del registro B se trasladan al SDR (registro
 de datos de la memoria), de manera que la operación puede
 completarse guardando en el dispositivo de memoria 20 los
 30 datos que al final del ciclo séptimo estén en el SDR.

345339



SUMARIO DE LAS CARACTERISTICAS DE CIRCULACION DE DATOS

Los cerrojos capaces de responder a la corriente continua, y que comprenden circuitos de coincidencia y - circuitos disyuntivos conectados en relación retroactiva, son dispositivos de inherente lentitud relativa. Para obtener circuitos de cerrojo que operen a gran velocidad se necesitan costosos componentes. Asimismo, el uso de cerrojos de corriente continua en aparatos en los que vaya a efectuarse intercambio de datos entre dos registros, exige que haya unos registros separadores-reguladores entre dichos dos registros. Así, una transferencia de datos entre el registro B y el registro BX aquí indicados exigiría, de utilizarse cerrojos de corriente continua, un registro adicional entre la salida del registro B y la entrada del registro BX, y un segundo registro adicional entre la salida del registro BX y la entrada del registro B. Esto se debe al hecho de que los cerrojos de corriente continua tienen una característica según la cual la salida varía casi en cuanto hay tendencia a un cambio o variación de la entrada, de manera que de no habilitarse registros separadores se obtendrían condiciones de inestabilidad. El disparador de corriente alterna, en cambio, tiene una característica de retardo que permite el intercambio directo de uno a otro y de este otro al primero, sin necesidad de registros separadores o "buffers". Esto se debe al hecho de que el tiempo de retardo de la entrada por condensadores del dispositivo permite utilizar la salida de uno de los dispositivos para condicionar el segundo, y luego suministrar una señal de regulación de tiempos o sincronismo para inmediatamente efectuar la transferencia desde cada uno de los -

345339



5 dispositivos al otro, antes de que el dispositivo haya te-
nido oportunidad de cambiar de estado. Mediante una selec-
ción adecuada de los elementos capacitivos y resistivos -
de la entrada de estos disparadores, es posible evitar di-
chas condiciones de inestabilidad.

10 Por otra parte, la presente invención incluye el
uso de estas entradas por condensador de manera inversa, -
para así obtener un funcionamiento de gran velocidad (y no
de velocidad lenta). En este caso no se aplica al condensa-
dor la señal de franqueo de paso, sino a la entrada resis-
tiva; los datos reciben paso luego directamente a la en-
trada capacitiva, a través de unos medios de franqueo de
paso normalmente necesarios para otros fines (tales como
15 el mecanismo de recto/cruzado de la fig. 1). Esto significa
que tan pronto se disponga de datos en la línea de entron-
que entre los medios de franqueo de pase y el disparador, el
disparador responderá a los datos. Esta característica se
utiliza para franquear el paso del canalizador a los regis-
tros A, B y C. El registro C, en el caso presente, tiene -
20 sus terminales de entrada de condicionamiento de retroacción
aplicados a las salidas del registro B y no a sus propias en-
tradas; el registro C está inclinado hacia la activación -
del registro B antes que al efectivo traslado del conteni-
do del registro B al registro C. Esto significa que una -
25 vez asegurada la estabilidad de los datos en el registro B,
y puestos los datos en el registro C, se dispone de una -
acción de disparador binario del registro C sin esperar a
que las salidas del registro C se hagan estables. Es de -
30 notar que en el caso particular en que esto se logra (la
operación de ramificación del cómputo), se utiliza porque

345339



la activación del registro B a todos unos, a fin de efectuar una adición de complemento de un valor unitario a una función de cómputo, se logra mediante un rápido cambio de datos del registro BX. A fin de evitar otra conexión al registro C, o un registro CX que apoye el registro C, el registro C se pone a todos unos por transferencia del contenido del registro B al registro C; la conexión de los caminos de retroacción de los disparadores del registro C a la salida del registro B, hace estable más pronto al registro C, de modo que es posible franquear el paso del SDR a los registros B y C sin esperar a que se estabilice C.

La reposición y activación de los registros a gran velocidad, mediante transferencia de una condición de todos unos o todos ceros a los mismos, evita la necesidad de esperar hasta que se haya desactivado una línea de control de activación o de reposición por corriente continua, permitiendo que se lleguen a estabilizar las condiciones a pleno potencial de salida. Así, en la transferencia de todos unos o todos ceros (tal como sucede en las operaciones de ramificación de cómputo) desde el registro BX hasta el registro B es posible a continuación formar más rápidamente en el registro B una semisuma estable, ya que la estabilidad se logra inmediatamente de haberse transferido los datos de BX a B.

No se ha descrito operación alguna que ilustre los usos de los registros A y AX, que se refieren a operaciones de punto flotante no descritas aquí. Sin embargo, está claro por la descripción de los demás registros y de las operaciones tipo, que los registros A y AX son capaces de desempeñar funciones recíprocas entre sí, tales que el

345339



registro A pueda efectuar varias funciones diferentes en serie, al mismo tiempo que conservan o retienen los datos procedentes de una etapa para su uso en otra etapa, mediante transferencia de los mismos al registro AX, y piden datos del registro AX en un ciclo sucesivo mediante otra -
5 - transferencia. Como se observará, el registro AX alimenta al registro A mediante aplicación de los datos directamente a las entradas capacitivas del registro A, mientras la orden para transferir datos entre los dos registros se aplica a la entrada resistiva; como la otra resistencia posible
10 - estará ligada a un potencial negativo y, por lo tanto, preparando cada uno de los disparadores que se van a activar, la transferencia entre los registros A y AX es muy rápida.

La resta u sustracción es muy sencilla, conforme al presente invento, debido al hecho de que el complemento -
15 - de uno de los operandos se puede formar de una u otra de dos maneras. Durante una operación de restar, los registros B y C son preactivados a todos unos por efecto de una señal de activación de corriente continua, de modo que la -
20 - colocación inicial de un operando (el segundo) en los registros B y C hará que se forme en ellos el complemento a uno de ese operando, ya que la función disyuntiva exclusiva tiene lugar automáticamente. Por otra parte, se aplican todos unos a los registros B y C durante las operaciones de
25 - semivocablos en las que el semivocablo se va a expandir y convertir en vocablo completo por medio de la propagación del signo debido a la función lógica invertida del mecanismo de recto/cruzado, que automáticamente da todos unos en todo momento en que no se esté haciendo una selección -
30 - particular de franqueo de paso. Por consiguiente, es obvio

345339



que el mecanismo de recto/cruzado es capaz de dar todos -
unos a los fines de complementar un valor que esté en los
registros B y C (como en la operación de restar). Así, es
posible ejecutar una diversidad de operaciones similares
5 a la de restar, dando todos unos para complementar un ope-
rando que esté ya en los registros B y C, por simple fran-
queo de paso del mecanismo de recto/cruzado a través del -
canalizador hasta los registros B y C, sin que al mecanismo
de recto/cruzado se le den señales de franqueo de paso. En
10 otros términos, mediante el recurso de producir señales que
den paso del mecanismo de recto/cruzado al canalizador, y
señales que franqueen el paso de los registros B y C al ca-
nalizador, se suministrarán todos unos al registro B y al
registro C. De igual manera, es posible proporcionar un -
15 operando fijo cualquiera mediante el recurso de obligar a
que algunos, determinados, de los bitios del mecanismo de
recto/cruzado sean ceros, y no los unos estáticos que nor-
malmente resultan. El equipo físico utilizado puede ser -
de función "disyuntiva de punto", o bien pueden ser unos -
20 circuitos de coincidencia adicionales que se bloqueen en
el caso de una actualización del regulador de tiempos, o
una operación similar del tipo de operando fijo.

Las funciones lógicas (de coincidencia, disyunti-
va y disyuntiva exclusiva) se efectúan simplemente utili-
25 zando la naturaleza inherente a los registros A, B y C, de
modo que el registro A proporcione automáticamente la fun-
ción disyuntiva, el registro B desempeñe la función disyun-
tiva exclusiva, y la función de coincidencia puede venir -
desempeñada por la combinación de la disyuntiva y la disyun-
30 tiva exclusiva. Esto tiene además la ventaja de que en el -

345339



cielo siguiente a la generación de la disyuntiva y la disyuntiva exclusiva, el registro B puede reponerse a todos ceros; entonces, si el registro A se vuelve a pasar por medio del canalizador al registro B, el resultado del registro B contendrá la disyuntiva del operando; en cambio, si lo que se necesita es la disyuntiva exclusiva, no se repone el registro B, ni se pasa a éste el registro A. Pero si lo que se quiere es la función de coincidencia, el registro A se pasa entonces a través del canalizador hasta el registro B sin activar previamente éste, para así generar la función lógica de coincidencia. De ese modo, es muy sencillo obtener en el registro B un resultado lógico que puede ser una cualquiera de las tres funciones lógicas conectivas principales.

Para mayor sencillez, no se han descrito las operaciones de multiplicar y dividir. Ahora bien, para las personas versadas en la materia ha de resultar evidente que las posibilidades aritméticas y de desplazamiento de esta circulación de datos resultan idealmente apropiadas para una multiplicación y división simplificadas. Por ejemplo, la capacidad de desplazamiento de los registros B y BX hace posible tomar grandes sumas generadas en el registro B (como en una operación de sumar), y transferirlas muy sencillamente a otras posiciones de los registros B y BX, durante las iteraciones de la multiplicación y división. Así, se evita la circulación de datos adicional, y el tiempo necesario para la propagación de datos a través de líneas de entronque de circulación de datos y a través de aparatos de desplazamiento, con el consiguiente empleo de equipo físico.

345339



Si bien la invención se ha ilustrado y descrito en relación con una de sus formas de ejecución preferidas, se sobrentiende para toda persona versada en la materia que es posible hacer en ella diversos cambios y omisiones de forma y de detalle sin por ello apartarse del espíritu ni salirse del ámbito de la invención.

Esta solicitud que corresponde a la presentada en los Estados Unidos de América, el día 28 de Septiembre de 1.966, con el número 582.766, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

- N O T A -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

1.- Un aparato de tratamiento de datos que comprende: un primer medio de registro; un segundo medio de registro dotado de la característica de que las manifestaciones de datos en él introducidas formarán la conjunción lógica disyuntiva exclusiva con los datos introducidos antes en el mismo; medios de transferencia de datos accionables para conectar la salida de dicho primer registro a la entrada de dicho segundo registro; medios de control de circulación de datos para sucesivamente transferir un primer operando a ambos registros primero y segundo, y para -

345339



después transferir un segundo operando a dicho segundo -
 registro; y medios de expectativa de dígitos de pase ca-
 pacés de responder a dichos medios de registro primero y
 segundo para generar funciones de dígito de pase o "lleva",
 5 de modo que dichos medios de control de circulación de da-
 tos aplican su salida a dicho segundo registro, con lo cual
 se forma en dicho segundo registro la suma de los dos ope-
 randos.

2.- El aparato de tratamiento de datos de la rei-
 vindicación 1, en el que dichos medios de expectativa de -
 dígitos de pase comprenden medios reguladores-separadores
 ajustables para representar el contenido de dicho segundo
 registro; y en el que dichos medios de expectativa de dígi-
 tos de pase son capaces de responder al contenido de di-
 15 cho primer registro y de dichos medios reguladores-separa-
 dores para controlar el ajuste final de dicho segundo re-
 gistro.

3.-,El aparato de tratamiento de datos de la -
 reivindicación 1 en el cual: dicho segundo medio de regis-
 tro incluye unos controles de ajuste o activación que, al
 ser puestos en acción, tienen por efecto poner dicho segundo
 registro a todos unos; dichos medios de expectativa de dí-
 gitos de pase son capaces de responder a un dígito de pase
 contenido en una señal independiente de dichos registros -
 incrementando en uno la salida de dicha suma final; y dichos
 25 medios de control de circulación de datos incluye medios pa-
 ra hacer funcionar dichos controles de ajuste o activación
 antes de transferir operandos a dichos registros, y para -
 generar después dicho dígito de pase; con lo cual en dicho
 30 segundo registro se genera la diferencia aritmética de di-

345339

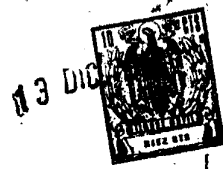


chos operandos.

4.- Un aparato de tratamiento de datos que comprende medios para sumar operandos de entrada de varios órdenes, el cual incluye: una pluralidad de medios generadores de semisuma, uno por cada uno de los órdenes del sumador; una pluralidad de medios generadores de dígitos de pase, uno por cada uno de la pluralidad de órdenes del sumador, comprendiendo cada uno de dichos medios generadores de dígitos de pase un primer medio capaz de responder a un dígito de pase al orden correspondiente desde un orden inferior en coincidencia con la presencia de un bitio de semisuma para el orden correspondiente dando o generando una primera señal; un segundo medio capaz de responder a la presencia de un bitio del mismo orden de por lo menos uno de los operandos de entrada en coincidencia con la ausencia de bitio de semisuma correspondiente a ese orden generando una segunda señal, y medios capaces de responder a una u otra de dichas señales primera o segunda generando una señal de dígito de pase para su aplicación a los medios generadores de dígitos de pase, correspondiente a un orden inmediato superior al mismo en secuencia.

5.- Un aparato de tratamiento de datos que comprende medios para generar la suma final de un par de operandos de varios órdenes mediante la combinación de manifestaciones de semisuma de cada orden con manifestaciones de bitio de introducción o incorporación de dígitos de pase relacionadas con aquellas, e incluye por cada orden: un primer circuito de coincidencia capaz de responder a la manifestación de una semisuma en concurrencia con un bitio de incorporación de dígitos de pase a uno, primero, de dichos

345339



órdenes; un segundo circuito de coincidencia capaz de responder a la manifestación de bitio de uno, primero, de dichos operandos para dicho orden en concurrencia con la ausencia de una manifestación de semisuma para dicho primer orden; y un circuito disyuntivo capaz de responder a dichos circuitos de coincidencia primero y segundo dando una manifestación de bitio de incorporación de dígito de pase para un orden de dichos medios aritméticos que es el orden inmediato superior a dicho primer orden de dicha secuencia.

6.- El aparato de tratamiento de datos de la reivindicación 5, que incluye por lo menos una etapa adicional de expectativa de dígitos de pase, que comprende: un tercer circuito de coincidencia capaz de responder a un bitio de incorporación de dígitos de pase para el orden N en concurrencia con una manifestación de semisuma para cada uno de los órdenes N a N + M inclusive; un cuarto circuito de coincidencia capaz de responder a la manifestación de bitio de uno de dichos operandos para el orden N + M - 1, en concurrencia con la ausencia de manifestación de semisuma para el orden N + M - 1, y también en concurrencia con la presencia de una manifestación de semisuma para el orden N + M; un quinto circuito de coincidencia capaz de responder a la manifestación de bitio de uno de dichos operandos para el orden N + M en concurrencia con la ausencia de la manifestación de semisuma para el orden N + M; y un circuito disyuntivo capaz de responder a por lo menos dichos circuitos de coincidencia tercero, cuarto y quinto generando una manifestación de incorporación de dígitos de pase para el orden N + M + 1.

345339



7.- Un aparato de tratamiento de datos que comprende: una pluralidad de etapas de disparador binario - biestable, cada una de las cuales posee un lado de activación y un lado de reposición, de los que cada lado posee una salida y una pluralidad de diferentes tipos de entrada, relacionándose cada entrada de uno de ambos lados con una entrada semejante correspondiente del lado opuesto de modo que una primera pareja de dichas entradas, una entrada por cada uno de dichos lados, es capaz de activar dicha etapa binaria poniéndola en el lado correspondiente en respuesta a una sola señal de corriente continua, mientras una segunda pareja de dichas entradas, una por cada uno de dichos lados y con tres terminales cada una, es capaz de activar dicha etapa poniéndola en el lado correspondiente en respuesta a la recepción, en uno de dichos terminales, de una señal de corriente alterna coincidente con la presencia de una señal de corriente continua en cada uno de los otros dos de dichos terminales, y habiendo una tercera pareja de entradas, una por cada uno de dichos lados, dotada cada entrada de dos puntos terminales, y capaz cada una de activar dicha etapa poniéndola en el lado correspondiente, en respuesta a la recepción, en uno de dichos puntos terminales, de una señal de corriente alterna coincidente con la presencia de una señal de corriente continua en el otro de dichos puntos terminales; una fuente de suministro de manifestaciones de datos en varios órdenes; un registro que comprende una pluralidad de dichas etapas binarias dispuestas por órdenes de modo que cada etapa binaria de dicho registro tiene el lado de activación de dicha primera entrada conectado a un lado de activación de primera entrada semejante.

345339



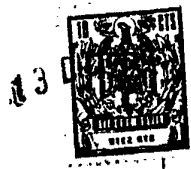
jante de todas las demás etapas de dicho registro, cada una de las primeras entradas del lado de reposición de dicho registro va conectada a todas las demás entradas de lado de reposición semejantes de dicho registro, cada etapa tiene los terminales de corriente alterna de las dos entradas de dicha segunda pareja conectadas entre sí y al orden correspondiente de dicha fuente de suministro, cada etapa tiene un primer terminal de corriente continua de cada una de las entradas de dicha segunda pareja conectado al correspondiente del lado opuesto y también conectado a los primeros terminales de corriente continua semejantes de todas las demás etapas de dicho registro, cada una de dichas etapas tiene un segundo terminal de corriente continua, de aquella de dichas dos segundas entradas emparejadas relacionada con dicho lado de activación, conectado a la salida de dicho lado de reposición, y un segundo terminal de corriente continua de aquella de dichas dos entradas relacionada con dicho lado de reposición conectado a la salida de dicho lado de activación, el punto terminal de corriente alterna de cada una de las entradas de dicha tercera pareja de ellas está conectado a los puntos terminales semejantes de corriente alterna de todas las demás etapas de dicho registro, y los puntos terminales de corriente continua de cada una de las entradas que forman dicha tercera pareja están conectados a la salida del lado correspondiente de una etapa adicional de dicho registro; y unos medios de control para aplicar selectivamente señales a dichas entradas a fin de activar (poner) dicho registro o reponerlo, a todos unos o todos ceros, por medio de dichas primeras entradas, llevando a disyuntiva exclu-



siva el contenido de dicho registro con dicha fuente por medio de dichas segundas entradas, o bien desplazando o - pasando datos de una etapas a otras de dicho registro por medio de dichas terceras entradas.

5 8.- Un aparato de tratamiento de datos que comprende: una pluralidad de etapas de disparador binario - biestable, cada una de las cuales posee un lado de activación y un lado de reposición, de los que cada lado posee una salida y una pluralidad de diferentes tipos de entrada, relacionándose cada entrada de uno de ambos lados con una entrada semejante correspondiente del lado opuesto, -
10 de modo que una primera pareja de dichas entradas, una entrada por cada uno de dichos lados, es capaz de activar dicha etapa binaria poniéndola en el lado correspondiente en respuesta a una sola señal de corriente continua, mientras
15 una segunda pareja de dichas entradas, una por cada uno de dichos lados y con dos terminales cada una, es capaz de - activar dicha etapa poniéndola en el lado correspondiente en respuesta a la recepción, en uno de dichos terminales, de
20 una señal de corriente alterna coincidente con la presencia de una señal de corriente continua en el otro de dichos terminales, y habiendo una tercera pareja de entradas, una por cada uno de dichos lados, dotadas cada una de dos puntos terminales y capaz cada una de activar dicha etapa poniéndola en el lado correspondiente, en respuesta a la -
25 recepción, en uno de dichos puntos terminales, de una señal de corriente alterna coincidente con la presencia de - una señal de corriente continua en el otro de dichos puntos terminales; y una cuarta pareja de entradas semejantes a -
30 las de dicha tercera pareja; una fuente de suministro de -

345339



manifestaciones de datos en varios órdenes; un registro -
que comprende una pluralidad de dichas etapas binarias dis-
puestas por órdenes de modo que cada etapa binaria de di-
cho registro tiene sin conectar el lado de activación de
5 dicha primera entrada, cada una de las primeras entradas -
del lado de reposición de dicho registro va conectada a -
todas las demás primeras entradas de lado de reposición se-
mejantes de dicho registro, cada etapa tiene los terminales
de corriente alterna de las dos entradas de dicha segunda -
10 pareja conectadas entre sí y a los primeros terminales de
corriente alterna semejantes de todas las demás etapas de
dicho registro, cada una de dichas etapas tiene un terminal
de corriente continua, de aquella de dichas dos segundas -
entradas emparejadas relacionada con dicho lado de activa-
15 ción, conectado a la salida de dicho lado de reposición,
y un terminal de corriente continua, de aquella de dichas
dos segundas entradas emparejadas relacionada con dicho -
lado de reposición, conectado a la salida de dicho lado de
activación, el punto terminal de corriente alterna de cada
20 una de las entradas de dicha tercera pareja está conectado
a los puntos terminales de corriente alterna semejantes de
todas las demás etapas de dicho registro, y los puntos ter-
minales de corriente continua de cada una de las entradas
que forman dicha tercera pareja están conectados a las cor-
25 respondientes salidas de dicha primera fuente de suministro,
el punto terminal de entrada de corriente alterna de dicha
cuarta entrada de cada etapa, relativo a dicho lado de ac-
tivación está conectado a un orden correspondiente de dicha
segunda fuente, el punto terminal de entrada de corriente -
30 continua de dicha cuarta entrada, relativo a dicho lado de

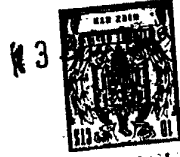
345339



5 activación de cada etapa, está conectado a los terminales semejantes de cada una de las demás etapas de dicho registro, y la cuarta entrada de cada etapa, relativa a dicho lado de reposición, está sin conectar; y unos medios de control para aplicar selectivamente señales a dichas entradas a fin de reponer dicho registro a todos ceros por medio de dichas primeras entradas, llevando a disyuntiva el contenido de dicho registro con dicha segunda fuente de suministro por medio de dicha cuartas entradas, para activar dicho registro poniéndolo al mismo contenido de datos que dicha primera fuente por medio de dichas terceras entradas, o bien para invertir el ajuste o activación de dicho registro por medio de dichas segundas entradas.

10 9.- El aparato de tratamiento de datos de la reivindicación 8, que además comprende: un segundo registro que comprende una pluralidad de dichas etapas binarias, -
15 dispuestas por órdenes, de modo que cada etapa binaria de dicho segundo registro tiene el lado de activación de dicha primera entrada conectado a una primera entrada de lado de activación semejante de todas las demás etapas de -
20 dicho segundo registro, cada una de las primeras entradas del lado de reposición de dicho segundo registro están conectadas a todas las demás primeras entradas del lado de reposición semejantes de dicho segundo registro, cada etapa de dicho segundo registro tiene los terminales de corriente alterna de las dos entradas de dicha segunda pareja conectadas entre sí y conectadas a un orden correspondiente de dicha fuente, cada etapa de dicho segundo registro -
25 tiene un primer terminal de corriente continua de cada una de las dos entradas de dicha segunda pareja conectadas en -
30

345339



5 tre sí y conectadas también a los primeros terminales de corriente continua semejantes de todas las demás etapas - de dicho registro, cada una de dichas etapas de dicho segundo registro tiene un segundo terminal de corriente continua, de aquella de dichas segundas entradas emparejadas relacionada con dicho lado de activación, conectado a la salida de dicho lado de reposición, y un segundo terminal de corriente continua, de aquella de dichas dos entradas emparejadas relacionada con dicho lado de reposición, conectado a la salida de dicho lado de activación, el punto terminal de corriente alterna de cada una de las entradas de dicha tercera pareja de cada etapa de dicho segundo registro está conectado a los puntos terminales de corriente alterna semejantes de todas las demás etapas de dicho segundo registro, y los puntos terminales de corriente continua de cada una de las entradas de dicha tercera pareja están conectados a la salida del lado correspondiente de una etapa adicional de dicho segundo registro; y en el cual aparato dichos medios de control incluye medios de aplicar 10 señales selectivamente a dichas entradas de modo que se active o reponga dicho segundo registro a todos unos o a todos ceros por medio de dichas primeras entradas, llevando a disyuntiva exclusiva el contenido de dicho segundo registro con dicha fuente de suministro por medio de dichas segundas 15 entradas, o bien desplazando datos de una etapa a otra de dicho segundo registro por medio de dichas terceras entradas.

20 10.- Un aparato de tratamiento de datos que comprende: un primer medio de registro; un 25 segundo medio de registro dotado de la caracterís--

345339



5 tica de que las manifestaciones de datos en él introduci-
 das formarán la conjunción lógica disyuntiva exclusiva con
 los datos introducidos antes en el mismo; un tercer medio
 de registro en comunicación de datos, a base de orden por
 orden, con dicho segundo medio de registro, y capaz de ser
 puesto o activado a todos unos; medios de transferencia de
 datos accionables para conectar la salida de dicho tercer
 registro a la entrada de dicho segundo registro y vicever-
 sa; medios de control de circulación de datos para sucesi-
 10 vamente poner o activar dicho tercer registro a todos unos,
 intercambiando el contenido de dicho tercer registro y el de
 dicho segundo registro, y para después transferir a ambos
 registros primero y segundo citados un operando a reducir
 o disminuir; y medios de expectativa de dígitos de pase -
 15 capaces de responder a dichos medios de registro primero y
 segundo para generar funciones de dígito de pase, de modo
 que dichos medios de control de circulación de datos apli-
 can su salida a dicho segundo registro, con lo cual se for-
 ma en dicho segundo registro un valor de uno menos que di-
 20 cho operando.

11.- Un aparato de tratamiento de datos.

Tal y como se ha descrito en la Memoria que an-
 tecede, representado en los dibujos que se acompañan y con
 los fines que se han especificado.

25 Esta Memoria consta de sesenta y nueve hojas -

345339

13



escritas a máquina, por una sola cara.

Madrid, 3 DIC. 1967

P. A.

Alberca de Elzabeta
Arta

345339

3779
MILWAUKEE
MAY 1954

345339

ESCALA VARIABLE

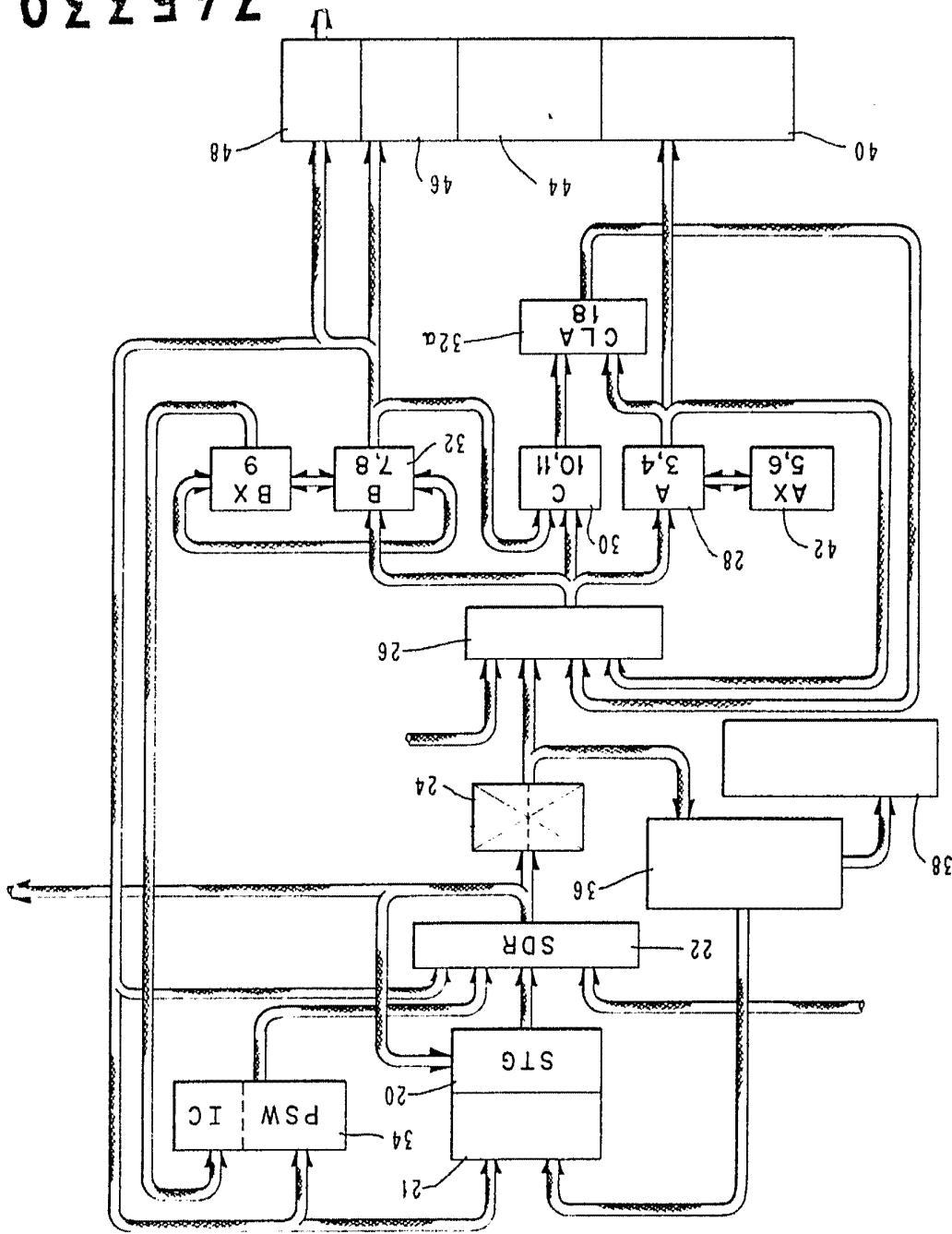


FIG. 1



345339



FIG. 2

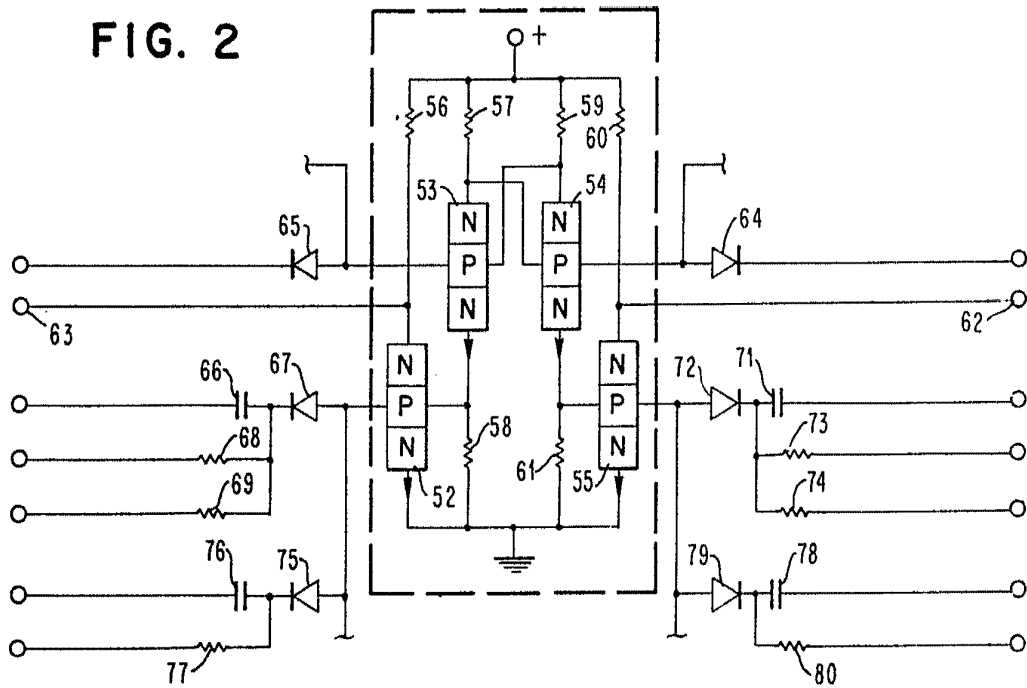
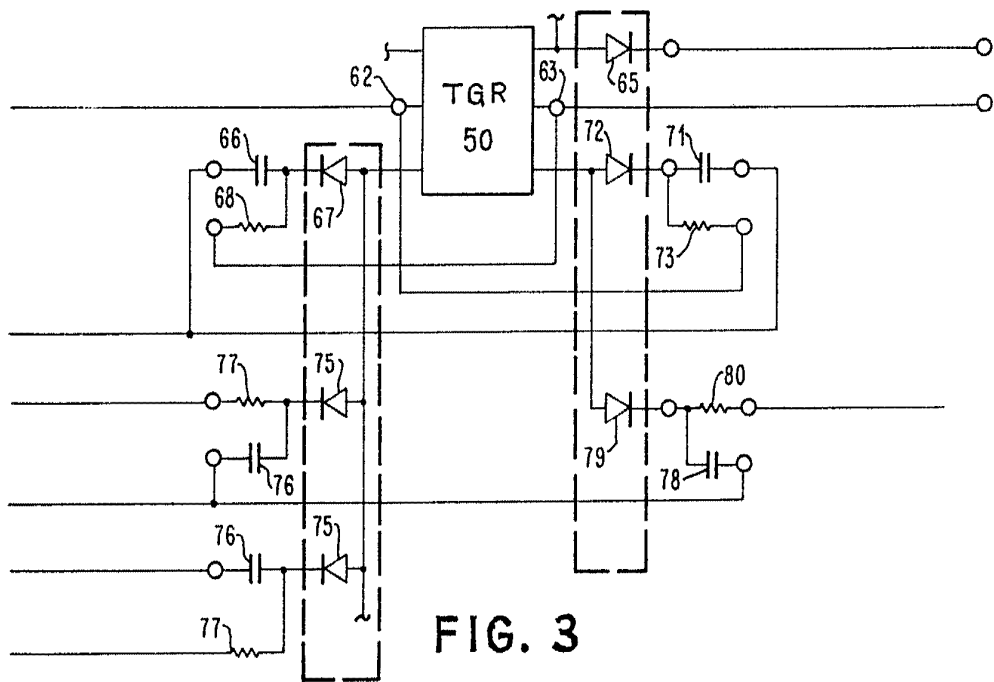


FIG. 3



ESCALA VARIABLE

Alberto G. Etzler

ESCALA VARIABLE

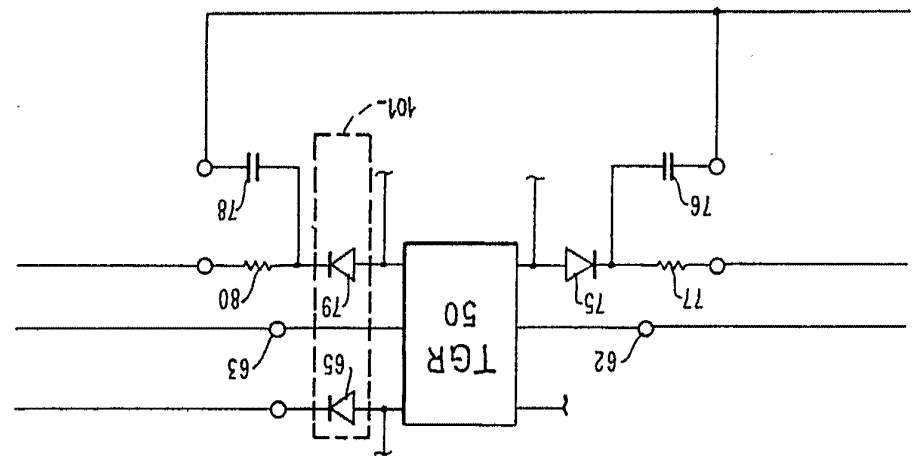


FIG. 5

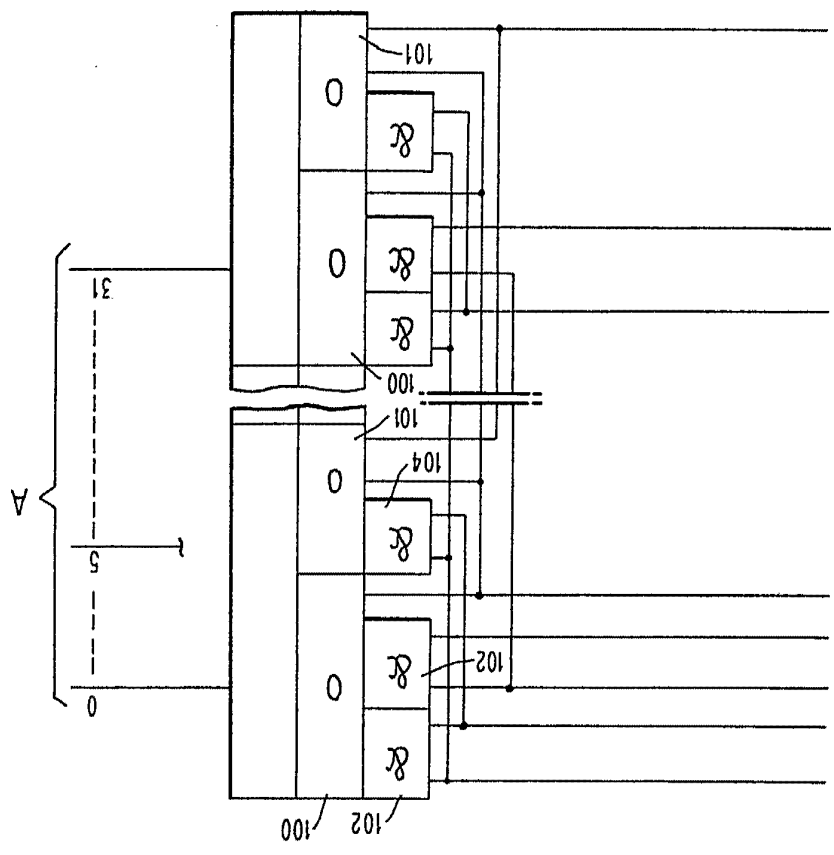


FIG. 4

345339





345339

FIG. 6

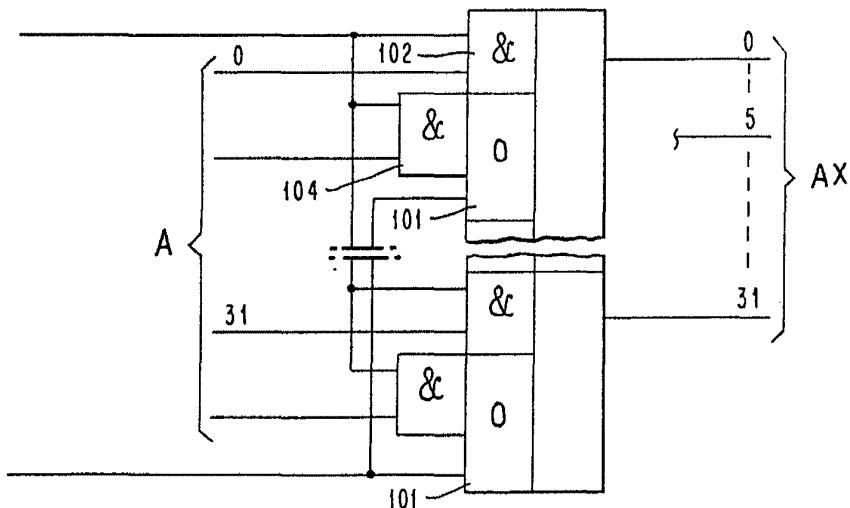
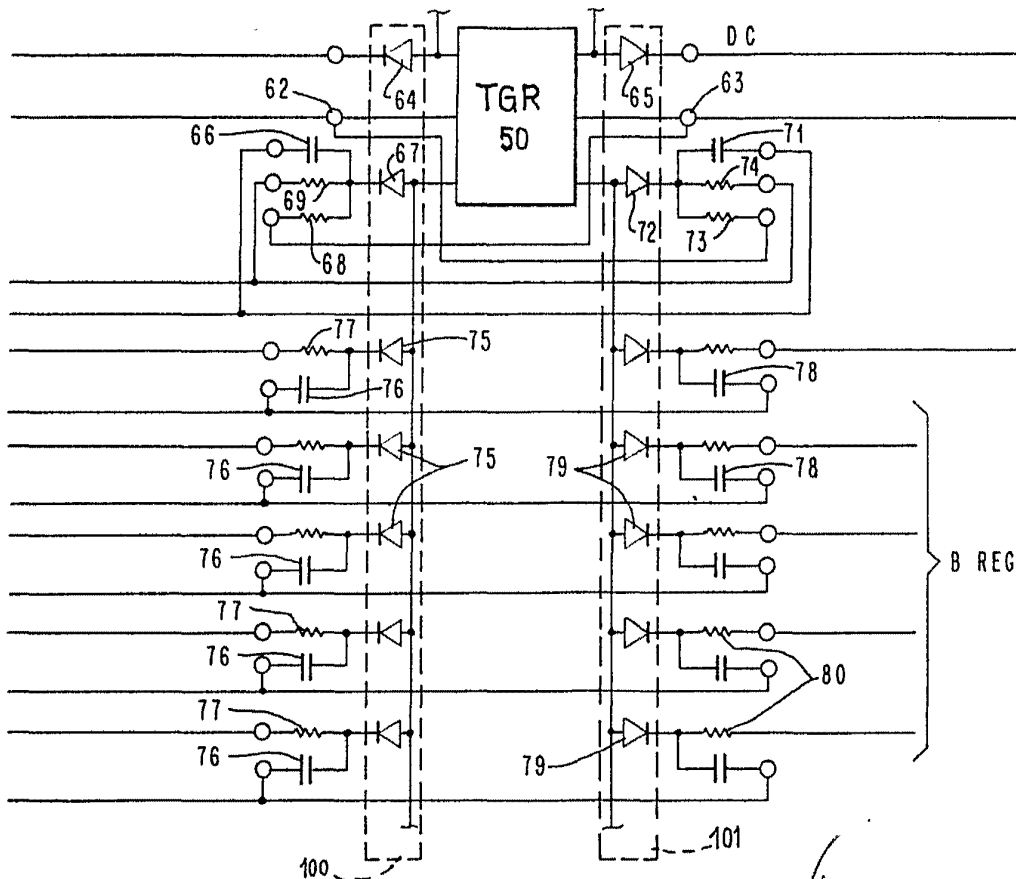


FIG. 7



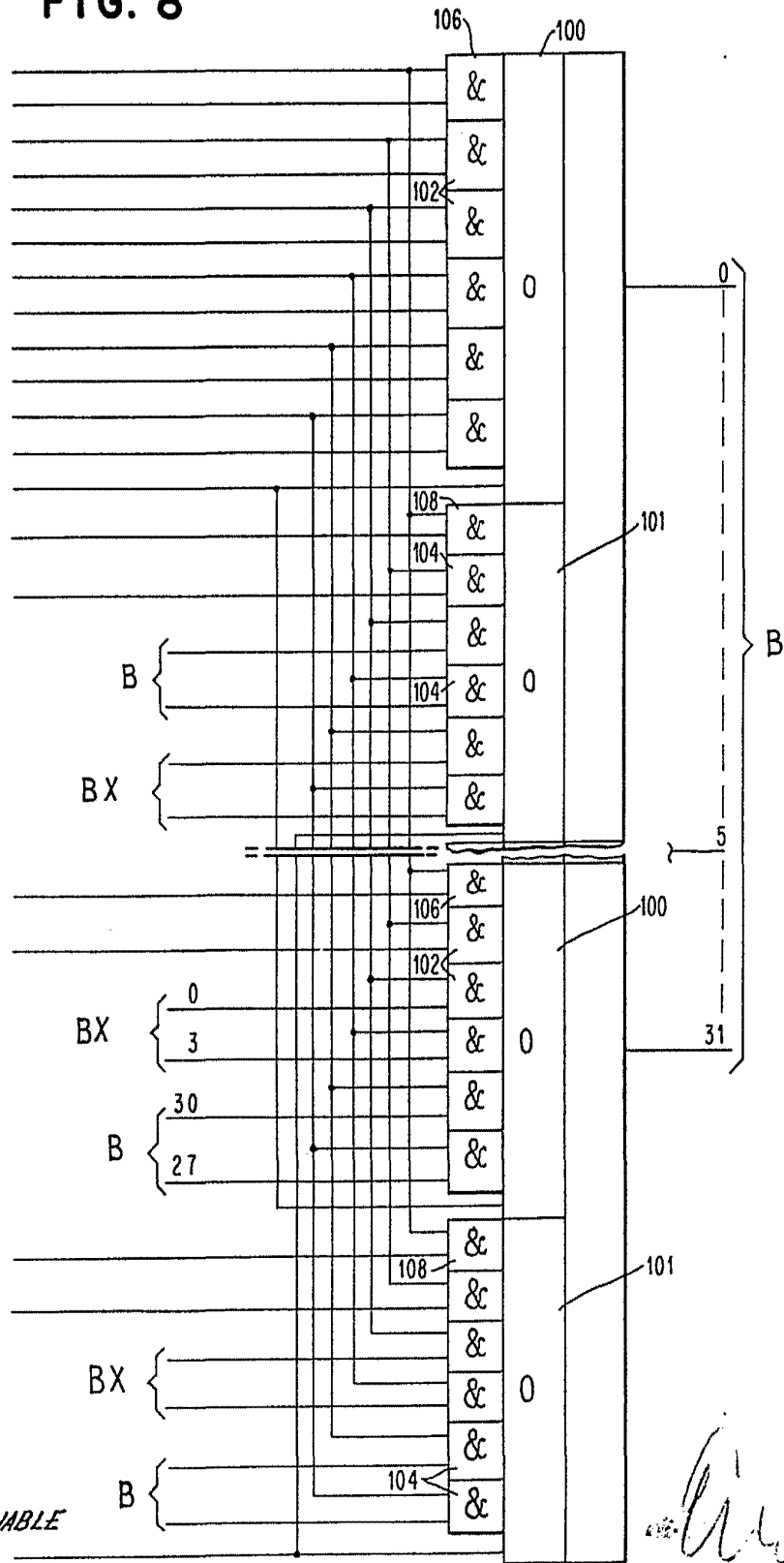
ESCALA VARIABLE

Handwritten signature or initials.



345339

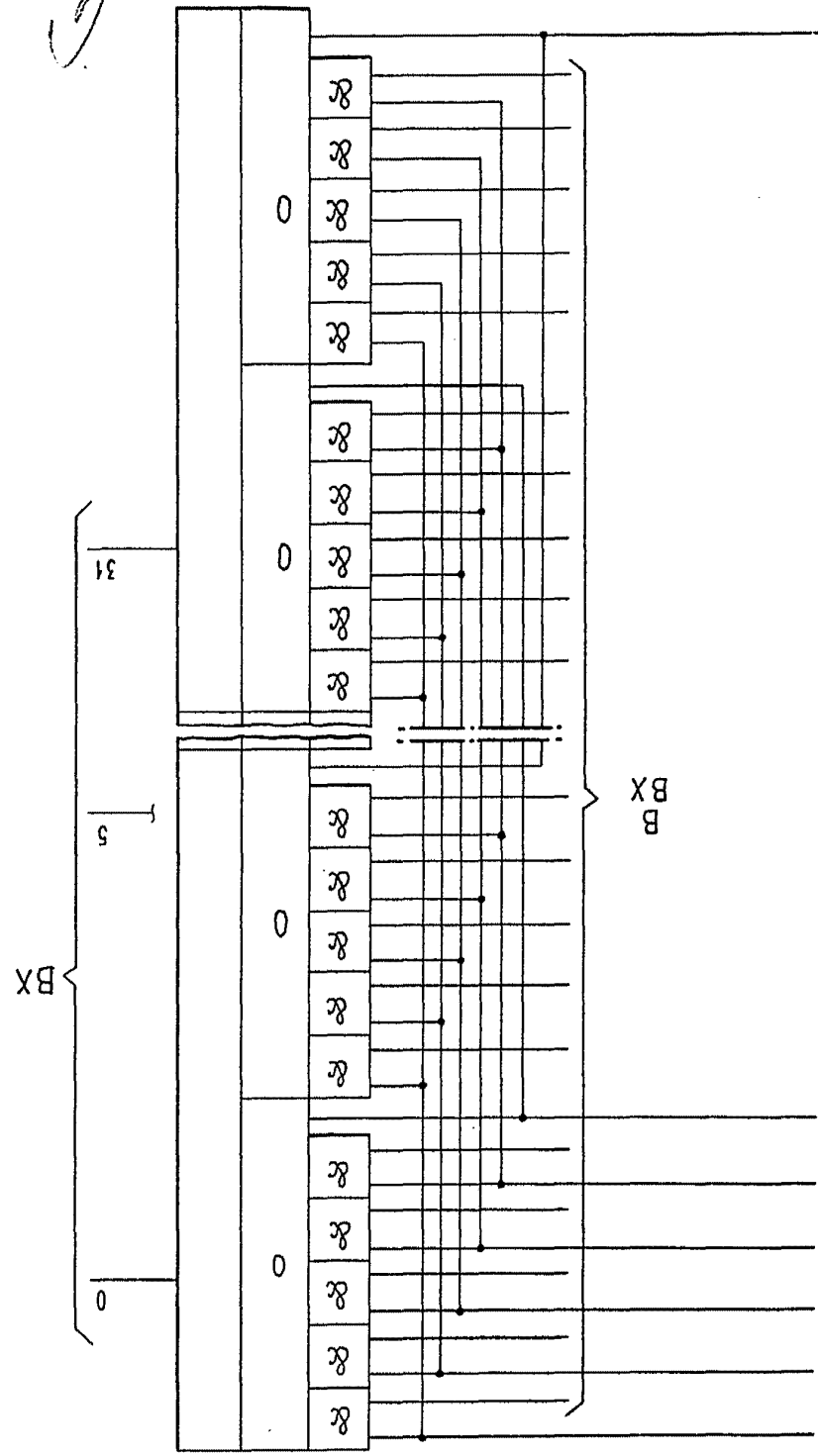
FIG. 8



ESCALA VARIABLE

Alfred P. ...
Patent

ESCALA VARIABLE



345339

FIG. 9





345339

FIG. 10

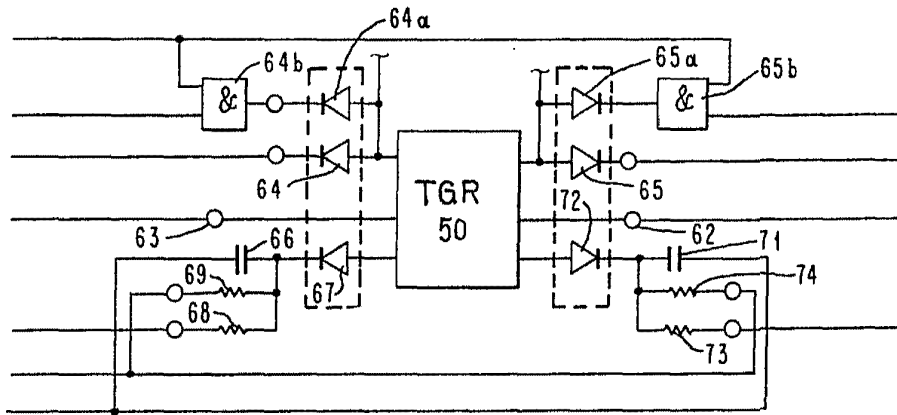
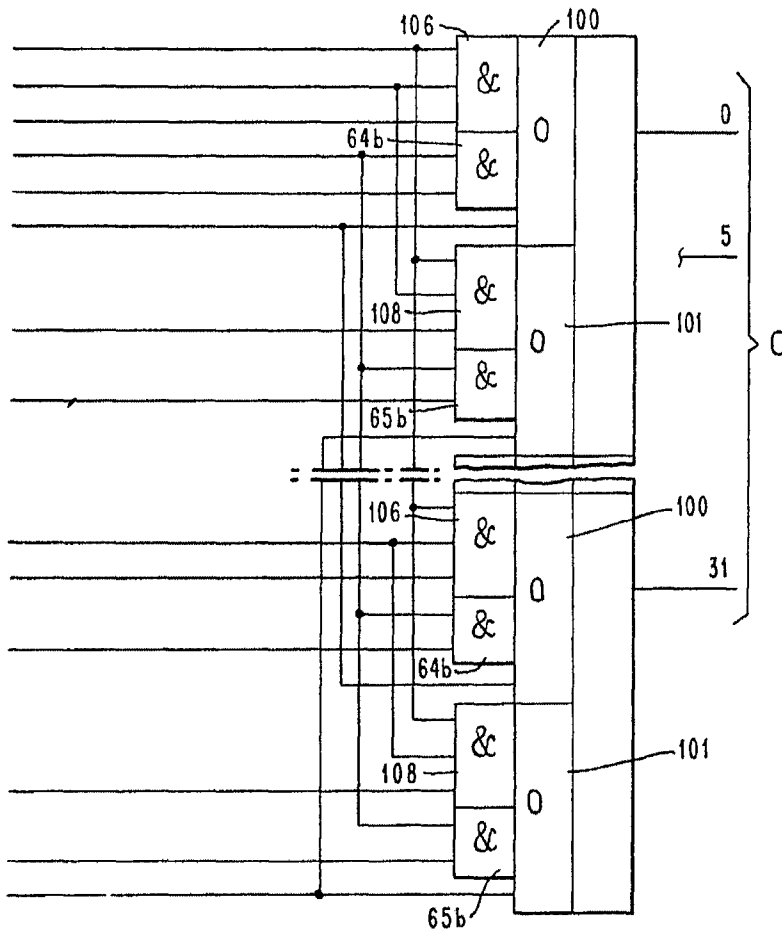


FIG. 11

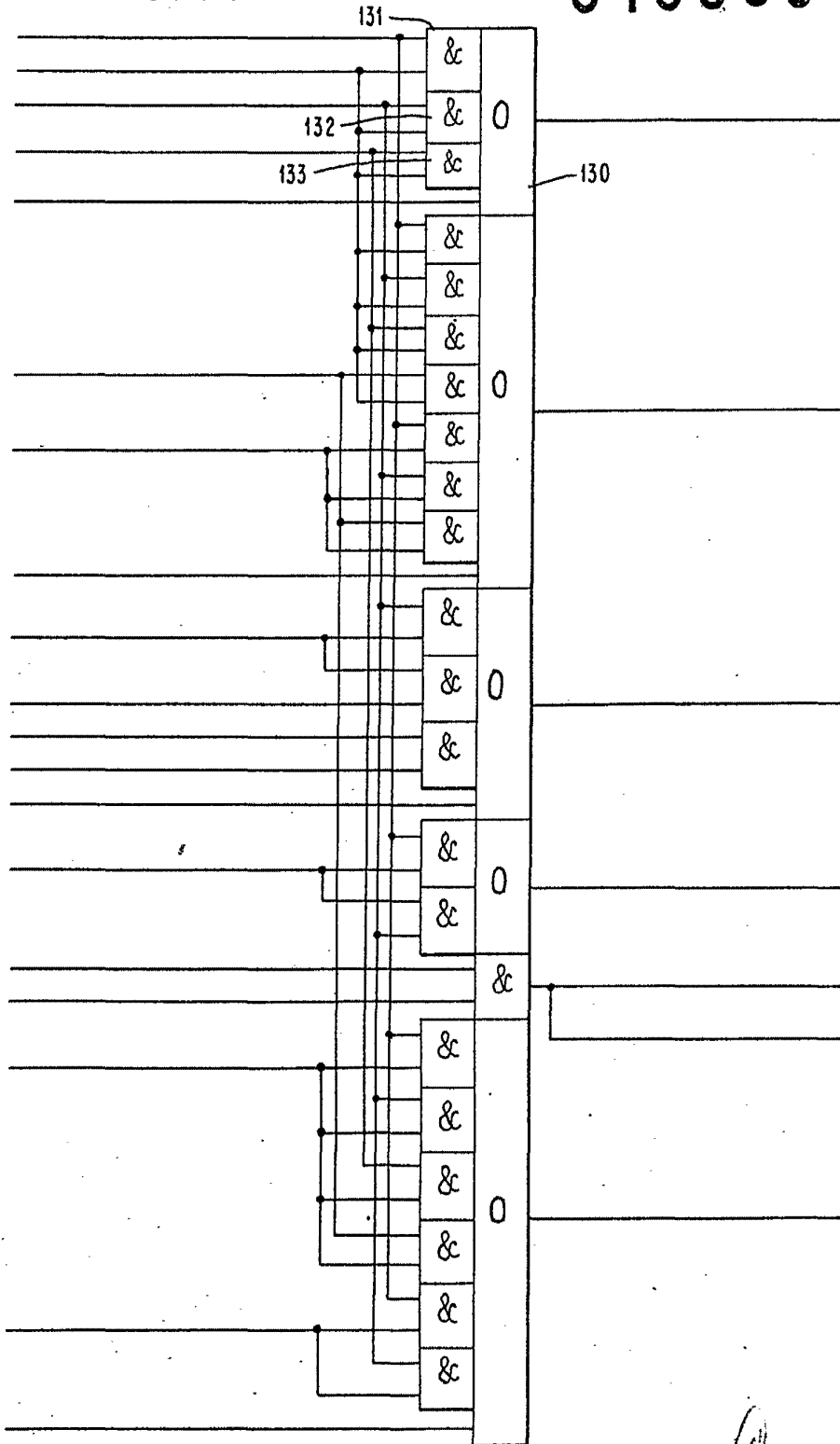


ESCALA VARIABLE



FIG. 14

345339



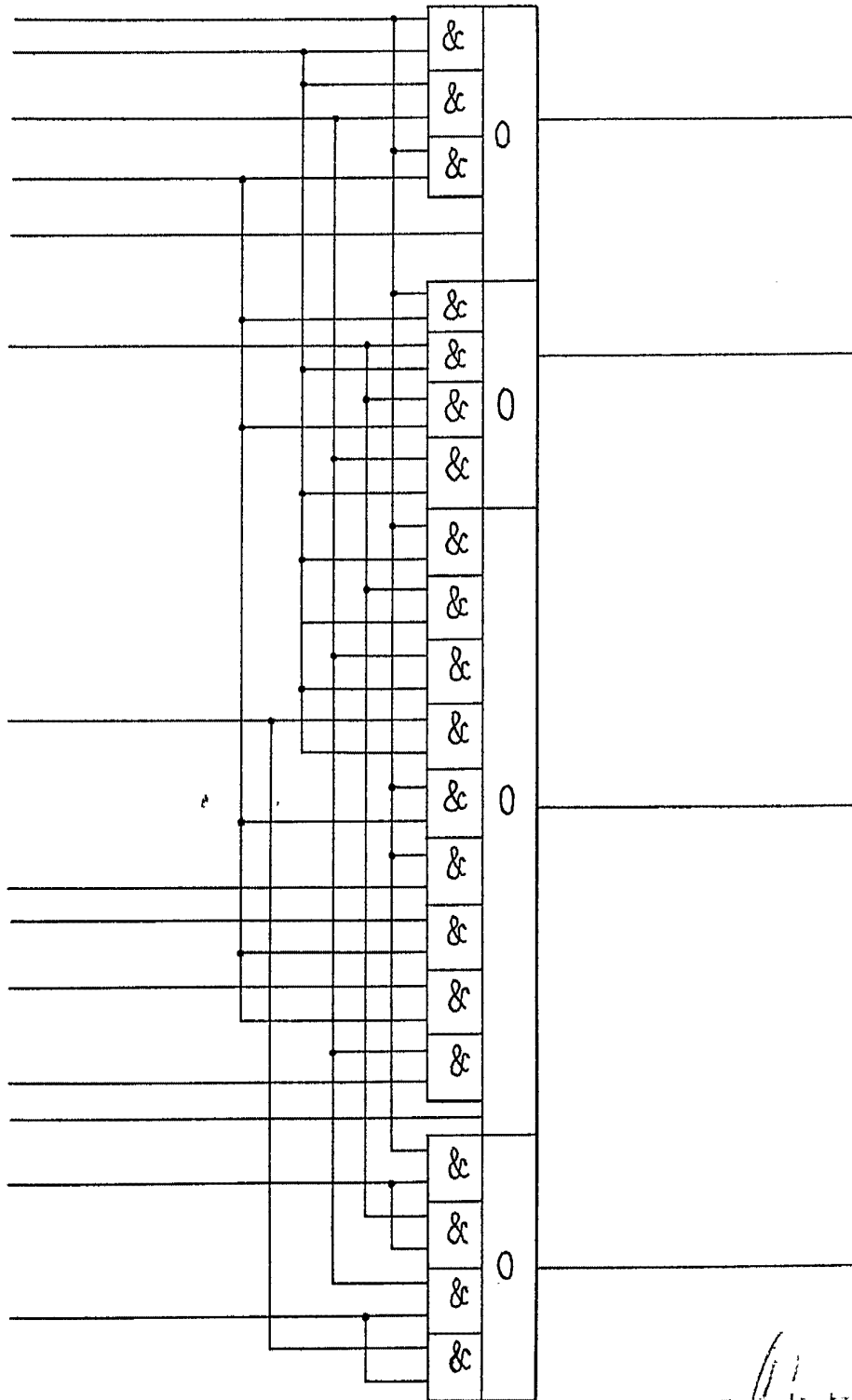
ESCALA VARIABLE

Handwritten signature or initials.



FIG. 15

345339



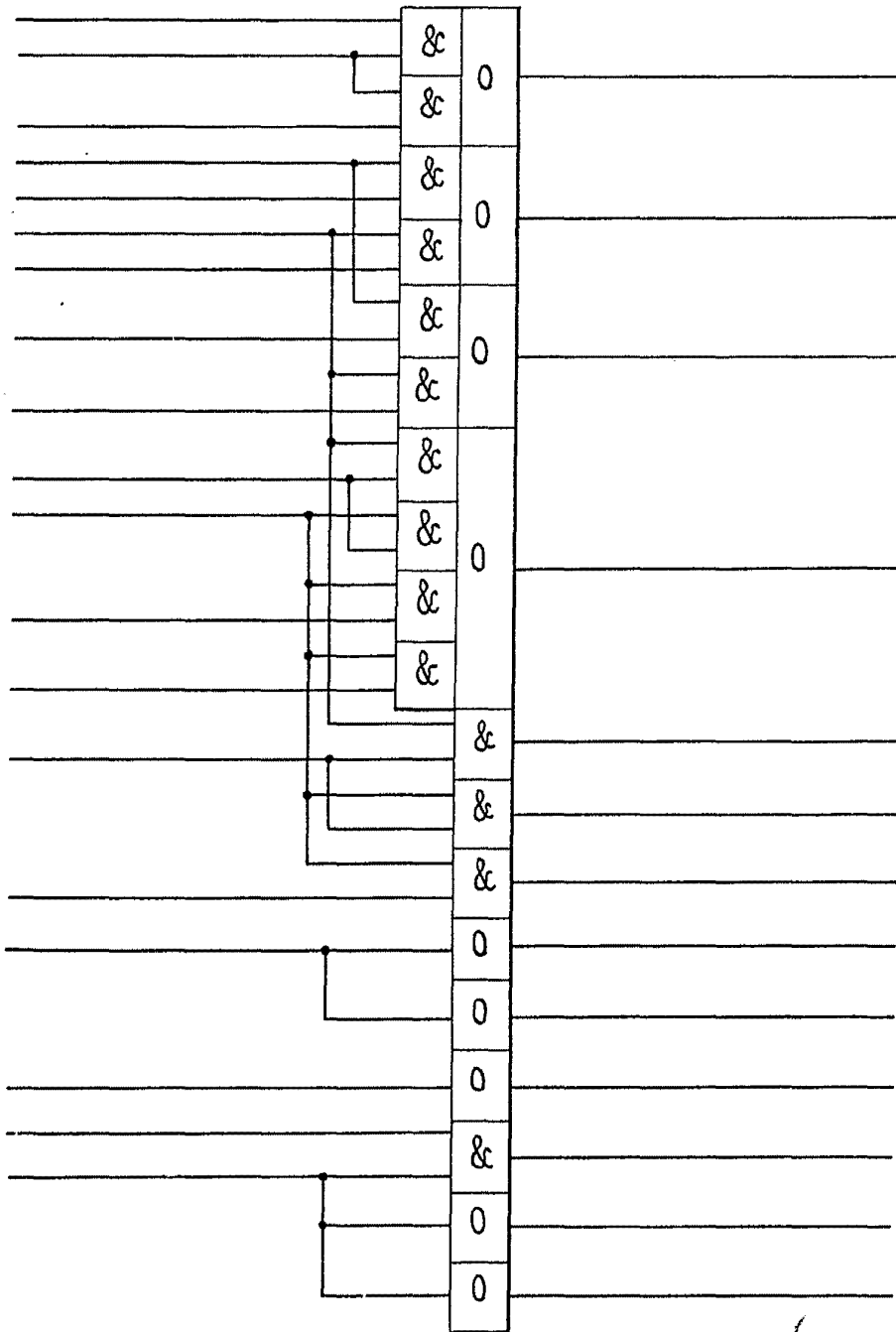
ESCALA VARIABLE

Handwritten signature or initials.



FIG. 16

345339



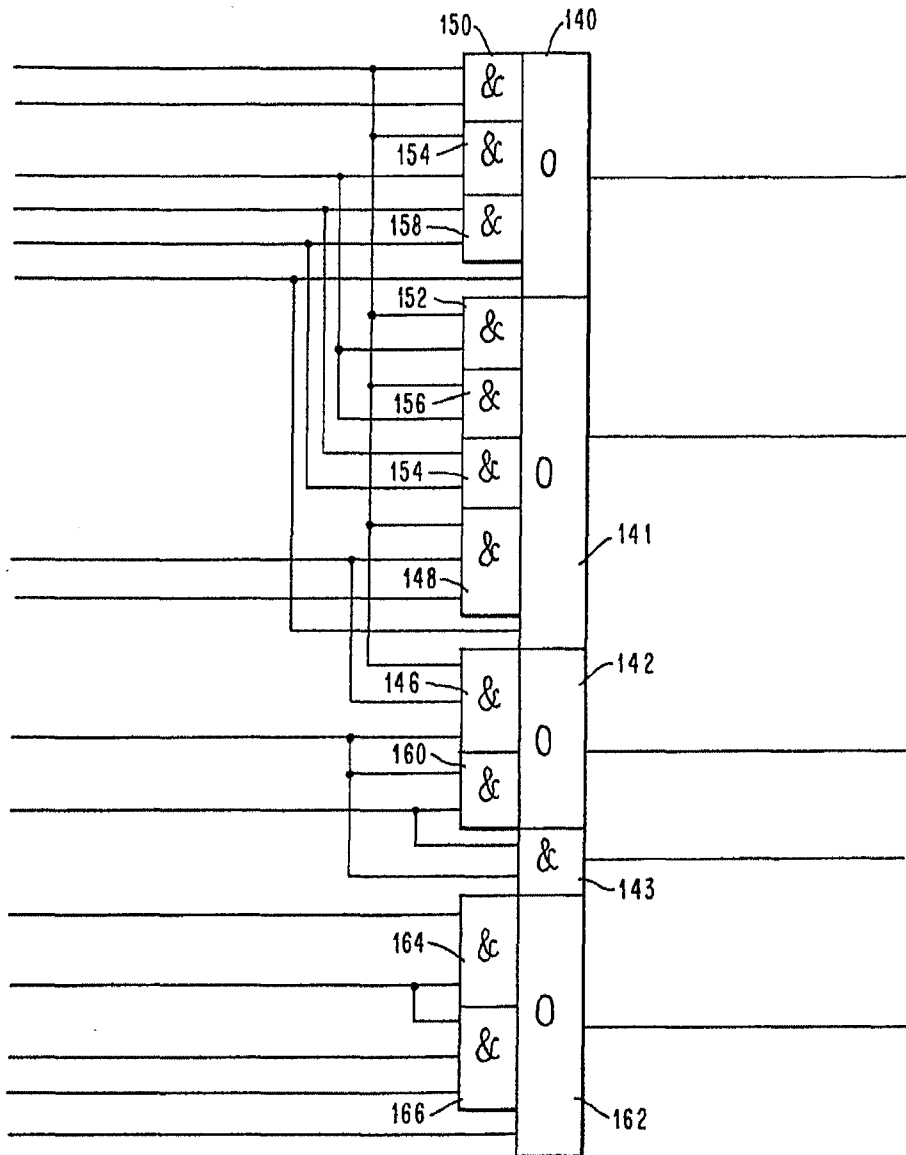
ESCALA VARIABLE

Handwritten signature or initials.



345339

FIG. 17

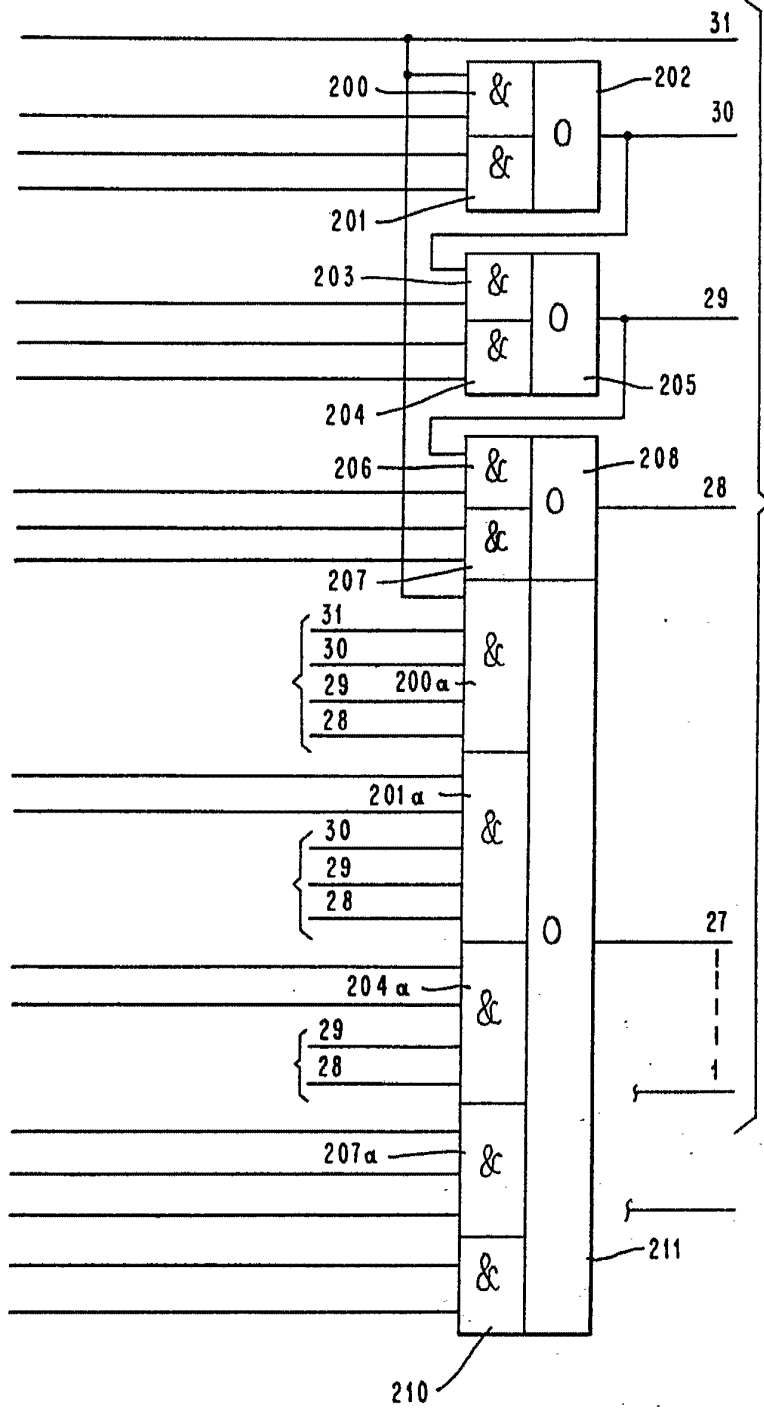


ESCALA VARIABLE



345339

FIG. 18



ESCALA VARIABLE

Handwritten signature or initials