

A.E.J. Chatelon - G.P. Lerouge -
H.J.P.M. Louboutin 20-5-1



344601

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN ESPAÑA
POR: "CODIFICADOR PARA SEÑALES DE BANDA ANCHA", A NOMBRE DE
STANDARD ELECTRICA, S.A., CON DOMICILIO EN MADRID, CALLE DE
RAMIREZ DE PRADO Nº 5.

Resumen de la descripción

Los circuitos de comparación y lógico de amplitud m se
activan sincrónicamente durante el tiempo de crecimiento de la se-
ñal para comparar las amplitudes de una señal analógica y de la se-
ñal creciente. Cada circuito produce una señal escrita cuando las
5 amplitudes son iguales después de una primera igualdad de amplitud
en el tiempo de crecimiento de la señal para transferir la cuenta
de un contador de código de n dígitos a una línea asociada o línea
m, de una memoria de n columnas y una señal de lectura en la prime-
10 ra igualdad de amplitud en el siguiente tiempo de crecimiento de la
señal creciente para transferir la cuenta almacenada a circuitos
exteriores.

Antecedentes del invento

El presente invento se refiere a un codificador para
15 codificar una o más señales de banda ancha, y más particularmente a

344601

2.



un codificador que tiene una duración de codificación constante, que utiliza como voltaje de referencia una señal escalonada o creciente.

Se conocen dos técnicas principales de codificación llamadas "codificación de realimentación" y "codificación de modulación en el tiempo" que producen un número binario que representa la magnitud de la amplitud de la señal analógica probada.

En un sistema de codificación de realimentación, la amplitud de la muestra tomada en los terminales de un condensador, se compara con el voltaje obtenido por decodificación de un número binario almacenado en un registrador para determinar si dicho número es demasiado grande o demasiado pequeño. En el primer caso, se reduce el número binario y en el segundo caso se aumenta, modificando uno de sus dígitos. Las operaciones de comparación se hacen modificando dígitos en la dirección de los pesos decrecientes hasta el momento en que los voltajes comparados difieren en no más del valor de un paso de cuantificación. El número binario almacenado en el registrador corresponde entonces al valor de la muestra. Se notará que la duración de codificación es constante y proporcional al número de dígitos n del número binario, y al número de canales m cuando se emplea una codificación multiplex en el tiempo.

En codificación de modulación en el tiempo, la señal que tiene que codificarse se compara con un voltaje escalonado, cuyo disparo está sincronizado con el de un generador de impulsos. Los impulsos controlan el avance de un contador hasta el momento en que las amplitudes de las señales comparadas son iguales. La amplitud máxima a la que puede llegar la señal creciente es igual a la amplitud máxima de la señal que tiene que codificarse y está representada por el número binario más elevado que puede ser almacenado en el contador. Bajo estas condiciones, el número almacenado en dicho contador en el momento de bloqueo del generador de impulsos corresponde

344601



3.

a la amplitud de la señal que tiene que codificarse. Puesto que este bloqueo controla la puesta a cero de la señal creciente, la duración de las operaciones de codificación en sí es variable y proporcional a la amplitud de la señal que tiene que codificarse.

50

En la aplicación pendiente de A.E.J. Chatelón, serial nº 566.035 de 18 de Julio de 1966 se describe un dispositivo de codificación que tiene una duración de codificación constante, que usa como voltaje de referencia una señal creciente o escalonada de período T_z . En este codificador que no comprende el dispositivo de prueba hay $(m-1)$ circuitos de comparación asignados a cada uno de los $(m-1)$ canales y en el cual la señal que tiene que codificarse se compara permanentemente con la señal de referencia. Cuando uno de estos circuitos da una señal que caracteriza la igualdad entre los voltajes comparados, el número almacenado en ese momento en un contador de codificación que funciona de la misma forma que en el codificador de modulación en el tiempo, se transfiere a una línea de la memoria asignada a este canal. Al final del período de cuadro, de la señal de referencia, se ha reservado un intervalo de tiempo de duración T_z/m durante el cual los contenidos de la memoria, esto es, los $(m-1)$ códigos obtenidos durante la primera parte del período T_z se transfieren a una segunda memoria que tiene disponible casi la totalidad del tiempo para transmitir los $(m-1)$ dígitos a los que se añade el emésimo código usado, en el terminal de recepción, para sincronización de cuadro. La velocidad de transmisión de información ϕ es, en el caso de una transmisión serie,

70

$$\phi = \frac{(m)(n)}{(T_z)} \quad (1)$$

dígitos por segundo, en la que n es el número de dígitos por código.

Para satisfacer el teorema de prueba $1/T_z = 2(k)(F'c)$, en la que $(F'c)$ es la frecuencia máxima de las señales que tienen que codificarse y (k) es un coeficiente que tiene un valor igual o superior a

75



la unidad. Por lo tanto la ecuación (1) puede escribirse

$$\phi = 2(k)(m)(n)(F'o) \quad (2)$$

Así se ve que para una velocidad dada, que, por ejemplo, depende de la capacidad del canal de transmisión, (m), (n) y (F'o) pueden variar, con la condición de que su producto permanezca constante.

En el límite, si sólo se codifica una señal, la ecuación (2) puede escribirse

$$\phi = 2(k)(n)(F_c) \quad (3)$$

siendo $(F_c) = (m)(F'o)$.

Resumen del invento

Si la ecuación (1) se escribe en la forma siguiente $(T_z) = \frac{(M)(n)}{\phi}$ y en la ecuación (3) se sustituye ϕ se obtiene entonces:

$$(T_z) = \frac{(m)(n)}{2(k)(n)(F_c)} = \frac{(m)}{2(k)(F_c)} \quad (4)$$

De acuerdo con el presente invento, el factor (m) de la ecuación (4) representa el número de pruebas de la señal que tiene que codificarse durante el período (T_z) .

Un objeto del invento presente es proporcionar un codificador de banda ancha de duración de codificación constante con una señal de referencia en forma de señal creciente o escalonada.

Una característica de este invento es la provisión de un codificador para señales de banda ancha que comprende medios contadores de codificación de n dígitos, una memoria de m líneas y n columnas que tiene las columnas acopladas al contador, una señal analógica de entrada, primeros medios para generar una señal de referencia que tiene un tiempo de crecimiento dado y un tiempo de retorno dado, m segundos medios que tienen sus entradas acopladas en común a la entrada de señal analógica y los primeros medios y sus salidas acopladas a los respectivos de las líneas de la memoria,

344601

5.



comparando cada uno de los segundos medios la amplitud de la señal de referencia y la señal analógica y produciendo una señal de lectura cuando las amplitudes son iguales durante el tiempo dado de crecimiento y una señal escrita en cualquier otro momento cuando las amplitudes son iguales durante el tiempo de crecimiento dado, y terceros medios acoplados a cada uno de los segundos medios para su activación, transfiriendo cada una de las señales escritas la cuenta del contador en ese momento a la asociada de las líneas de la memoria, y transfiriendo cada una de las señales leídas la cuenta almacenada a medios externos.

Breve descripción de los dibujos

Las antes mencionadas y otras características y objetos del invento quedarán más claras con relación a la siguiente descripción dada junto con los dibujos que se acompañan en los que:

Las figuras 1a a 1g representan símbolos utilizados en los diagramas de bloque de las figuras 2 y 4.

La figura 2 es un diagrama de bloque de un codificador de acuerdo con los principios del presente invento.

Las figuras 3a a 3b son curvas de las señales que aparecen en varios puntos del codificador de la figura 2.

La figura 4 es un diagrama de bloque de uno de los circuitos de codificación empleados en el codificador de la figura 2; y

Las figuras 5a a 5h son curvas de señales que aparecen en varios puntos del circuito de codificación de la figura 4.

Descripción de las realizaciones preferidas

La figura 1a representa un circuito AND simple.

La figura 1b es un símbolo de un circuito AND que tiene dos terminales de entrada 91f, 91g y que está bloqueado cuando se aplica una señal a la entrada 91f, en otros términos, la figura 1b es un símbolo de un circuito INHIBIDO.



La figura 1c es un símbolo que representa un circuito biestable o flip-flop al que se aplica la señal de control en uno de sus terminales de entrada 92-1 ó 92-0 para colocarlo en el estado 1 ó para volverlo al estado "0". El voltaje de la misma polaridad que el de la señal de control está presente en la salida 93-1 cuando el flip-flop está en el estado "1" o en la salida 93-0 cuando está en el estado "0". Si el flip-flop se referencia B, la condición lógica que caracteriza el hecho de que está en el estado "1" se escribirá B y la que caracteriza el hecho de que está en el estado "0" se escribirá \bar{B} . Se supone que el tiempo de conmutación de tal circuito es inferior a la duración del espacio de tiempo básico que se describirá a continuación.

La figura 1d es un símbolo que representa un grupo de varios conductores, 5 en el ejemplo representado.

La figura 1e es un símbolo que representa un decodificador que, en el ejemplo ilustrado, transforma un grupo de código binario de cuatro dígitos aplicado al grupo de conductores 94a en uno de entre 16 códigos, de forma que aparece una señal solamente en uno de los 16 conductores 94b para cada uno de los grupos de código aplicados a la entrada.

La figura 1f es un símbolo que representa un flip-flop o contador binario que cuenta los impulsos aplicados a su terminal de entrada 94c y que se libera por la aplicación de una señal a su entrada 94d. Las salidas "1" del flip-flop están conectadas a los conductores de salida 94e.

La figura 1g es un símbolo que representa un selector o generador constituido por la combinación de un registrador (contador) y un decodificador como el representado en las figuras 1f y 1e.

Refiriéndonos a la figura 2, se ha representado en ella

344601

7.



un diagrama de bloque de un codificador de acuerdo con los principios del presente invento que comprende el generador de la señal creciente SG, el grupo de circuitos de codificación Cg, la memoria de m líneas y m columnas MR con su registrador de salida RS y el
170 circuito de control TC.

En el circuito de control TC, el generador M da señales de frecuencia $4f_0$ que están aplicadas al selector C1 para dar señales de espacio de tiempo básico a, b, c, d, de igual duración y de la frecuencia f_0 . La señal a está aplicada al divisor de frecuencia
175 E que da señales de frecuencia f_0/q y al contador de codificación C2 que tiene una capacidad de $(n+1)$ dígitos siendo $2^n = p$. En el ejemplo ilustrado, el contador C2 está diseñado de forma que produce $(p+y)$ códigos diferentes en un código binario no redundante (código binario natural o código de Gray) con $(p+y) < 2^{n+1}$. Los códigos
180 sucesivos generados por el contador C2 tienen por referencias $G_0, G_1, G_2 \dots G_{(p+y-1)}$. El decodificador D que está acoplado al contador C2 da señales cuando el contador produce los códigos $G_0 = G_{p+y}$ y G_p , llevando estas señales la misma referencia que los códigos correspondientes. El flip-flop F se repone al estado "0" por la
185 señal G_p y al estado "1" por la señal G_0 . La señal de salida F se aplica al terminal de control del generador SG para definir el tiempo de crecimiento $(p)(t_0)$ de la señal creciente A de amplitud máxima E_c . La señal F define cuando se consigue el valor máximo (y) (t_0) del tiempo de retorno de esta señal ($t_0 = 1/f_0$). Las señales
190 dadas por el divisor E se aplican al selector de impulsos de prueba o generador de impulsos de prueba C3 que contiene un contador y un decodificador, teniendo el contador una capacidad de r dígitos con $2^r > m > 2^{(r-1)}$. En el ejemplo ilustrado, el contador del generador C3 está diseñado de forma que presente m estados diferentes que corresponden a las señales de prueba $S_1, S_2 \dots S_j \dots S_m$ cuyo total defi-

195

344601

8.



ne un ciclo de prueba de duración $T_s = (m)(q)(t_0)$. Las señales dadas por el divisor E se aplican también al flip-flop A que se repone al estado "0" en el espacio de tiempo básico d y que da, en su salida "1", una señal A que cubre por lo menos los espacios de tiempo básicos b y c al principio de cada una de las señales de prueba S1 a Sm. El grupo de circuitos de codificación CG comprende m circuitos de codificación M1, M2...Mj...Mm a los que se aplica la señal que tiene que codificarse e_0 ($0 \leq e_0 \leq E_0$) y la señal creciente Z. Estos circuitos de codificación están activados en secuencia de tiempo por las señales de prueba S1 a Sm.

La memoria MR comprende m líneas, cada una de las cuales permite el almacenamiento, bajo el control de señales W1, W2...Wj...Wm, de un número almacenado en el contador de codificación C2. La lectura está controlada por señales R1, R2...Rj...Rm que aparece cíclicamente y los códigos leídos se transfieren sucesivamente al registrador RS para ser transmitidas a los circuitos de utilización en forma serie o paralela.

Como acaba de verse, la duración del ciclo de la señal creciente Z es:

$$(T_z) = (p+y)(t_0)$$

Por razones que se explicarán a continuación, $(T_z) = (T_s) - (q)(t_0)$, esto es, la diferencia de duración entre ambos ciclos es igual al valor de un espacio de tiempo de muestra. Así:

$$(T_z) = (m-1)(q)(t_0) \quad \text{y}$$

$$\frac{(T_z)}{(t_0)} = p+y = (m-1)(q) \quad (5)$$

Las figuras 3a, 3b, 3c ilustran el significado de los parámetros p, y, q y m que acaban de definirse matemáticamente.

La figura 3a representa tres ciclos sucesivos T1, T2, T3 de la señal creciente con un tiempo de elevación $(p)(t_0)$ y un tiempo de retorno máximo $(y)(t_0)$ definidos respectivamente por las



344601
 señales F y F' (circuito TC, figura 2).

La figura 3b ilustra los estados sucesivos $G_0, G_1 \dots G_{(p+y-1)}$, G_0 del contador de codificación C2.

230 La figura 3c ilustra los estados sucesivos $S_1, S_2 \dots S_m$, $S_1 \dots$ de los generadores de impulsos de prueba C3. Se verá que a título de ejemplo no limitativo, q e y han sido escogidos iguales a dos y que, de acuerdo con la ecuación (5), se hacen $(m-1)$ pruebas durante el período T_z .

235 La figura 3d ilustra las señales $S'_1, S'_2 \dots S'_m, S'_1 \dots$ que aparece al principio del tiempo de prueba. La señal S'_2 , por ejemplo, que aparece para la condición lógica $S'_2 = (A)(S_2)$.

240 La figura 4 ilustra uno de los circuitos de codificación M_j , como el circuito de codificación M_j , que comprende el circuito de prueba y retención SH, el comparador de amplitud G, el flip-flop B y el circuito AND P1 a P4.

245 El circuito de prueba y retención SH comprende un condensador que juega el papel de una memoria analógica y que se carga al valor e_0 del voltaje que tiene que codificarse cuando se abre una puerta de prueba bajo el control de la señal S_j . Una señal W_j que significa que el valor de esta prueba acaba de codificarse, controla la apertura de una puerta que controla la descarga de dicho condensador. El voltaje en bornas de los terminales del condensador se aplica a través de un amplificador de alta impedancia de entrada al comparador G que también recibe la señal creciente Z y da una señal N_j cuando estos dos voltajes son iguales. Estos circuitos que se usan en todos los sistemas de codificación multiplex son bien conocidos y no han sido descritos con detalle en la figura 4.

255 Mas precisamente, puesto que el contador de codificación C2 (figura 2) define 2^n pasos de cuantificación para una ampli-

344601

10.



tud de la señal creciente A entre cero y E_c , el valor de uno de dichos pasos es $u = E_c/2^n$ y este paso es cruzado por la señal creciente en el tiempo t_0 . El margen de medida del comparador debe ser así de u voltios y una señal N_j dura el tiempo t_0 , esto es, cubre cuatro espacios de tiempo básico sucesivos uno de los cuales es a. La
260 señal N_j se aplica a la entrada "1" del flip-flop B para la condición lógica (F)(a), esto es durante el tiempo de elevación de la señal creciente. El flip-flop B se repone al estado "0" por la señal de espacio de tiempo básico c , de forma que da una señal B durante al menos el espacio de tiempo básico b . Esta señal se aplica
265 a la puerta P3 que se activa para la condición lógica (B)(\bar{S}_j)(b) para dar una señal W_j . Esta señal controla la transferencia, en la línea j de la memoria MR, del código almacenado en este tiempo en el contador de codificación C2 (figura 2). Puesto que la señal N_j
270 se almacena en el flip-flop B, se ve que la señal W_j es producida con una cierta demora respecto a la señal N_j y que puede usarse para descargar el condensador de retención del circuito SH. La señal S'_j dada por la puerta P2 controla la activación de la puerta P4 que da una señal de lectura para la línea j de la memoria MR para
275 la condición lógica (Rj) = S'_j (c). Puesto que la señal S'_j dura sólo dos espacios de tiempo básicos, b y c , al principio de la señal S_j , se asegura que la línea j de la memoria MR se lee solamente una vez durante cada ciclo de prueba.

Las figuras 5a a 5h representan ciertas señales que aparecen en el circuito de codificación Mj.
280

La figura 5a representa la señal creciente, curva 1, y la figura 5h ilustra las señales de espacio de tiempo básico. La figura 5b representa la señal S_j que tiene una duración igual a $2t_0$ como se eligió con relación a la figura 3c.

285 La figura 5c representa la señal S'_j y la figura 5d re-



344601

11.

presenta la señal de lectura Rj.

290 El proceso de codificación de la muestra de orden j de amplitud e_0 será discutido a continuación. Como puede verse en la figura 5a, la señal S j controla la carga del condensador de retención del circuito SH de acuerdo con la curva 2. Durante la carga, tiene lugar una coincidencia entre las curvas 1 y 2 para un valor e'_0 y el comparador G suministra una señal Nj(1) de duración t_0 como se ha definido previamente. Resulta de ello que la señal Nj(1), por ejemplo, empieza cuando el voltaje creciente es inferior a e'_0 por $u/2$ y termina cuando la señal creciente es superior a e'_0 por $u/2$ de forma que la señal Nj(1) está centrada en el punto de cruce de las curvas 1 y 2. Esta señal controla la producción de la señal B (figura 5f) pero esta última señal coincide con la señal S j de forma que la puerta P3 está bloqueada y no aparece la señal Wj. La 300 señal S' j controla la lectura de la línea j (señal Rj, figura 5d) que está así preparada para recibir el código correspondiente a la nueva prueba.

305 En un último momento, el comparador G suministra una nueva señal Nj(2), después de la desaparición de la señal S j , cuando la carga del condensador de retención del circuito SH está completa, de forma que el flip-flop B se pone de nuevo una vez en su estado "1" y la puerta P3 da una señal Wj (figura 5g). Esta señal, aplicada a la memoria MR (figura 2) controla la transferencia a la línea j de la memoria MR del código almacenado en ese momento en el 310 contador C2. Con la señal Nj(2) centrada como se ha representado en la figura 5e, el código o cuenta del contador C2 es el código correspondiente al tiempo de coincidencia de la señal creciente y de la señal analógica almacenada o al código superior siguiente.

315 Se verá, examinando las figuras 5a y 5c que la constante de tiempo de carga del condensador de retención de prueba y del cir-



320 cuito de retención SH debe elegirse de forma que la carga se haga aproximadamente en siete espacios básicos de tiempo, esto es que la carga del condensador de retención debe completarse durante el tiempo de prueba definido por la señal S_j de forma que dicho condensador se cargue al voltaje correcto e_0 cuando se activa la puerta P₃.

325 Las discusiones anteriores se han dirigido al caso en que se haga una primera prueba en un momento tal en que la amplitud de la señal creciente sea inferior a e_0 . A continuación se considerarán todos los casos posibles por medio de las figuras 3a a 3d y haciendo S_j igual a S₂.

Debido al bloqueo de la puerta P₃ por la señal S₂, solamente puede hacerse la codificación al final de esta señal, estando esto caracterizado por la línea vertical ZZ' de las figuras 3a a 3d.

330 Si e_0 es mayor que e_{02} tenemos la condición descrita en relación con las figuras 5a a 5h y el comparador G da una señal N_j en el ciclo T₁ después de la señal S_j = S₂.

335 En el caso en que $e_0 = e_{01}$ que es igual o menor que e_{02} , el comparador G puede dar una señal N_j solamente en el ciclo siguiente T₂ durante uno de los tiempos de prueba S_m o S₁. Esta señal aparece mientras la señal S₂ está ausente y la puerta P₃ está activada para dar una señal W_j.

340 La operación correcta del codificador en todos los casos es hecha posible por el hecho de que $(m-1)(q) = Tz$. En efecto, si se escogiera una duración igual para el ciclo de la señal creciente y para el ciclo de muestra, la señal N_j se presentaría durante uno de los tiempos S₁ o S₂ de forma que coincidiría con la señal S₂.

345 Finalmente, en las figuras 3a a 3d, consideremos la señal S^(m-1) del ciclo T₁. Esta última señal controla la prueba y retención del voltaje e_0 que aparece en este espacio de tiempo pero como coincide con el tiempo de retorno de la señal creciente, la se-

344601

13.



ñal F bloquea la puerta P1 y la codificación se hace durante el ciclo T2 y la lectura tiene lugar durante el ciclo T3 en que aparece la señal siguiente S(m-1).

350 Se ve así que la codificación tiene lugar con un retardo con relación al almacenamiento que va de cero a Tz, de forma que esta operación se hace sincrónicamente mientras que la lectura, bajo el control de las señales Rj que aparecen al principio de cada muestra de prueba es cíclica.

355 Como se ha visto previamente, los $p = 2^n$ primeros códigos dados por el contador de codificación C2 (posiciones referenciadas G0 a G(p-1), figura 3) corresponden al tiempo de crecimiento de la señal Z y se usan sólo para la codificación. Este código es establecido por la señal F aplicada a la puerta P1 (figura 4).

360 Se sobreentiende que los números transferidos a la memoria NR son los constituidos por los n últimos dígitos significativos del código almacenado en el contador, usándose solamente el dígito más significativo para contar hasta (p-y-1) volviendo el código siguiente el contador a la posición G0.

365 En el circuito de codificación de la figura 4, se ha fijado una duración de prueba igual a la de la señal S'j. Se verá que ésta corresponde a una duración máxima y que puede reducirse hasta la duración de la señal S'j, o en otros términos a aproximadamente dos espacios de tiempo básicos (véase la figura 5c). En este caso de limitación, la prueba en el circuito SH y la activación de la
370 puerta P3 son hechas bajo el control de la señal S'j.

375 Cuando se precisa diseñar un codificador de banda ancha de acuerdo con el presente invento, se debe determinar la anchura de banda Fc, determinada en general por la capacidad en Baudios del medio de transmisión, el número de dígitos n de los códigos correspondientes a las muestras y el retorno efectivo $(y')(t_0)$ de la se-



ñal creciente en la que y' es igual a o menor que y .

Por la diferencia de duración entre el ciclo de la señal creciente y el ciclo de prueba, se hacen $(m-1)$ pruebas de la señal de entrada e_c durante el tiempo T_z , de forma que la ecuación (4) puede escribirse

$$T_z = \frac{(m-1)}{2(k)(F_e)} \quad (4')$$

Esta ecuación define junto con la ecuación (5) el funcionamiento del codificador

$$\frac{T_z}{t_0} = 2^n + y = (q)(m-1) \quad (5)$$

De la ecuación (5) anterior resulta que:

$$q = \frac{2^n + y}{(m-1)}$$

Los parámetros y y m están escogidos en forma que el factor q es un número entero de valor no demasiado alto para que el divisor E (figura 2) sea de diseño sencillo.

Combinando las ecuaciones (4') y (5) anteriores se obtiene entonces la relación $\frac{f_0}{F_0} = 2 k q$

Esta última ecuación permite la determinación de f_0 ($f_0 = 1/t_0$).

Así, por ejemplo, para $n = 7 (2^n = 256)$ e $y' = 30$ se puede elegir entre las soluciones posibles $y = 32$ que da $m = 73$, $q = 4$ y $\frac{f_0}{F_0} = 8$ (con $k = 1$), ó $y = 34$ que da $m = 30$, $q = 10$ y $\frac{f_0}{F_0} = 20$ (con $k = 1$).

Aunque los principios del invento se han descrito en relación con aparatos específicos, se sobreentiende que esta descripción se ha hecho solamente a título de ejemplo y no tiene que considerarse como una limitación del alcance del invento según se establece en las reivindicaciones que se acompañan.

Este invento corresponde a una solicitud de patente formulada en Francia el 30 de Agosto de 1966, señalada con el n° PV 74.619 y se acoge por lo tanto a los beneficios que otorgan los con-

344601

15.



venios internacionales vigentes.

----- N O T A -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

410 1 - Un codificador para señales de banda ancha que comprende:

Medios contadores de codificación de n dígitos en los que n es un número entero mayor que la unidad;

415 Una memoria de m líneas y n columnas, estando dichas columnas acopladas a dichos elementos contadores, siendo m un número entero mayor que la unidad;

Una entrada de señal analógica;

Primeros medios para generar una señal de referencia que tiene un tiempo de crecimiento dado y un tiempo de retorno dado;

420 M segundos medios que tienen sus entradas acopladas en común a dicha entrada y dichos primeros medios y sus salidas acopladas a las respectivas de dichas líneas de dicha memoria, comparando cada uno de dichos segundos medios la amplitud de dicha señal de referencia y de dicha señal analógica y que produce una señal de lectura cuando dichas amplitudes son primero iguales durante dicho tiempo de crecimiento y una señal escrita en cualquier otro momento cuando dichas amplitudes son iguales durante dicho tiempo de crecimiento;

425

y

430 Terceros medios acoplados a cada uno de dichos segundos medios para su activación secuencial;

Transfiriendo cada una de dichas señales escritas la cuenta de dichos medios contadores en ese momento a la asociada de dichas líneas de dicha memoria; y

Transfiriendo cada una de dichas señales de lectura la

344601

16.



435 cuenta almacenada a medios exteriores.

2 - Un codificador como el del punto 1 en el que dichos medios contadores comprenden:

Un generador de señales de tiempo, y

Un contador binario acoplado a dicho generador.

440 3 - Un codificador como el del punto 1 en el que dichos primeros medios comprenden:

Un generador de señal creciente, y

Cuartos medios acoplados a dichos medios contadores y dicho generador para controlar su operación.

445 4 - Un codificador como el del punto 1 en el que dichos medios contadores comprenden:

Una fuente de señales de tiempo,

Un contador binario que tiene $n+1$ pasos acoplados a dicha fuente, y

450 Cuartos medios para acoplar los n primeros de dichos pasos de dicho contador a las columnas respectivas de dicha memoria;

y

Dichos primeros medios comprenden:

Un generador de señal creciente,

455 Un decodificador acoplado a dichos $n+1$ pasos de dicho contador para producir dos señales para definir dicho tiempo de crecimiento y

Un flip-flop acoplado a dicho decodificador y a dicho generador que responde a dichas dos señales para controlar la operación de dicho generador.

460

5 - Un codificador como el del punto 1 en el que cada uno de dichos segundos medios comprende:

Un circuito de prueba y retención acoplado a dicha entrada y a dichos terceros medios para almacenar dicha señal analógi-

344601



17.

465 ca bajo el control de dichos terceros medios;

Primeros medios de circuito lógico acoplados a dichos terceros medios para producir dicha señal de lectura;

Un comparador de amplitud acoplado a dicho circuito de prueba y retención y a dichos primeros medios para producir una salida cuando dicha señal analógica almacenada y dicha señal de referencia tienen amplitudes iguales; y

Segundos medios de circuito lógico acoplados a dicho comparador y a dichos terceros medios para producir dicha señal escrita.

475 6 - Un codificador como el del punto 5 en el que

Dicho circuito de prueba y retención está acoplado a dicho segundo circuito lógico que responde a dicha señal escrita para quitar dicha señal analógica almacenada de dicho circuito de prueba y retención en preparación para la activación siguiente por dichos terceros medios.

480 7 - Un codificador como el del punto 1 en el que

Dichos medios contadores comprenden:

Un generador de señales de tiempo, y

485 Un contador binario acoplado a dicho generador; y cada uno de dichos segundos medios comprende:

Un circuito de prueba y retención acoplado a dicha entrada y dichos terceros medios para almacenar dicha señal analógica bajo el control de dichos terceros medios;

490 Primeros medios de circuito lógico acoplados a dichos terceros medios y a dicho generador para producir dicha señal de lectura;

Un comparador de amplitud acoplado a dicho circuito de prueba y retención y dichos primeros medios para producir una salida cuando dicha señal analógica almacenada y dicha señal de referencia



344601

18.

495 tienen amplitudes iguales; y

Segundos medios de circuito lógico acoplados a dicho comparador, dicho contador, dicha fuente y dichos terceros medios para producir dicha señal escrita.

500

8 - Un codificador como el del punto 1 en el que

Dichos primeros medios comprenden un generador de señal creciente, y

Cuartos medios acoplados a dicho generador y dicho contador para controlar su funcionamiento; y

Cada uno de dichos segundos medios comprende:

505

Un circuito de prueba y retención acoplado a dicha entrada y dichos terceros medios para almacenar dicha señal analógica bajo el control de dichos terceros medios;

510

Primeros medios de circuito lógico acoplados a dichos terceros medios y dichos medios contadores para producir dicha señal de lectura;

Un comparador de amplitud acoplado a dicho circuito de prueba y retención y dicho generador para producir una salida cuando dicha señal analógica almacenada y dicha señal creciente tengan igual amplitud; y

515

Segundos medios de circuito lógico acoplados a dicho comparador, dichos medios contadores y dichos terceros medios para producir una señal escrita.

520

9 - Un codificador como el del punto 1 en el que

Dichos medios contadores comprenden:

Una fuente de señales de tiempo,

Un contador binario que tiene $n+1$ pasos acoplado a dicha fuente, y

Cuartos medios para acoplar los n primeros pasos de dicho contador a las respectivas columnas de dichos medios de memoria;

344601

19.



- 525 Dichos primeros medios comprenden:
- Un generador de señal creciente,
- Un decodificador acoplado a dichos $n+1$ pasos de dicho contador para producir dos señales para definir dicho tiempo de crecimiento, y
- 530 Un flip-flop acoplado a dicho decodificador y dicho generador que responde a dichas dos señales para controlar el funcionamiento de dicho generador; y
- Cada uno de dichos segundos medios comprende:
- Un circuito de prueba y retención acoplado a dicha entrada y a dichos terceros medios para almacenar dicha señal analógica bajo el control de dichos terceros medios,
- 535 Primeros medios de circuito lógico acoplados a dichos terceros medios y a dicha fuente para producir dicha señal de lectura,
- 540 Un comparador de amplitud acoplado a dicho circuito de prueba y retención y a dicho generador para producir una salida cuando dicha señal analógica almacenada y dicha señal creciente tienen igual amplitud, y
- Segundos medios de circuito lógico acoplados a dicho comparador, dicho flip-flop, dicho generador y dichos terceros medios para producir dicha señal escrita.
- 545 10 - Un codificador como el del punto 9 en el que
- Dicho circuito de prueba y retención está acoplado a dicho segundo circuito lógico que responde a dicha señal escrita para
- 550 quitar dicha señal analógica almacenada de dicho circuito de prueba y retención en preparación para la siguiente activación por dichos terceros medios.
- 11 - Un codificador para señales de banda ancha.
- Tal y como se describe en la memoria que antecede, repre

344601



20.

555 sentado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de veinte hojas escritas por una sola cara.

Madrid, 30 AGO. 1967 -

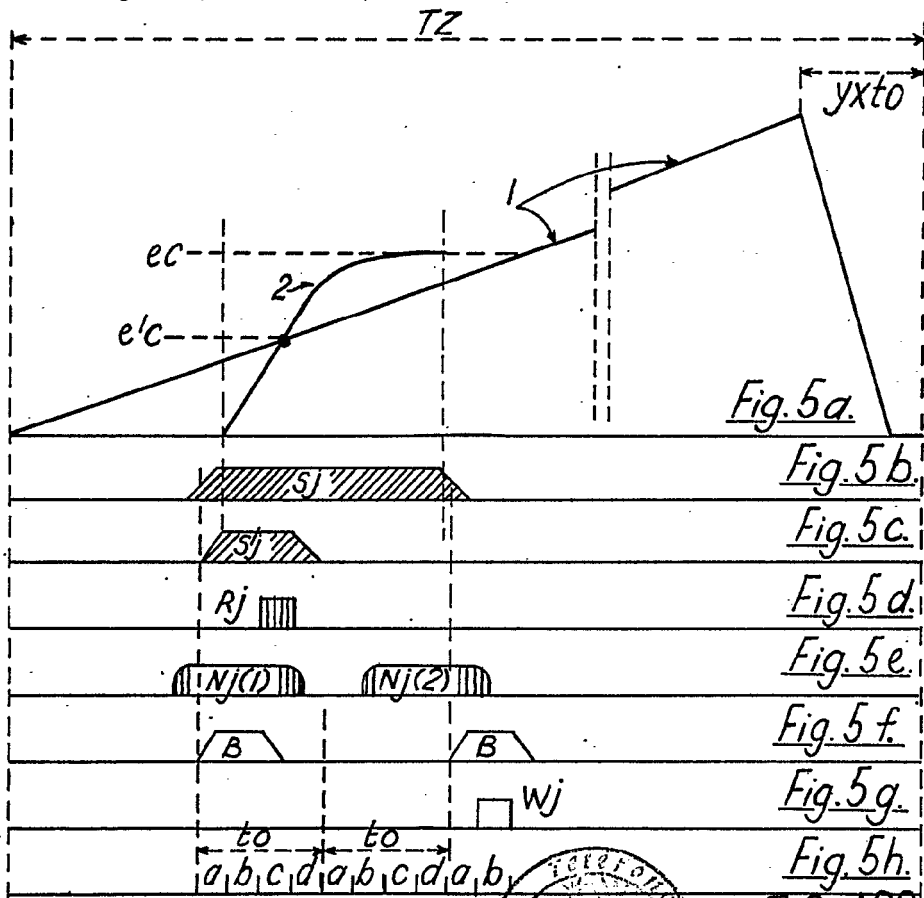
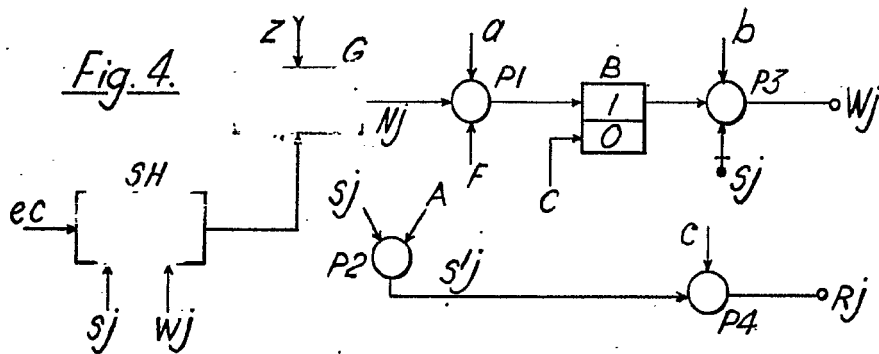
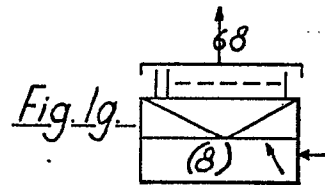
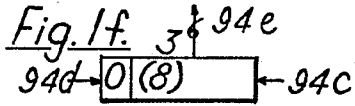
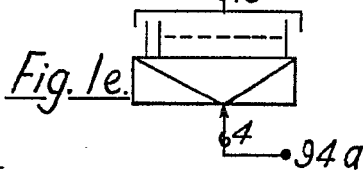
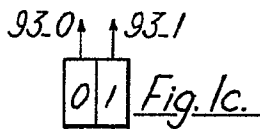
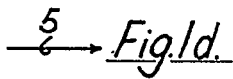
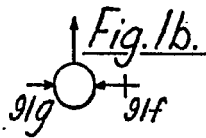
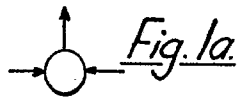


M. G. Santamaría

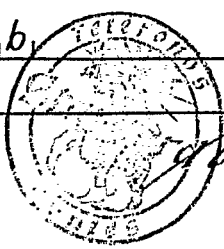
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



344601



30 AGO. 1967

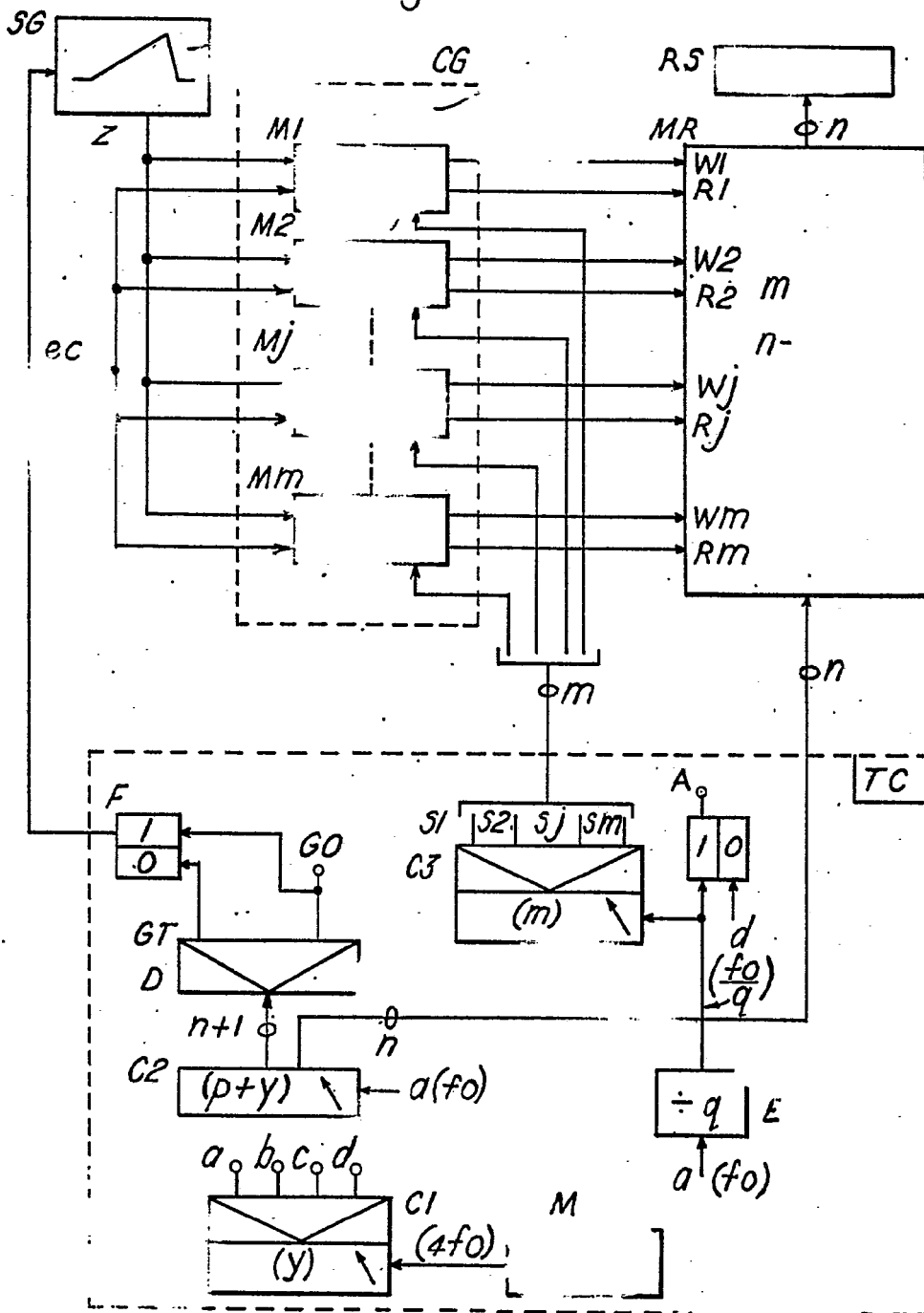


M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

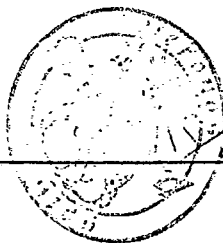


344601

Fig. 2.

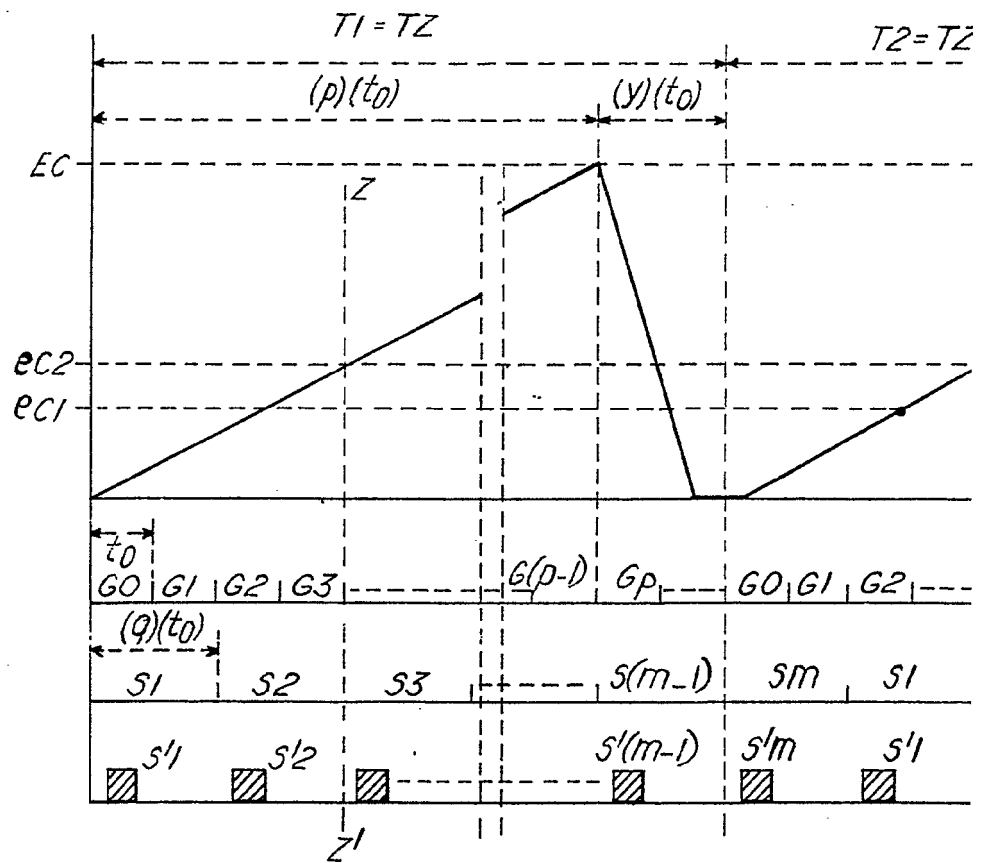


30 AGO. 1967



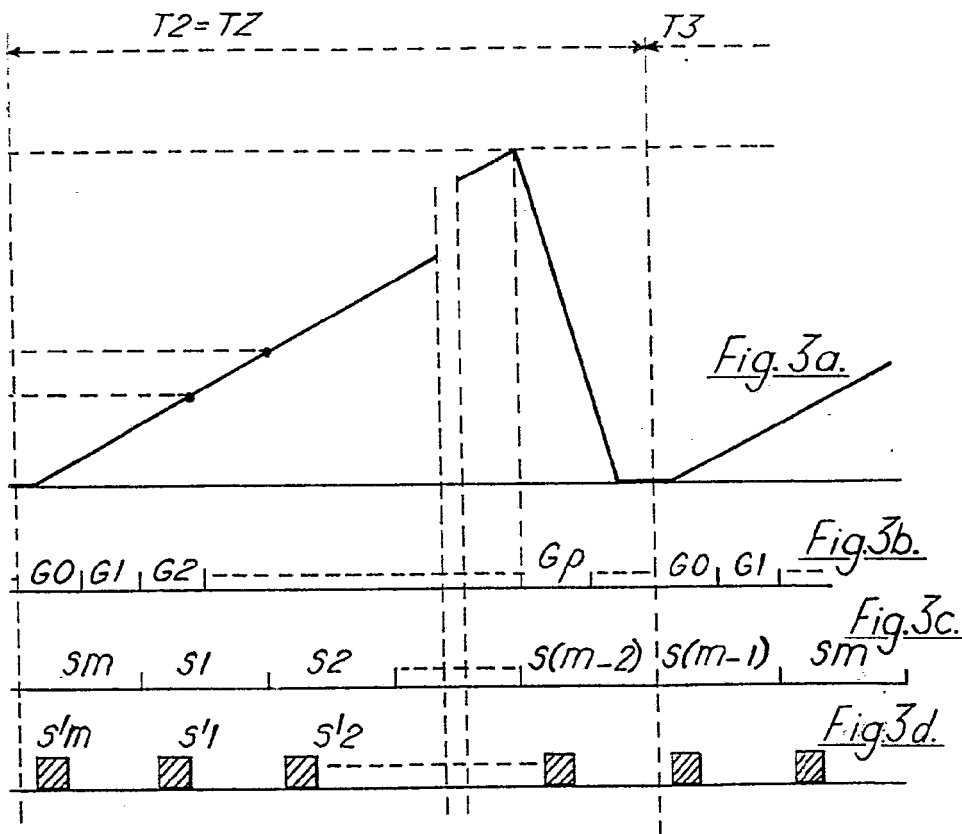
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

344601





344601



30 AGO. 1967

M. J. Santamaria