

P.- 35.929

IBM Docket 7965



Memoria descriptiva **344566**  
**344566**

para solicitar PATENTE DE INVENCION por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad / de nacionalidad norteamericana

con domicilio en Armonk, N.Y, Estados Unidos de América,

por: » UN APARATO PARA SUMAR UNA PLURALIDAD DE OPERANDOS DE  
BITIOS BINARIOS PLURALES » (Clase Internacional G067)



Este invento se refiere a una disposición sumadora y más especialmente a una sumadora que permite la generación de una suma para una pluralidad de operandos aplicados simultáneamente en que las pluralidades sucesivas de operandos son aplicadas a la sumadora antes de la generación de una suma final de la pluralidad de operandos previamente aplicados.

La multiplicación de grandes números binarios en máquinas de tratamiento de datos digitales es una operación que lleva tiempo. Para la operación de multiplicar se han provisto numerosas estructuras. Los sistemas actuales proporcionan usualmente sistemas de multiplicación en que una pluralidad de bitios binarios multiplicados son examinados simultáneamente para hacer con ello que múltiplos de un multiplicando sean sumados a un producto parcial previamente generado. Una de tales formas de ese tipo de estructura de multiplicar para números binarios se ha ilustrado en la Patente para los EE.UU. número 3.115.574 titulada High Speed Multiplier (Multiplicadora de Gran Velocidad) de G. T. Paul y otros presentada con fecha 29 de noviembre de 1.961 y expedida con fecha 24 de diciembre de 1.963, estando cedida dicha patente al Cesionario de la presente solicitud de patente.

En este aparato de multiplicar anterior, una pluralidad de bitios multiplicadores son examinados simultáneamente para generar una pluralidad de múltiplos del multiplicando para aplicación a una pluralidad de sumadoras de arrastrar y conservar. Una sumadora de arrastrar y conservar es un aparato de sumar que puede aceptar tres bitios binarios de tres operandos separados y producir dos salidas, una que



representa un valor suma y la otra que representa un valor de arrastre. En la patente citada en lo que antecede, cada múltiplo del multiplicando es aplicado a una sumadora de arrastrar y conservar correspondiente como una entrada juntamente con otras dos entradas, las cuales representan normalmente la salida de una sumadora previa de arrastrar y conservar. En la salida de la última sumadora de arrastrar y conservar, que representa la suma de tres múltiplos de multiplicando aplicados al aparato, es generada una señal de salida de suma y arrastre que representa un producto parcial basado en los bitios multiplicadores previamente descodificados. Ese producto parcial es desplazado un número de posiciones que depende del número de bitios multiplicadores examinados y devueltos a la parte superior de la serie de sumadoras de arrastrar y conservar para ser aplicado como dos de los operandos a la sumadora de arrastrar y conservar más superior, juntamente con otro múltiplo del multiplicando generado como resultado de examinar un grupo sucesivo de bitios multiplicadores.

A medida que aumenta la velocidad de funcionamiento de los sistemas de tratamiento de datos, los retardos originados por la lógica efectuada en los datos y los retardos de circuito originados por las longitudes de los hilos de interconexión, el tiempo para efectuar la multiplicación de la manera según la patente anterior resulta prohibitivo. En la patente antes citada, el intervalo entre la entrada de un producto parcial de la primera sumadora de arrastrar y conservar juntamente con otro múltiplo de multiplicando, y el momento en que es formado un nuevo producto parcial a partir de la última de las sumadoras de arrastrar y conser-

344566



var dispuestas sucesivamente sería prohibitivo en un sistema de tratamiento de datos que tuviese ciclos de tiempo del orden de los nanosegundos.

5 Es por tanto un objeto del presente invento proporcionar una disposición sumadora que permita la adición de una pluralidad de operandos a una velocidad que excede considerablemente de la correspondiente a la técnica anterior.

10 Otro objeto del presente invento es proporcionar una disposición sumadora especialmente adaptada para la multiplicación de dos números binarios en que el período en que la aplicación de conjuntos sucesivos de múltiplos del mutiplicando al aparato de sumar puede ser menor que el tiempo requerido para que el aparato trate un solo conjunto y lo sume a la suma anterior.

15 Otro objeto de este invento es proporcionar una disposición sumadora para una pluralidad de operandos a ser sumados en que las sumas producidas por una pluralidad de operandos previamente aplicados son adicionadas a sumas creadas por operandos sucesivos mediante la aplicación de las sumas previas al aparato sumador en un punto intermedio entre la entrada a la disposición sumadora y la salida.

20 Los anteriores objetos y otras características y ventajas se logran y están incorporadas en una realización preferida del invento en que la disposición sumadora está compuesta de medios de entrada, un árbol sumador, un circuito sumador y medios de sincronización. En la realización preferida, los medios de entrada de operandos son eficaces para presentar en la entrada a la disposición sumadora una pluralidad de varios operandos de los cuales han sido producidos como resultado de descodificar una pluralidad

30

344566



de bitios multiplicadores en una operación de multiplicación. La finalidad principal de la disposición sumadora es permitir la adición de treinta operandos en un intervalo de tiempo equivalente al de dos ciclos de la máquina de un sistema de tratamiento de datos. El árbol sumador anteriormente mencionado está compuesto de una pluralidad de grupos de líneas de señal de entrada las cuales reciben un operando de varios bitios correspondiente desde los medios de entrada. El árbol sumador es eficaz para producir en la salida dos grupos de líneas de señal los cuales, si se combinasen en una sumadora en paralelo, producirían la suma de todos los operandos de entrada.

Los dos grupos de líneas de señal producidas en la salida del árbol sumador son aplicados como entradas a un circuito sumador. En la entrada al circuito sumador hay dos grupos adicionales de líneas de señal de entrada. Una función del circuito sumador es producir dos grupos de líneas de señal las cuales, si se combinasen en una sumadora en paralelo, representarían la suma de los cuatro operandos aplicados a la entrada del circuito sumador. Las dos líneas de señal de salida del circuito sumador son aplicadas como las dos entrada restantes al circuito sumador. Los retardos lógico y de circuito en el circuito sumador tienen un intervalo de tiempo predeterminado. La velocidad a la cual son producidas nuevas señales de salida del circuito sumador es igual a la velocidad a la cual son producidas nuevas salidas del árbol sumador, de tal modo que la suma representada en la salida del circuito sumador es luego sumada a la suma representada en la salida del árbol sumador para producir una nueva suma de operandos aplicada a la entrada del circuito

344566



sumador.

Los medios de sincronización son eficaces para pre-  
sentar a la entrada al árbol sumador una sucesión de plura-  
lidades de operandos, que en una operación de multiplica-  
5 ción representan múltiplos del multiplicando los cuales de-  
ben ser sumados para producir un producto final de los bitios  
binarios de un multiplicador y un multiplicando. En la rea-  
lización preferida, son aplicados seis operandos a la entra-  
da al árbol sumador en cinco ciclos sucesivos para producir  
10 con ello en la salida final de la disposición sumadora la  
suma de treinta operandos. Después que han sido sumados los  
cinco grupos de seis operandos en el árbol sumador y en el  
circuito sumador, la salida del circuito sumador es aplica-  
da a una sumadora en paralelo la cual combina los dos grupos  
15 de líneas de señal de salida procedentes del circuito suma-  
dor para producir un solo grupo final de líneas de señal  
que representa la suma de los treinta operandos aplicados  
al aparato sumador.

Como otra característica del presente invento, va-  
20 rias etapas de los medios de entrada, árbol sumador y cir-  
cuito sumador están constituidos por dispositivos de engan-  
che los cuales restituyen la integridad de los datos a medi-  
da que estos circulan a través de la estructura, con lo que  
pueden ser pues aplicados conjuntos sucesivos de operandos  
25 de entrada a una más elevada velocidad de repetición. La  
construcción del aparato es tal que los retardos lógico y  
de circuito entre las entradas a etapas de enganche sucesi-  
vas son esencialmente iguales al intervalo de tiempo que se  
requiere para que el circuito sumador proporcione una nueva  
30 salida de suma basada en nuevos operandos de entrada aplica

344566



dos.

Los anteriores y otros objetos caracteristicas y ventajas del invento se pondrán de manifiesto de la descripción más particular que sigue de una realización preferida del invento, tal como se ha ilustrado en los dibujos que se acompañan.

En los dibujos:

La figura 1 es una representación en diagrama de bloques del aparato sumador del presente invento.

La figura 2 es una representación en diagrama de bloques de las unidades principales de una unidad de ejecución de punto flotante de un sistema de tratamiento de datos que utiliza el aparato de sumación del presente invento para efectuar multiplicación o división.

La figura 3 es un diagrama de sincronización en que se ilustran los diversos impulsos de discriminación utilizados para hacer que el aparato sumador de la figura 1 produzca un producto final en la multiplicación de dos números binarios.

La figura 4 es una representación de los grupos de bitios multiplicadores examinados simultáneamente en cinco iteraciones sucesivas para hacer que sean aplicados múltiplos del multiplicando como entradas al aparato sumador de la figura 1.

La figura 5 es una tabla que representa la descodificación de un grupo de bitios multiplicadores para producir señales de salida que representan múltiplos del multiplicando al ser aplicados al aparato sumador.

La figura 6 es una representación esquemática de los medios de sincronización en el presente invento los cuales



hacen que los resultados intermedios en el aparato sumador sean entrados en dispositivos de enganches sucesivos permitiendo la generación simultánea de productos parciales sucesivos en una operación de multiplicar.

5 La figura 7 es una representación esquemática de la manera en la cual el aparato de sumación de la figura 1, produce sumas sucesivas de productos parciales basadas en la aplicación sucesiva de una pluralidad de multiples del multiplicando producidos como resultado de descodificar  
10 grupos sucesivos de bitios multiplicadores para producir en definitiva un producto final.

La figura 8 ilustra la manera en que deberían estar dispuestas las figuras 9a y 9b.

15 Las figuras 9a y 9b son diagramas lógicos que representan una parte de los medios de entrada de operandos utilizado por el aparato sumador durante las operaciones de multiplicación y de división.

La figura 10 es un diagrama que ilustra el modo en que deben estar dispuestas las figuras 11a a 11d.

20 Las figuras 11a, 11b, 11c y 11d son una representación esquemática de una parte de la lógica utilizada en el árbol sumador del aparato sumador del presente invento.

La figura 12 ilustra la manera en que deben estar dispuestas las figuras 13a y 13b.

25 Las figuras 13a y 13b son representaciones esquemáticas de una parte de la lógica utilizada en el circuito sumador del aparato sumador del presente invento.

30 La figura 1 representa en forma de diagrama de bloques las unidades funcionales esenciales del aparato sumador del presente invento. Las áreas generales del aparato a

344566



ser descritas más detalladamente incluyen medios de entrada 20 de operandos, y un árbol sumador 21, y el circuito sumador 22, y una sumadora 23 de propagación en paralelo. Aunque la realización preferida del presente invento será estudiada en una disposición en que se utiliza para efectuar multiplicaciones o divisiones a gran velocidad, las características esenciales de este invento pueden ser utilizadas para sumar una pluralidad de operandos independientemente de cual sea su fuente. El estudio de la figura 1 se limitará a la manera en que la estructura efectúa la adición, mientras que el ambiente de la disposición de la sumadora en una operación de multiplicar será estudiado con la figura 2. En la figura 1, los medios de entrada de operandos comprenden una pluralidad de registros de enganche 24 a 29. Cada uno de los registros de enganche está compuesto de una pluralidad de dispositivos de enganche con lo que un operando de bitios binarios plurales puede ser discriminado de entrada en los dispositivos de enganche y almacenado. Como se estudiará más detenidamente en lo que sigue, los medios de entrada de operandos incluyen además una fuente 30 de multiplicando, una fuente 31 de multiplicador, y un registro 32 de enganche descodificador de multiplicador el cual recibe juegos sucesivos de bitios multiplicadores para producir señales de selección sucesivas eficaces para discriminar múltiples seleccionados del multiplicando para entrada en los diversos registros de enganche 24 a 29.

El árbol sumador 21 está compuesto de una pluralidad de unidades sumadoras de arrastrar y conservar (SAC) dispuestas en una pluralidad de etapas sumadoras de arrastrar y conservar. La etapa de entrada del árbol sumador es-



tá compuesta de una sumadora 40 de arrastrar y conservar y de una sumadora 41 de arrastrar y conservar designadas en la figura 1 como SAC-A y SAC-B respectivamente. Una etapa intermedia del árbol sumador está compuesta de una sumadora 42 de arrastrar y conservar, designada por SAC-C y un registro de enganche 43. La etapa final o de salida del árbol sumador, está compuesta de una sumadora 44 de arrastrar y conservar designada por SAC-D.

La función del árbol sumador 21 es recibir, a su entrada, grupos de líneas de señal, representando cada grupo todos los bitios de los operandos almacenados en los correspondientes registros de enganche 24 a 29. La salida final del árbol sumador 21, producida por SAC-D son dos grupos de líneas de señal las cuales, si se combinases en una sumadora en paralelo producirían un solo grupo de líneas de señal de salida representando la suma de todos los operandos aplicados a la entrada al árbol sumador 21.

El circuito sumador 22 está compuesto de una primera y una segunda etapas de sumadoras de arrastrar y conservar, estando compuesta la primera etapa del circuito sumador de una sumadora 50 de arrastrar y conservar designada por SAC-E y un registro de enganche 51. La etapa segunda o final del circuito sumador 22 está compuesta de una sumadora 52 de arrastrar y conservar designada por SAC-F. La función del circuito sumador 22 es recibir salidas sucesivas del árbol sumador 21 al mismo tiempo que son producidas dos grupos de líneas de señal de salida por SAC-F. A la entrada del circuito sumador 22 son aplicados cuatro grupos de líneas de señal. Estos incluyen los dos grupos de líneas de señal de salida desde SAC-D y los dos grupos de líneas de



señal de salida procedentes SAC-F. La velocidad a la cual  
son producidas las salidas de SAC-D es igual a la velocidad  
a que opera el circuito sumador 22, con lo que las salidas  
sucesivas de SAC-F son aplicadas a la entrada del circuito  
sumador 22 a la misma velocidad que las salidas sucesivas  
procedentes de SAC-D.

La salida final del aparato sumador de la figura 1  
es un sólo grupo de líneas de señal de salida procedentes  
de la sumadora 23 de propagación en paralelo la cual combi-  
na dos grupos de líneas de señal de salida para producir un  
valor de suma final. Como se ha ilustrado en la figura 1,  
la sumadora 23 en paralelo recibe entradas ya sea desde  
SAC-F o ya sea desde SAC-D. Cuando debe utilizarse el apa-  
rato de la figura 1 para producir un valor de suma final  
para solamente una pluralidad de operandos aplicados a los  
registros de enganche 24 a 29, la sumadora en paralelo 23  
recibirá como entradas las salidas de SAC-D para producir  
un valor de suma final. No obstante, si el aparato sumador  
de la figura 1 ha de utilizarse para acumular la suma de  
una pluralidad de operandos aplicados en períodos de tiempo  
sucesivos a los registros de enganche 24 a 29, será hecho  
eficaz el circuito sumador 22 para acumular las sumas. La  
salida de SAC-F será aplicada a la sumadora 23 en parale-  
lo cuando SAC-F produce dos grupos de líneas de señal de sa-  
lida que representan el valor de suma final de todos los  
operandos aplicados.

Cada una de las sumadoras de arrastrar y conservar  
ilustradas en la figura 1 está compuesta de una pluralidad  
de órdenes, recibiendo cada orden tres entradas, una desde  
cada una de las correspondientes posiciones de bitios de



tres de los registros de enganche 24 a 29. La lógica de un orden de sumadora de arrastrar y conservar consiste en recibir entradas de binario 1 o de binario 0 procedentes de tres operandos diferentes y producir dos señales en su salida, una que representa la suma de los binarios 1 aplicados y la otra que representa un arrastre producido por las tres entradas. Será producido un binario 1 ó señal de salida significativa que representa una suma cuando una combinación de entradas de 1 binarios es igual a 1 ó 3, y será producida una señal de arrastre cuando hay presentes dos o tres entradas de 1 binarios. Por consiguiente, SAC-A produce dos grupos de líneas de señal de salida, uno que representa un valor de suma para los operandos aplicados desde los registros de enganche 24, 25 y 26 y un segundo grupo de líneas de señal de salida que representa el arrastre producido por las tres entradas de operandos. Si las señales de suma y las señales de arrastre se combinasen en una sumadora en paralelo, se produciría una sola salida que representaría la suma de los tres operandos aplicados a la entrada de la sumadora de arrastrar y conservar.

Las sumadoras de arrastrar y conservar de la figura 1 funcionan esencialmente del mismo modo que las sumadoras de arrastrar y conservar ilustradas en la patente antes citada número 3.115.574. El número de sumadoras de arrastrar y conservar en cualquier etapa particular del árbol sumador 21 debe ser suficiente para acomodar todos los conjuntos de tres grupos de líneas de señal de entrada. Por ejemplo, la primera etapa del árbol sumador 21 incluye dos sumadoras de arrastrar y conservar para acomodar los seis grupos de líneas de señal de entrada. En algunas de las etapas

**344566**



29

del árbol sumador, no pueden ser incluidos ciertos grupos de líneas de señal de salida procedentes de una etapa sumadora previa en un conjunto de tres grupos de líneas de señal de entrada a la etapa sumadora particular. En este caso esos grupos de líneas de señal que no están incluidos en un conjunto de tres grupos de líneas de señal de entrada son aplicados a un registro de enganche. En aquellas etapas sumadoras que requieren el uso de un registro de enganche, cada uno de los órdenes de sumadores de arrastrar y conservar está compuesto de un enganche de sumador de paso discriminado. La sumadora 42 de arrastrar y conservar, designada por ENGANCHE SAC-C es una de tales sumadoras de arrastrar y conservar compuesta de una pluralidad de enganches. La presencia de los enganches de sumadora de paso discriminado y de los registros de enganche de paso discriminado en las diversas etapas del aparato sumador de la figura 1 es la que permite la aplicación de nuevas pluralidades de operandos a los registros de enganche 24 a 29 a una velocidad más rápida que el intervalo de tiempo requerido para producir una salida de suma basada en los operandos de entrada. Los enganches de sumadora de paso discriminado son operantes para ser sensibles a una señal de paso discriminado (o de puerta) y a tres operandos de entrada para producir una señal de salida que representa las funciones de la sumadora de arrastrar y conservar. La operación de enganche es tal que la salida producida será mantenida incluso aunque desaparezca la señal de puerta o cambien las señales de entrada. Hasta haberse provisto una nueva señal de puerta no será producida una nueva señal de salida. Por consiguiente, la salida de un enganche de sumadora de arrastrar y conservar

344566

de paso discriminado será mantenida en todo el intervalo entre la iniciación de señales de puerta sucesivas.

La figura 2 ilustra en forma de diagrama de bloques la disposición del aparato sumador del presente invento. El presente invento es de aplicación en una unidad aritmética de punto flotante de un sistema de tratamiento de datos en que se desea multiplicar o dividir números binarios de punto flotante. Los números de punto flotante a ser multiplicados o divididos consisten en 64 bitios binarios. La posición de orden superior o bitio 0 del número punto flotantes representa el signo del número. Las posiciones 1-7 representan un valor de exponente en base 16 (hexadecimal) y las posiciones 8 a 16 representan una parte de fracción del número. La fracción está compuesta de 14 dígitos hexadecimales, compuesto cada dígito de cuatro binarios. El punto de origen del número representado se supone que está entre las posiciones 7 y 8 en el número binario. Como es bien sabido en la multiplicación o división en punto flotante, solamente la parte de fracción de los números son multiplicadas o divididas, mientras que los valores de exponente son sumados o restados para lograr un valor de exponente final. El fin del presente invento es pues facilitar la multiplicación de dos números binarios compuesto cada uno de ellos de 56 bitios binarios que representan la parte de fracción del número.

Antes de describir el resto de la figura 2, se señalará en esta ocasión la posición del aparato sumador de la figura 1 dentro de la disposición total. Los diagramas de bloques en la figura 2 han sido numerados para corresponderse con las designaciones usadas en la figura 1. Los

**344566**



registros 30 y 31 se han ilustrado como dos registros separados en la figura 2, con lo que la unidad de manipulación de instrucciones de la unidad de tratamiento de datos será capaz de insertar dos multiplicadores y dos multiplicandos en los registros 30 y 31 para acción mediante el aparato de multiplicar. Cada uno de los registros 30 y 31 estará compuesto de 64 bitios de datos de los cuales solamente se utilizarán las posiciones 8 a 63 en el aparato sumador para la finalidad de multiplicar o dividir las partes de fracción. Se ha ilustrado además en la figura 2 el descodificador 32 del multiplicador, los registros de enganche 24 a 29, el árbol sumador 21, el circuito sumador 22, y la sumadora 23 de propagación en paralelo de arrastre.

El aparato adicional ilustrado en la figura 2 incluye seis compensadores de punto flotante 60 y cuatro registros de punto flotante 61, todos los cuales son capaces de compensar los 64 bitios binarios de los números de punto flotante recibidos inicialmente desde un colector de almacenamiento 62. Los datos en cada uno de los compensadores 60 de punto flotante pueden ser lidos de salida ya sea a un colector de compensador de punto flotante (CCPF) 63 o bien puede ser leído de salida a un colector de datos común (CDC) 64. Los datos en los registros de punto flotante 61 pueden ser leídos de salida a un colector de registros de punto flotante (CRPF) 65. Los datos que están situados en el colector 63 o en el colector 65 pueden ser transmitidos a una unidad 66 de sumar la cual no forma parte del presente invento. La unidad 66 de sumar se ha ilustrado en la presente disposición solamente para sugerir que los números de punto flotante puedan también ser sumados o restados. La salida de uni-



dad 66 de sumar puede ser entrada en la barra colectora de datos común 64. El registro 30 de fracción de fuente o multiplicando puede recibir datos ya sea desde el colector 63 o ya sea desde el colector 65. Además, la fracción de multiplicador en los registros 31 puede ser recibida desde la barra colectora 65 ó desde la barra colectora de datos común 64.

Como se ha mencionado anteriormente, una función necesaria durante la multiplicación o división de números de punto flotante es la de sumar o restar valores de exponente. Para esta finalidad, se ha ilustrado esquemáticamente una sumadora de exponentes 67 la cual efectúa la adición o sustracción de exponentes, cuya salida es transmitida de nuevo a la parte de exponente de los datos en los registros 30 ó 31. Otra función necesaria en la mayoría de los dispositivos aritméticos de punto flotante es un procedimiento llamado de normalización. En el presente invento se ha supuesto que las fracciones de los números de punto flotante han sido normalizadas. Para multiplicar, el dígito hexadecimal de orden superior del número de punto flotante debe contener un 1 binario. Dicho con otras palabras, si el número de punto flotante recibido en los registros 30 ó 31 no tiene un 1 binario en el dígito de orden superior, la parte de fracción de los números de punto flotantes será transferida fuera de los registros 30 ó 31 a un desplazador de dígitos 68 el cual reconocerá los ceros que van delante en el número de fracción y hará que la parte de fracción del número flotante sea desplazada a la izquierda para producir un valor 1 binario en el dígito de orden superior del número fraccionario. El número de posiciones que deben ser des-

**344566**



plazadas para producir un 1 binario en el dígito de orden superior es anotado y registrado en un registro de desplazamiento 69 asociado con la sumadora de exponentes 67. La salida del registro de traslado 69 será utilizada para modificar el resultado de la adición o sustracción de exponentes para reflejar el número de posiciones en que la fracción ha sido desplazada para obtener normalización.

También se han ilustrado esquemáticamente en la figura 2 puertas de entrada 70 de multiplicador. Para ser estudiado más detenidamente, se verá que se requieren 5 iteraciones para multiplicar el multiplicando fraccionario de 56 bitios por el multiplicador fraccionario de 56 bitios. En cada iteración, se examinan 13 bitios de multiplicador y se utilizan para excitar el descodificador 32 de multiplicador. En la iteración 1, las puertas de entrada 70 de multiplicador son capaces de transferir los 13 primeros bitios del multiplicador al descodificador 32 desde el colector de datos común 64 (CDC), desde el colector de registro de punto flotante 65 (CRPF) o desde el desplazador de dígitos 68 al mismo tiempo que está siendo insertada la fracción en los registros 31. A partir de entonces, la puerta 70 de entrada de multiplicador da paso a grupos sucesivos de 13 bitios de multiplicador al descodificador 32. El funcionamiento de la puerta de entrada 70 del multiplicador es esencialmente el mismo que el descrito en la patente expedida antes citada en la cual se examinan los bitios del multiplicador en grupos. En cada iteración de una operación de multiplicar, el descodificador 32 de multiplicador producirá señales eficaces en los enganches 24 a 29 para dar paso al multiplicando desde los registros 30 a los enganches desplazados en una

344566



cantidad apropiada para reflejar los multiples del mutipli-  
cando impuestos por los bitios del multiplicador examinados  
para producir en los registros de enganche 24 a 29 múltiplos  
del multiplicando designados en la figura 2 como M1 a M6.

5 Los grupos de líneas de señal designados por M1 a M6 son  
los multiples del multiplicando los cuales son presentados  
como entradas al árbol sumador 21 para proporcionar una sa-  
lida final que representa el producto de los bitios de mul-  
tiplicando y de multiplicador examinados.

10 Cada una de las sumadoras de arrastrar y conservar  
en el aparato sumador debe ser capaz de manipular operandos  
de entrada que tengan 71 posiciones de bitios binarios. Las  
posiciones de arrastrar y conservar estan designadas, desde  
el extremo de orden superior al extremo de orden inferior,  
15 por P3, P2, P1, 0, 1..... 67. Aunque la parte fraccionaria  
del número de punto flotante tiene solo 56 bitios binarios,  
el descodificador 32 puede exigir que los multiplicandos  
sean desplazados once posiciones a la derecha antes de su  
entrada en el árbol sumador. Análogamente, en ciertos casos  
20 los multiples producidos en los enganches 24 a 29 pueden  
ser miembros de complemento que requieran la extensión de  
las posiciones de signo a órdenes superiores con la capaci-  
dad de manipular arrastres procedentes de la posición de or-  
den superior de las sumadoras. Tal es la razón de las posi-  
25 ciones designadas como P3, P2, y P1.

Un aparato adicional, que no será estudiado con ma-  
yor detenimiento, pero el cual se requiere para efectuar  
la multiplicación, se ha ilustrado en la figura 2, como una  
sumadora 71 de rebose. Las puertas de entrada 70 de multi-  
30 plicador dan paso a 13 bitios de multiplicador al descodi-



5       ficador 32 empezando por el extremo de orden inferior de  
la fracción. Luego, son tomados grupos sucesivos de 13 bi-  
tios de grupos desplazados con respecto a los grupos prece-  
dentes por 12 bitios de multiplicador, lo cual hace que los  
10       multiplicadores sean examinados en cinco grupos de 12 bi-  
tios. Al igual que en la multiplicación con lápiz y papel,  
los productos parciales sucesivos son desplazados con rela-  
ción a los productos parciales anteriormente generados. En  
la presente realización del invento, los productos parcia-  
les sucesivos producidos en la salida del circuito sumador  
22 son desplazados a la derecha 12 posiciones de bitio an-  
tes de ser entrados de nuevo en la entrada del circuito su-  
mador 22. Ello produce el efecto, por consiguiente, de des-  
plazar los productos parciales anteriores con relación a  
15       los productos parciales siguientes producidos por grupos  
sucesivos de bitios de multiplicador. Los 12 bitios bina-  
rios de los dos grupos de líneas de señal de salida del cir-  
cuito sumador 22 que han sido desplazados a la derecha son  
aplicados a la sumadora 71 de rebose en paralelo, la cual  
20       tiene como función determinar, al final de las cinco itera-  
ciones, si se ha producido, o no, un arrastre por la adición  
de los bitios desplazados a la derecha. Si los bitios des-  
plazados a la derecha durante las cinco iteraciones produ-  
cen un arrastre de salida de la sumadora 71 de rebose, ese  
25       arrastre es aplicado como entrada 72 a la posición de bitio  
de orden inferior de la sumadora 23 en paralelo. Como en la  
multiplicación normal, si se multiplican un multiplicador  
de 56 bitios y un multiplicando de 56 bitios, se produci-  
ría un producto final con 112 bitios binarios. El sistema  
30       de numeración en el sistema de tratamiento de datos usado

344566



solamente requiere los 56 bitios binarios de orden superior para producir la fracción de resultado final. Los 56 bitios de orden inferior que han sido desplazados a la derecha, como se ha mencionado anteriormente, entran en una sumadora 71 de rebose para determinar si los 56 bitios de orden superior serán afectados o no por un arrastre de los 56 bitios de orden inferior.

Una vez que se ha determinado un producto final, se dá paso discriminado al mismo desde la sumadora 23 de propagación de arrastre a un registro de resultados 73. Se utiliza un descodificador de desplazamiento posterior 74 durante la generación del producto final en la sumadora 23 en paralelo para determinar si el dígito de cuatro bitios de orden superior del producto final tiene o no un 1 binario en él y representa por lo tanto una fracción normalizada. Si el descodificador de desplazamiento posterior 74 detecta que el dígito de cuatro bitios de orden superior no contiene un 1 binario, es excitado un desplazador posterior 75 para desplazar la totalidad de la fracción del producto a la izquierda un dígito, o bien cuatro posiciones. La salida del desplazador 75 posterior es aplicada al colector de datos común 64 para ser transferida al registro 61 de punto flotante como el resultado final de la multiplicación.

La disposición de la Figura 2, que es en esencia un aparato para efectuar la multiplicación, se utiliza también para hacer operaciones de dividir de punto flotante. La operación de dividir en que se utiliza el aparato sumador del presente invento se efectúa por multiplicación. La operación de dividir es esencialmente cuestión de determinar un valor recíproco del divisor y utilizar luego el recípro-



co del divisor como multiplicador y utilizar el dividendo como multiplicando para obtener un valor de cociente final. Para fines de división, las puertas de entrada 76 de multiplicador están provistas para dar paso a información al descodificador 32 de multiplicador durante las operaciones de dividir. Análogamente, la operación de dividir requiere un número de iteraciones en que la salida de un árbol sumador 21 es aplicada directamente a la sumadora 23 en paralelo, y el resultado de esa salida obtiene paso discriminado de vuelta a través de un desplazador 77 para la finalidad de entrar un multiplicando en los enganches 24 a 29. La salida del desplazador 77 es aplicada a un circuito 0 representado esquemáticamente 78. El circuito 0, 78, es eficaz para dar paso a los enganches 24 a 29 a un multiplicando usado durante la división, o a un multiplicando procedente de los registros 30, o a un multiplicando procedente de un desplazador de bitios 79. En las operaciones de dividir, no es suficiente que el grupo de cuatro dígitos de orden superior del divisor tenga un 1 binario. En lugar de ello, la posición del bitio de orden superior del divisor debe contener un 1 binario. El desplazador de bitios 79 es capaz de desplazar el número fraccionario para garantizar que está contenido un 1 binario en la posición de bitio de orden superior de la fracción. Otro bloque representado en la figura 2 es un aparato 80 de búsqueda de tabla el cual se utiliza durante la primera iteración en una operación de dividir para producir un recíproco aproximado del divisor de punto flotante original, la salida del cual obtiene paso discriminado a la puerta de entrada del multiplicador 76 al descodificador 32 de multiplicador para ser utilizada como multiplicador.



La Figura 3 es un diagrama de regulación de tiempos que ilustra la relación de regulación de tiempos entre los varios impulsos de regulación de tiempos o impulsos de discriminación utilizados en la disposición sumadora de la Figura 1. Durante la iteración 1, que representa la iniciación de la operación de multiplicar, el multiplicador habrá sido dejado pasar a través del desplazador para normalización y se utilizará una puerta denominada Puerta de Entrada de Registro para dar paso al multiplicador normalizado de nuevo al registro 31 de multiplicador. Al mismo tiempo, será capacitada una puerta (PUERTA DE ENTRADA DE MULTIPLICANDO) con lo que el multiplicando de 56 bits en el registro 30 será dejado pasar a los registros de enganche 24 a 29. Es producida la puerta de entrada de descodificar multiplicador para iteración 1, con lo que será dejado pasar el grupo de orden más bajo de bits del multiplicador a los enganches del descodificador 32 de multiplicador para ser retenidos en ellos. Después de un retardo adecuado, para permitir que funcione el descodificador 32 de multiplicador, será producida la puerta de entrada de múltiplos (PUERTA DE ENTRADA DE MULTIPLOS) con lo que serán entrados los múltiplos apropiados del multiplicando en los registros de enganche apropiados 24 a 29. Los datos entrados o enganchados en los registros de enganche 24 a 29 son luego inmediatamente aplicados a la entrada del árbol sumador compuesto de SAC-A y SAC-B. Después de un retardo adecuado para permitir que la lógica en la primera etapa del árbol sumador efectue la operación de sumación, será producida la PUERTA DE ENTRADA SAC-C con lo que se dará paso al resultado de la operación de SAC-A y SAC-B a SAC-C y al registro de enganche 43. Las



señales de suma (s) y de arrastre (a) producidas por SAC-C  
serán enganchadas y retenidas y la salida desde ellas apli-  
cadas a la lógica de SAC-D para producir los dos grupos de  
líneas de señal de salida desde el árbol sumador 21 que re-  
5 presentan sumas y arrastres para los operandos originales  
aplicados a la iteración 1. Después de un retardo adecuado,  
que representa el espacio de tiempo que lleva dar entrada a  
SAC-C y al enganche 43 hasta el momento en que SAC-D ha pro-  
ducido un resultado, es aplicada una puerta de entrada a  
10 la sumadora 50 de arrastrar y conservar y al registro de  
enganche 51 (PUERTA DE ENTRADA SAC-E) con lo que SAC-E efec-  
tua la lógica de la sumación y engancha el resultado para  
aplicación a la entrada de la sumadora 52 de arrastrar y  
conservar (SAC-F). Después de la resolución de las sumas  
15 en SAC-E es producida una puerta de entrada en la sumadora  
52 de arrastrar y conservar (PUERTA DE ENTRADA SAC-F).

Como puede verse de la Figura 3, en el momento de  
la entrada de los múltiplos del multiplicando en los regis-  
tros 24 a 29 de enganche por medio de la puerta de entrada  
20 de múltiplos, las entradas al descodificador del multiplica-  
dor pueden ser entradas para iteración 2 inmediatamente an-  
tes del final de la entrada de múltiplos para iteración 1.  
De una manera similar, en el momento de la entrada a SAC-C  
basada en los operandos aplicados para iteración 1, los re-  
25 gistros de enganche 24 a 29 pueden ser modificados para ite-  
ración 2. Como una característica del presente invento, se  
han provisto varios puntos de enganche que incluyen el des-  
codificador de multiplicador 32, los registros de enganche  
24 a 29, la sumadora de arrastrar y conservar 32 y el engan-  
30 che 43, la sumadora de arrastrar y conservar 50 y el engan-

344566



che 51, y la sumadora de arrastrar y conservar 52. Como resultado de los diversos puntos de enganche, la entrada de operandos a un punto de enganche particular puede ser cambiada cuando un punto de enganche siguiente ha recibido los resultados generados por un conjunto previo de operandos en el punto de enganche particular. Como se ha ilustrado en la Figura 3, cuatro conjuntos de bitios de multiplicador han sido presentados al descodificador de multiplicador 32 antes de que haya sido producido el primer producto parcial por la sumadora 52 de arrastrar y conservar (SAC-F). En la técnica anterior, representada por la Patente americana número 3.115.574, el segundo conjunto de bitios de multiplicador no podía haber sido presentado a los generadores de múltiplos hasta que hubiese sido producido el primer producto parcial basado en el primer descodificador de multiplicador.

Como es fácilmente evidente del resto de la representación de las entradas en la Figura 3, los cinco grupos de bitios de multiplicador a ser descodificados para efectuar la multiplicación de un número de 56 bitios han sido examinados y descodificados esencialmente al mismo tiempo que ha sido generado el segundo producto parcial de la aplicación del segundo conjunto de bitios del multiplicador. Los números (0-4) en la parte superior de la Figura 3 representan ciclos de la máquina de tratamiento de datos e ilustran que la multiplicación completa de dos números binarios de 56 bitios puede ser efectuada utilizando el aparato sumador del presente invento en cuatro ciclos de la máquina. Como se ilustrará a continuación, los medios de sincronización mediante los cuales puede ser efectuada la

25.8.67

344566



5 multiplicación, son un aparato simple que únicamente requiere la generación de cinco puertas de entrada de iteración a la puerta de entrada de descodificar multiplicador con etapas sucesivas de retardo para utilizar el mismo impulso, como la puerta de entrada a etapas de enganche sucesivas.

La Figura 4 es una representación de un multiplicador de 56 bits que ilustra la manera en que los bits del multiplicador son examinados en grupos de 13, solapándose los grupos sucesivos mediante un bitio binario 1. La última iteración o iteración 5, usa la posición 8 del número de punto flotante y utiliza un supuesto binario 0 para la posición de orden superior del multiplicador. Empezando por la izquierda del multiplicador, y avanzando por grupos de 13 grupos binarios, solapándose cada grupo sucesivo mediante un bitio binario 1, el grupo final de bits del multiplicador a ser examinados durante la iteración 1 supone binarios 0 para generar el múltiplo  $M/1$  y usa un solo bitio binario del multiplicador para generar el múltiplo  $M_2$ . Los números 1-14 representan los 14 dígitos hexadecimales del multiplicador.

Debe recordarse que la parte fraccionaria del número de punto flotante es de hecho una fracción, tal que la multiplicación de una fracción por otra fracción produce una fracción menor. De una manera similar, si hubiese de ser multiplicado un multiplicando por el bitio de orden inferior o bitio binario derecho del multiplicador, el multiplicando sería desplazado a la derecha originando en efecto una división del multiplicando por  $2^{56}$ . No obstante, como se ha mencionado anteriormente, los productos parciales generados en la salida del circuito sumador son desplazados a

344566



la derecha doce posiciones de bitio correspondientes a 12 bitios del multiplicador utilizado en cada iteración, de tal modo que el producto formado por el multiplicador es debidamente factorizado para tomar en cuenta la multiplicación de una fracción por otra fracción.

La Figura 4 representa los bitios de multiplicador real examinados durante la iteración 3. Durante la iteración 3, los bitios de multiplicador 24 a 36 serán dejados pasar discriminadamente al descodificador 32 del multiplicador. Los múltiplos M1 a M6 del multiplicando aplicados a los registros de enganche 24 a 29 respectivamente son producidos examinando tres bitios del multiplicador, siendo común el bitio de multiplicador de orden superior de un grupo particular con el bitio de multiplicador de orden inferior de un grupo de orden superior inmediatamente siguiente de bitios del multiplicador.

La Figura 5 indica el modo en que son descodificados los trece bitios del multiplicador en cada iteración. Los números 0 a 12 representan los trece bitios de multiplicador examinados en cada iteración. El múltiplo M1 se ha representado como siendo una función de los bitios 10, 11 y 12 del multiplicador para cada iteración, y de acuerdo con la Figura 4, para la iteración 3, éstos son realmente los bitios 34, 35 y 36 del multiplicador. Los seis grupos de bitios del multiplicador examinados en cada iteración se han ilustrado en la Figura 5. En la parte inferior de la Figura 5 se han representado las entradas generales a cada uno de los descodificadores de múltiplos M1 a M6. Estas entradas son  $N$ ,  $N + 1$ ,  $N + 2$ . La entrada al descodificador se ha representado como siendo capaz de adoptar ocho



permutaciones. El bitio de orden superior del grupo (N) se solapa con el bitio de orden inferior del grupo de orden superior inmediatamente siguiente ( $N \pm 2$ ). Pueden utilizarse algoritmos bien conocidos para determinar la cantidad apropiada de desplazamiento hasta ser aplicado al multiplicando para entrada en cualquier registro de enganche particular para representar un múltiplo del multiplicando. Un algoritmo al menos utiliza los tres bitios del multiplicador de un grupo particular para producir una señal de salida 2 como se ha indicado en la Figura 5 y se ha designado por SALIDA GENERAL. Los valores N, y  $N \pm 1$ , bajo la salida general, representan el valor posicional del bitio del multiplicador en el grupo de 13 bitios del multiplicador. La designación 0, +1 ó -1 en una columna particular designa lo que debe ser efectuado en el paso discriminado del multiplicando al registro de enganche particular. Dicho con otras palabras, si N y  $N \pm 1$  son ambos 0, son dejados pasar discriminadamente los ceros al registro de enganche. Una designación de columna de +1 indica que el multiplicando ha de ser desplazado  $N \pm 1$  ó N posiciones a la derecha en forma verdadera al registro de enganche. Una designación de -1 indica que el multiplicando ha de ser desplazado a la derecha N posiciones o  $N \pm 1$  posiciones en forma de complemento.

La señal de salida 2 del descodificador 32 del multiplicador para el paso discriminado del multiplicando al registro de enganche 26, el cual recibe al múltiplo  $M \pm 1$ , se ha representado en la Figura 5. Los valores N y  $N \pm 1$  en este caso son los valores binarios en las posiciones 6 y 7 respectivamente del grupo de bitios del multiplicador que está siendo examinado. Puede verse, por consiguiente, que basan-

dose en las permutaciones binarias de las posiciones 6, 7 y 8 de bits binarios en el descodificador 32, será entrado un multiplicando en el registro de enganche 26 desplazado a la derecha 6 o desplazado a la derecha 7, ya sea en forma verdadera o en forma de complemento, para reflejar con ello debidamente el resultado de multiplicar el multiplicando por los bits, 30, 31 y 32 del multiplicador. Como puede verse en relación con el múltiplo M1, el multiplicando puede ser desplazado al registro de enganche 24 hasta 11 posiciones, lo que impone la necesidad de ampliar el número de posiciones de la sumadora en 11 posiciones más del tamaño normal de 56 bits del multiplicando.

En relación con el múltiplo M3 en la iteración 3, puede verse que el multiplicando deberá ser multiplicado por  $2^{-30}$  ó  $2^{-31}$  de acuerdo con las reglas para multiplicar una fracción por otra fracción. Aunque la salida del descodificador para el múltiplo M3 solamente causa un desplazamiento del multiplicando en 6 ó 7 posiciones a la derecha, la salida final del producto parcial producido por los operandos presentada en la iteración 3 es desplazada a la derecha un total de 24 posiciones de bit durante las iteraciones 4 y 5 a la salida del circuito sumador 22. Por consiguiente, el producto parcial generado por los operandos procedente de la iteración 3 será debidamente factorizado para reflejar una multiplicación por  $2^{-30}$  ó por  $2^{-31}$ .

Los medios de sincronización fácilmente logrados para efectuar la multiplicación se han ilustrado en la Figura 6. En la Figura 6 se han representado los diversos dispositivos de enganche de paso discriminado e incluyen los enganches 32 del descodificador de multiplicador, los regis-



5 tros 24 a 29 de enganche de múltiplos del multiplicando, los enganches 42 de sumadora de arrastrar y conservar y el registro de enganche 43, los enganches 50 de sumadora de arrastrar y conservar y el registro de enganche 51, y los enganches 52 de sumadora de arrastrar y conservar. Cada puerta de entrada de descodificar multiplicador representa en la Figura 3 no solamente se utiliza para dar entrada a los bitios de multiplicador apropiados al descodificador 32 sino que se aplica tambien a una serie de dispositivos de retardo 80 a 83 para producir, sucesivamente, las puer-  
10 tas de entrada apropiadas en respuesta a cada puerta de entrada de descodificar multiplicador. Como otra característica del logro de la realización preferida de este invento, el diseño lógico del aparato sumador es tal que fueron requeridos varios cuadros de montaje de componentes lógicos para producir cada una de las etapas de los dispositivos de enganche. Puesto que las máquinas de tratamiento de datos están funcionando a velocidades cada vez más rápidas, la propagación de impulsos a lo largo de longitudes de alambre  
15 representa un factor. Por consiguiente, para asegurar que las señales de entrada a un conjunto particular de enganches llegan a todos los dispositivos de enganche al mismo tiempo, son aplicados retardos en diversos grados a cada una de las señales de entrada del conjunto particular de enganches para reducir el efecto de sesgo ó de falta de sincronismo,  
20 producido por los retardos a lo largo de longitudes de alambre.

Además, al llevar a efecto la realización preferida del presente invento, se descubrió que mediante diseño planeado de circuito y lógico, el retardo originado por los  
25



niveles lógicos más las longitudes de alambre entre los niveles lógicos podría hacerse esencialmente igual desde una entrada de enganche a la siguiente entrada de enganche. Por ejemplo, en una realización preferida del invento, tal como  
5 fué llevado a efecto, hay o bien cuatro niveles lógicos entre entradas de enganche sucesivas, o bien tres niveles lógicos y una longitud de alambre que produce un retardo de propagación esencialmente igual a un nivel lógico. Además, se ha comprobado que la lógica requerida para llevar a efecto  
10 el circuito sumador 23 de la Figura 1 produce la misma cantidad de retardo.

En razón de las diversas etapas sucesivas de dispositivos de enganche con paso discriminado o de enganches de sumador con paso discriminado, y los retardos de señal sustancialmente iguales entre las entradas a los dispositivos  
15 de enganche sucesivos con paso discriminado, la velocidad a la cual pueden ser presentadas las pluralidades de operandos a la entrada al aparato sumador pueden ser a un ritmo sustancialmente igual a los retardos lógico y de circuito  
20 entre entradas de dispositivos de enganche con paso discriminado. Esto permite el efecto de canalización del aparato sumador de la Figura 1, en que el enganche de salidas producidas por un enganche con paso discriminado particular puede ser utilizado en etapas sucesivas simultáneamente con  
25 el ingreso de una nueva serie de entradas en una etapa precedente.

La manera en que se utiliza el efecto de canalización se ha ilustrado en la representación esquemática de la Figura 7. En la representación superior izquierda se han  
30 ilustrado los registros de enganche 24 a 29, el árbol suma-



5     dor 21 y el circuito sumador 22. Tambien se ha representado  
el primer conjunto de seis operandos siendo aplicados a los  
registros de enganche 24 a 29, los cuales serán utilizados  
para generar un producto parcial para iteración 1 (PPI). En  
el dibujo siguiente se ha efectuado un paso de entrada de  
PPI a SAC-O y al registro de enganche 43, al mismo tiempo  
ha sido entrada una pluralidad sucesiva de operandos en  
los registros de enganche 24 a 29, los cuales producen fi-  
nalmente una suma que representa un producto parcial para  
10 iteración 2 (PF2). En el momento de la entrada de PPI en  
los enganches SAC-E, han sido aplicados una tercera plurali-  
dad de operandos a los registros de enganche 24 a 29. En el  
momento de entrada de los seis operandos a los registros  
de enganche 24 a 29 para iteración 4 (PF4), PPI ha sido en-  
15 trado en SAC-F para producir una salida desde éste a la que  
se da paso discriminado de nuevo a la entrada de SAC-E. En  
el momento de la entrada de PF2 a los enganches SAC-E, los  
bitios binarios que representan PPI, desplazados a la dere-  
cha 12 posiciones, son tambien entrados en SAC-E.

20     El paso discriminado sucesivo de una pluralidad de  
operandos a los registros de enganche tiene lugar simultá-  
neamente con el paso discriminado sucesivo de resultados  
intermedios desde un conjunto de enganches con paso discrimi-  
25 nado juntamente con el desplazamiento de la salida del cir-  
cuito sumador a la derecha 12 posiciones a la entrada al  
circuito sumador hasta que es entrada una representación  
del producto final en SAC-F. En ese momento, los dos grupos  
de líneas de señal de salida procedentes de la sumadora de  
30 arrastrar y conservar 52 (SAC-F) son aplicados a la sumado-



ra de propagación en paralelo 23 para producir un resultado de producto final.

Las Figuras 8 a 13 serán utilizadas para ilustrar una parte de la lógica binaria requerida para generar un solo bitio de salida procedente del circuito sumador 22 de la Figura 1, empezando por el paso discriminado de los bitios del multiplicador a los enganches 52 de descodificador de multiplicador. El bloque lógico básico utilizado al llevar a efecto la realización preferida del invento está clasificado como un Y-INVERTIR. En todos los bloques lógicos representados, las entradas entran por la izquierda del bloque y las salidas salen por la derecha. La lógica particular que se efectua con más frecuencia es la función Y (A). En la función Y, si todas las entradas al bloque lógico están a un nivel negativo, la salida superior del bloque estará en un nivel positivo. Expresado a la inversa, si cualquier entrada al bloque es positiva, la salida superior del bloque será negativa. Esta es la función O, y es efectuada por los bloques designados (O).

Los bloques designados por N son esencialmente inversores en los que una entrada negativa producirá una salida positiva y viceversa. El bloque lógico designado O efectua la función O en que si cualquier entrada es positiva, la salida superior será negativa. En algunos de los bloques lógicos, puede verse que hay dos líneas de señal de salida. Son estas salidas complementarias en que si la salida superior es negativa la salida inferior será negativa y viceversa. Algunos de los bloques lógicos se han designado por AR y son usados esencialmente para elevar a una potencia o para producir señales de salida complementarias en respuesta

344566



a una sola señal de entrada.

Las Figuras 9a y 9b, cuando estén dispuestas de acuerdo con la Figura 8, representan la lógica esencial utilizada en los medios de entrada de operandos de la presente disposición de multiplicación. Todos los dispositivos de enganche con paso discriminado incluyendo los enganches de sumador con paso discriminado o los registros de enganche con paso discriminado, son esencialmente los mismos que los ilustrados en el área de puntos 100 en la Figura 9a.

Las salidas de la Figura 9b designadas  $-M3$  13 y  $+M3$  13 señalan la salida del binario 1 o del binario 0 del registro de enganche 26 posición 13, que representa el múltiplo  $M3$ . La condición binaria de la salida enganchada de la posición 13 para el múltiplo  $M3$  será o bien la forma verdadera o bien la forma complementaria del bitio 6 del multiplicando o del bitio 7 del multiplicando, como viene representado por las entradas  $+bitio$  6 y  $+bitio$  7 en la Figura 9b. Otra entrada posible procede de la sumadora 23 en paralelo de la Figura 1 durante las operaciones de dividir y están representadas por las entradas  $+SP$  bitio 6 ó  $+SP$  bitio 7. Una entrada a la Figura 9b procede de la Figura 9a y está designada por  $+7$  ó  $-7$ . Esta corresponde a otro conjunto de entradas  $+6$  ó  $-6$  y  $+8$  ó  $-8$ . Estas entradas representan las posiciones 6, 7 y 8 del multiplicador utilizadas para generar el múltiplo  $M3$ , y serán utilizadas en la lógica de la Figura 9b para determinar si el multiplicando o la salida de la sumadora en paralelo deberán o no ser desplazadas a la derecha 6 posiciones o desplazadas a la derecha 7 posiciones en forma verdadera o en forma complementaria, de acuerdo con las reglas ilustradas en la Figura 5.



La lógica ilustrada en la figura 9a es esencialmente una función de paso discriminado y de enganche, en que los bitios de multiplicador apropiados para un ciclo de iteración de multiplicar particular son aplicados a la línea de descodificador de multiplicador para producir las señales de salida para la posición 7 de descodificador de multiplicador de todos los ciclos de iteración. La entrada de los bitios de multiplicador a la lógica de descodificar es efectuada por una +GA ó +GB que representan ciclos alternos A y B de una puerta de entrada al enganche 32 de descodificador de la figura 1. Los diversos bitios de multiplicador utilizados para la posición 7 de las posiciones de bitios de descodificador de multiplicador incluyen bitios procedentes del registro 31 del multiplicador representados por las señales de entrada designadas + bitio de multiplicador, + bitio de desplazamiento cuando se da paso de entrada discriminado a la salida del desplazador 68 de la figura 2 durante el primer ciclo de iteración; el bitio de multiplicador apropiado procedente del colector de datos comunes 64 representado por la entrada + CDC; procedente del colector compensador de punto flotante 63 representado por la entrada + CPF. También entrarán en la posición 7 de descodificar multiplicador diversos resultados intermedios durante las operaciones de dividir representadas por entradas tales como +DIV 1 y -GD 1, que representan la entrada para el ciclo de iteración de dividir 1. Las entradas para las diversas iteraciones durante la multiplicación están representadas por entradas tales como -GMPR IT 1 y -GMPR IT 2.

Cuando las figuras 11a hasta 11d están dispuestas de acuerdo con la figura 10, se ha ilustrado una parte de

344566

29 AGO.



La lógica requerida para producir una salida de un solo bitio desde la sumadora de arrastrar y conservar 44 (SAC-D). La figura 11b ilustra salidas denominadas +CD 13 y -CD13 que representan la salida de función de arrastre para la posición de bitio 13 desde la sumadora de arrastrar y conservar 44. Las salidas de la figura 11d denominadas +SD 13 y -SD 13 representan la salida de la función de suma para la posición de bitio 13 de la sumadora de arrastrar y conservar 44 (SAC-D).

Las entradas a las figuras 11a y 11c representan el conjunto de líneas de señal procedentes de los registros de enganche 24 a 29 de la figura 1. La lógica encerrada dentro del área de puntos 101 efectúa la generación de la función de suma para la posición de bitio 14 de los múltiplos M1, M2 y M3. Como se ha ilustrado en la figura 1, la función de suma de la sumadora de arrastrar y conservar 40 es enganchada en el registro de enganche 43 y ello se ha representado en la lógica encerrada dentro del área 102. La posición de bitio 14 de los múltiplos M1, M2 y M3 son aplicados a la lógica encerrada dentro del área de punto 103 para producir la función de arrastre de salida de la sumadora de arrastrar y conservar 40 denominada CA-13 convenientemente desplazados al orden inmediatamente superior para efectuar la generación de la suma para la posición 13. Debe comprenderse en relación con la salida de la Figura 11a y la representación en la figura 1, que la función suma de SAC-A es enganchada en el registro de enganche 43, mientras que la función de arrastre procedente de SAC-A es aplicada directamente a SAC-C. La figura 11c ilustra las posiciones de bitios de los múltiplos M4, M5, y M6, los cuales entran en la

344566



generación de suma y de arrastre para SAC-B representadas por las salidas de la figura 11c designadas SB 13, CB 13 y SB 14.

5 Las salidas de SAC-B que no están enganchadas y la salida de la función de arrastre de SAC-A que no está enganchada son aplicadas a SAC-C, el cual es un enganche de sumadora con paso discriminado, una parte del cual se ha re-  
10 presentado dentro del área de puntos 104 en la figura 11b. La entrada a la sumadora de arrastrar y conservar 42 (SAC-C) está designada por + puerta SAC-C, cuya señal es aplica-  
da a los enganches de sumadora con paso discriminado de SAC-C y al registro de enganche 45 utilizado para enganchar la salida de la función de suma de SAC-A.

15 La salida final de la lógica representada en las figuras 11a hasta 11d son las salidas +CD 13 y -CD 13 que representan el grupo de líneas de señal de salida que representan la función de arrastre para la posición 13 procedente de la sumadora de arrastrar y conservar 44, y + SD 13 y -SD  
20 13 que representan el grupo de líneas de señal de salida que señalan la salida de función de suma de la sumadora de arrastrar y conservar 44.

La lógica ilustrada en las figuras 13a y 13b, cuando está dispuesta de acuerdo con la figura 12, ilustra una parte del circuito sumador 22 de la figura 1 utilizado para  
25 generar señales de suma y de arrastre para la posición 13 de un producto parcial o final. El circuito sumador incluye los dispositivos de enganche de sumador con paso discriminado en las sumadoras de arrastrar y conservar 50 y 52 (SAC-E y SAC-F) y el registro de enganche con paso discriminado  
30 51. Nuevos conjuntos de datos de entrada, ya sea procedentes



de la sumadora de arrastrar y conservar 44 (SAC-D) o la salida de la sumadora de arrastrar y conservar 52 (SAC-F) son entrados en la sumadora de arrastrar y conservar 50 (SAC-E) y el enganche 51 en respuesta a una señal de entrada denominada -PUERTA SAC-E. La entrada a SAC-F está designada por -PUERTA SAC-F. La salida final de las figuras 13a y 13b son diversas salidas de señal de SAC-F que representan el grupo de arrastre de señales de salida (CF 13 y C 13) y el grupo de suma de señales de salida (SF 13 y S 13) para la posición 13 de bitio. Las señales S 13 y C 13 son entradas discriminadamente en la sumadora en paralelo 23 de la figura 1. Las señales SF 13 y CF 13 son aplicadas a la entrada de SACE. Como puede verse, por ejemplo en la figura 13b, dos de las entradas a SAC-E son líneas designadas +CF I y +SF I. Esas señales de entrada representan la salida de la sumadora 52 de arrastrar y conservar 52 (SAC-F) que han sido desplazadas 12 posiciones a la derecha antes de la entrada en el circuito sumador 22.

Las líneas de señal denominadas REPONER (RESET) en todas las figuras, solamente son eficaces al final de una operación completa de multiplicar para reponer todos los dispositivos enganchados en un estado de partida. La salida enganchada de cualquiera de los enganches con paso discriminado será mantenida por la acción de enganche y no puede ser cambiada hasta el momento en que sea aplicada una nueva entrada discriminada al enganche. Por consiguiente, no existe ciclo de reposición separado para los dispositivos de enganche.

Se ha ilustrado del mejor modo en la descripción anterior un aparato sumador construido de tal modo que pue-



den ser aplicadas pluralidades sucesivas de operandos a la  
entrada del aparato sumador a una velocidad que excede de  
la velocidad a la cual son producidos los valores de suma  
5 finales desde la salida de la sumadora. Esta produce pues  
un aparato sumador que es especialmente adecuado para la  
multiplicación o la división a gran velocidad de números  
binarios, en que para la iniciación de iteraciones sucesi-  
vas durante el ciclo de multiplicar no es preciso esperar  
a los resultados de las iteraciones anteriores, proporci-  
10 nando con ello un aparato de multiplicar de mayor velocidad.

Aunque el invento se ha ilustrado y descrito en par-  
ticular con referencia a una realización preferida del mis-  
mo, deberán entender: los expertos en la técnica que pueden  
efectuarse en el mismo diversos cambios en forma y en deta-  
15 lles, sin desviarse del espíritu ni rebasar el alcance del  
invento.

La presente solicitud que corresponde a la presen-  
tada en los Estados Unidos de América el 31 de Agosto de  
1.966, con el número 576.401, se acoge a los beneficios del  
20 artículo 51 del vigente Estatuto sobre Propiedad Industrial.

#### N O T A

25 Los puntos de invención propia y nueva que se pre-  
sentan para que sean objeto de esta solicitud de Patente de  
Invención en España por VEINTE años, son los siguientes:

1ª.- Un aparato para sumar una pluralidad de operan-  
dos de bitios binarios plurales que comprende: una plurali-  
30 dad de medios de entrada de operandos; un árbol sumador que

**344566**

29 AG



incluye una pluralidad de grupos de líneas de señal de entrada, adaptado cada grupo para recibir simultáneamente un operando de uno correspondiente de uno de dichos medios de entrada de operandos, incluyendo dicho árbol sumador dos grupos de líneas de señal de entrada, los cuales, cuando se combinan, producen la suma de todos los operandos aplicados a dichas líneas de entrada del árbol sumador; un circuito sumador que incluye una pluralidad de grupos de líneas de señal de entrada y dos grupos de líneas de señal de salida, los cuales, cuando se combinan, producen la suma de todos los operandos aplicados a dichas líneas de entrada del circuito sumador; medios que conectan dichas líneas de salida de árbol sumador a dos de dichas líneas de entrada de circuito sumador; medios que conectan dichas líneas de señal de salida de circuito sumador a las restantes de dichas líneas de entrada de circuito sumador; y medios de sincronización que incluyen medios operantes para presentar pluralidades sucesivas de operandos a dichos medios de entrada de operandos a una velocidad adaptada para producir salidas sucesivas desde dicho árbol sumador al mismo tiempo que salidas sucesivas desde dicho circuito sumador las cuales corresponden a la pluralidad precedente de operandos de entrada.

2ª.- Un aparato según la reivindicación 1 en que hay además incluidos: una sumadora en paralelo que incluye dos grupos de líneas de señal de entrada y un grupo de líneas de señal de salida, manifestando dichas líneas de señal de salida la suma de bitios plurales de operandos aplicados a dichas líneas de entrada de sumadora en paralelo; y medios de paso discriminado que conectan dichas líneas de

señal de salida de circuito sumador a dichas líneas de señal de entrada de sumadora en paralelo, e incluyendo además medios conectados y que responden a dichos medios de sincronización para excitar selectivamente dichos medios de paso discriminado, con lo que dichas líneas de salida de sumadora en paralelo son eficaces para manifestar la suma de todos los operandos de una pluralidad, pluralidades sucesivas de los cuales son presentadas a las entradas de dicho árbol sumador.

5

10

3<sup>a</sup>.- Un aparato según la reivindicación 2 en que hay además incluidos: otros medios de paso discriminado que conectan dichas líneas de señal de salida de árbol sumador con dichas líneas de señal de entrada de sumadora en paralelo e incluyendo medios conectados y que responden a dichos medios de sincronización para excitar selectivamente dichos otros medios de paso discriminado, con lo que dichas líneas de salida de sumadora en paralelo son eficaces para manifestar la suma de una sola pluralidad de operandos a ser sumados.

15

20

4<sup>a</sup>.- Un aparato según la reivindicación 1 en que dicho árbol sumador incluye: una pluralidad de unidades sumadoras dispuestas en una pluralidad de etapas sumadoras, incluyendo cada etapa sumadora una o más unidades sumadoras, teniendo cada una de dichas unidades sumadoras tres grupos de líneas de señal de entrada y dos grupos de líneas de señal de salida, las cuales, cuando se combinan, representan la suma de operandos de varios bits aplicados a dichas líneas de señal de entrada de unidad sumadora, estando las líneas de señal de salida desde dichas unidades sumadoras de una de dichas etapas sumadoras conectadas como grupos de

25

30

**344566**



5 líneas de señal de entrada a una sucesiva de dichas etapas sumadoras, siendo el número de dichas unidades sumadoras en cada una de dichas etapas sumadoras suficiente para combinar todos los conjuntos completos de tres grupos de líneas de señal de entrada a dicha etapa sumadora.

5<sup>a</sup>.- Un aparato según la reivindicación 4 en que dicho circuito sumador incluye: una primera etapa sumadora que incluye una unidad sumadora y un registro de enganche, y una segunda etapa sumadora que incluye una unidad sumadora; incluyendo cada una de dichas unidades sumadoras en cada una de dichas etapas sumadoras de circuito primera y segunda dispositivos de enganche de sumadora de paso discriminado para cada posición de bitio binario que responde a dichos medios de sincronización aplicados a cada enganche de sumadora, de paso discriminado, operante para dar paso discriminado a un nuevo conjunto de tres entradas de bitios de operando al dispositivo, para producir con ello los dos grupos siguientes de salidas de sumadora enganchadas, incluyendo dicho registro de enganche en dicha primera etapa de sumadora de circuito dispositivos de enganche de paso discriminado para cada posición de bitio binario que responde a dichos medios de sincronización aplicados a cada dispositivo de enganche de paso discriminado, operante para dar paso discriminado a una nueva entrada al enganche para producir con ello otra salida enganchada, incluyendo dichos medios que conectan dicha línea de señal de salida de circuito sumador a dichas líneas de entrada de circuito sumador medios que conectan uno de dichos grupos de líneas de señal de salida como un grupo de líneas de señal de entrada a dicha unidad sumadora de primera etapa, y el otro de dichos

10  
15  
20  
25  
30

**344566**

grupos de líneas de señal de salida como entradas a dicho registro de enganche, estando los otros dos grupos de líneas de señal de entrada a dicha unidad sumadora de primera etapa conectados a dichos dos grupos de líneas de señal de salida procedentes de la última etapa sumadora de dicho árbol sumador, recibiendo como entradas dichos dispositivos de enganche de sumadora de paso discriminado de dicha segunda etapa de sumadora de circuito los dos grupos de líneas de señal de salida desde dicho enganche de sumadora de paso discriminado de dicha primera etapa y el grupo de líneas de señal de salida desde dicho registro de enganche de paso discriminado.

6ª.-Un aparato según la reivindicación 5 en que unas predeterminadas de dichas etapas sumadoras de dicho árbol sumador incluyen además: registros de enganche de paso discriminado, que cada uno responde a dichos medios de sincronización y un grupo de líneas de señal de entrada no incluidas en un conjunto de tres grupos de líneas de señal de entrada a una de dichas unidades sumadoras en dicha etapa predeterminada, operante para dar paso discriminado a un nuevo grupo de señales de entrada a dicho registro de enganche de paso discriminado para producir con ello otro grupo de señales de salida enganchadas, estando compuestas dichas unidades sumadoras de dicha etapa de árbol sumador predeterminada de dispositivos de enganche de sumadora de paso discriminado conectados y que responden a dichos medios de sincronización, operantes para dar paso a un nuevo conjunto de tres grupos de entradas al dispositivo para proporcionar con ello los dos grupos siguientes de señales de salida en respuesta a grupos de señales de entrada aplicados sucesiva-



mente.

7<sup>a</sup>.- Un aparato según la reivindicación 6 en que dicho dispositivo incluye además: medios de selección de operando, conectados y que responden a dichos medios de sincronización y a señales de selección de operandos, operantes para seleccionar y transmitir simultáneamente a dicha pluralidad de medios de entrada de operandos una pluralidad de operandos a ser sumados, incluyendo dichos medios de selección de operandos dispositivos de enganche de paso discriminado operantes para ser sucesivamente ajustados con un número predeterminado de señales de selección de operandos, con lo que un número predeterminado de pluralidades sucesivas de operandos son transmitidas a dicha pluralidad de medios de entrada de operandos, y en que cada uno de dichos medios de entrada de operandos está compuesto de dispositivos de enganche de paso discriminado para cada posición de bitio binario, conectado a dichos medios de sincronización y a dichos medios de selección de operandos, operante para dar paso discriminado periódicamente a señales de entrada aplicadas sucesivamente al dispositivo a ser enganchado y proporcionar con ello un grupo de señales de salida de operandos a un grupo correspondiente de líneas de señal de entrada a la primera etapa sumadora de dicho árbol sumador.

8<sup>a</sup>.- Un aparato según la reivindicación 7 en que dichos medios de sincronización incluyen: medios de generación de puerta de paso discriminado para producir  $x$  impulsos de discriminación en que el producto de  $x$  por el número de medios de entrada de operandos es igual al número total de operandos a ser sumados, siendo conectados dichos impulsos de discriminación a dichos medios de selección de ope-



randos, operantes para dar paso discriminado a  $x$  conjuntos sucesivos de señales de selección a dichos dispositivos de enganche de paso discriminado; medios de línea de retardo conectados a dichos medios de generación de puerta de paso discriminado operantes para producir impulsos de sincronización, por orden, para cada uno de dichos  $x$  impulsos de discriminación; y medios que conectan dichos impulsos de sincronización, por orden, a dichos medios de entrada de operandos, a dichas etapas predeterminadas de dicho árbol sumador, a dicha primera etapa sumadora de dicho circuito sumador, y a dicha segunda etapa sumadora de dicho circuito sumador.

9<sup>a</sup>.- Un aparato según la reivindicación 8, en que: salidas sucesivas desde dicha segunda etapa sumadora de dicho circuito sumador tienen lugar a intervalos predeterminados, siendo dichos intervalos sustancialmente iguales a los retardos lógico y de circuito que experimentan las señales que se propagan desde la entrada a la salida de dicho circuito sumador, en que los retardos lógico y de circuito experimentados por las señales entre las entradas a enganches de sumadora de paso discriminado o enganches de paso discriminado eficaces sucesivamente, son sustancialmente iguales a dicho intervalo predeterminado, y en que el intervalo entre dichos impulsos de discriminación es sustancialmente igual a dicho intervalo predeterminado.

10<sup>a</sup>.- Un aparato para sumar una pluralidad de operandos de bits binarios plurales.

Tal y como se ha descrito en la Memoria que antecede representado en los dibujos que se acompañan y para los fines que se han especificado.

**344566**

29



Esta Memoria consta de cuarenta y cinco hojas escritas a máquina por una sola cara.

29 AGO. 1967

Madrid,

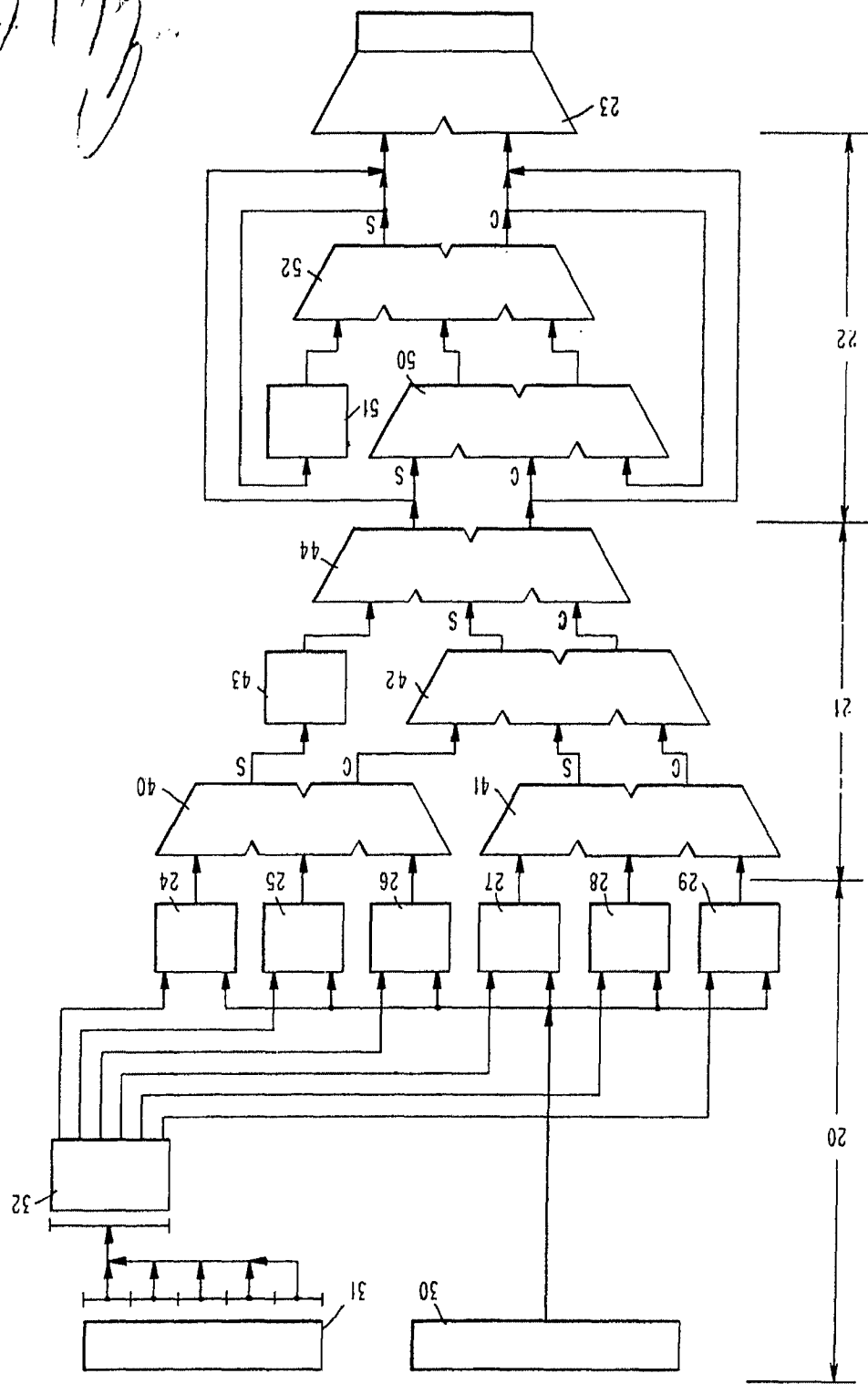
P.A.

Alberto de Elizalde  
Por Poderes

344566

25.8.67  
MTR.

3773



344566

FIG. 1

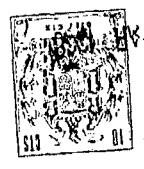
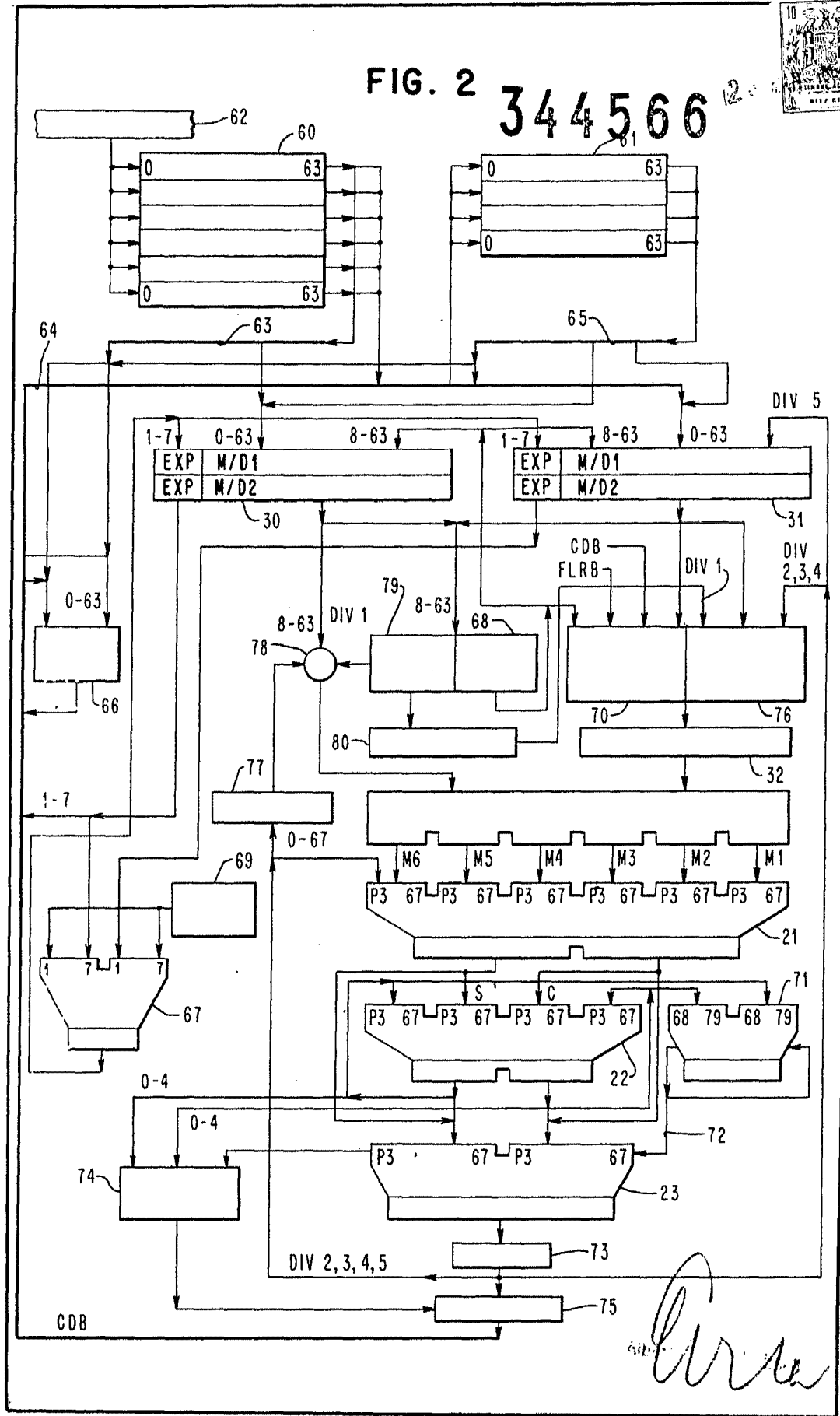


FIG. 2 344566



344566



FIG. 4

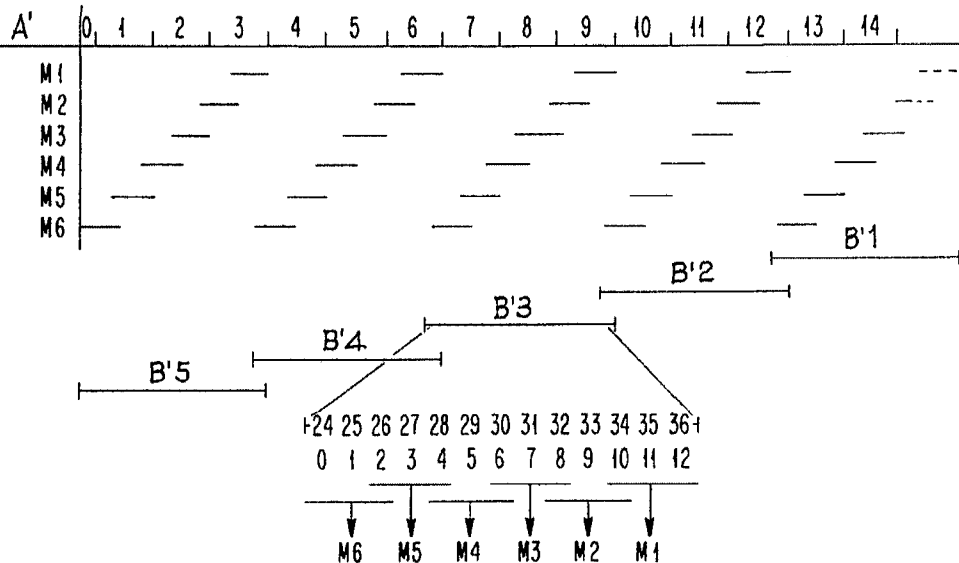


FIG. 3

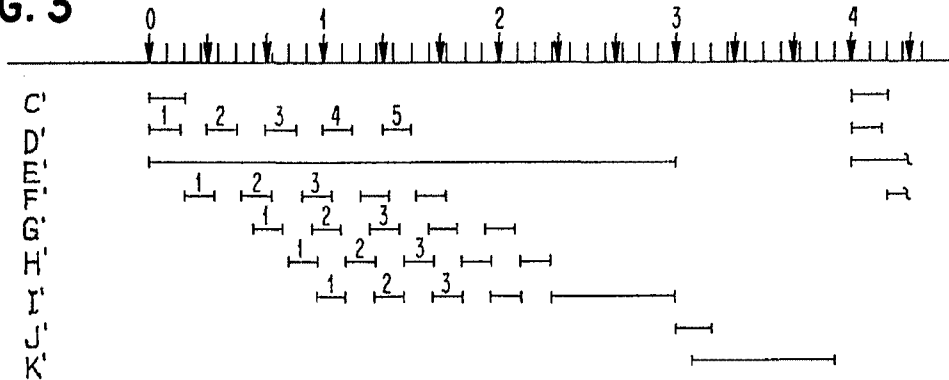


FIG. 5

M6			M4			M2		
N	N+1	N+2	N	N+1	N+2	N	N+1	N+2
0	1	2	4	5	6	8	9	10
		N	N+1	N+2	N	N+1	N+2	N
			M5		M3			M1
				M'				N'
N	N+1	N+2	N	N+1		RT.SH.6		RT.SH.7
0	0	0	0	0				V'
0	0	1	0	+1				V'
0	1	0	0	+1				
0	1	1	+1	0		V'		
1	0	0	-1	0		X'		
1	0	1	0	-1				X'
1	1	0	0	-1				X'
1	1	1	0	0				

*Handwritten signature or initials.*

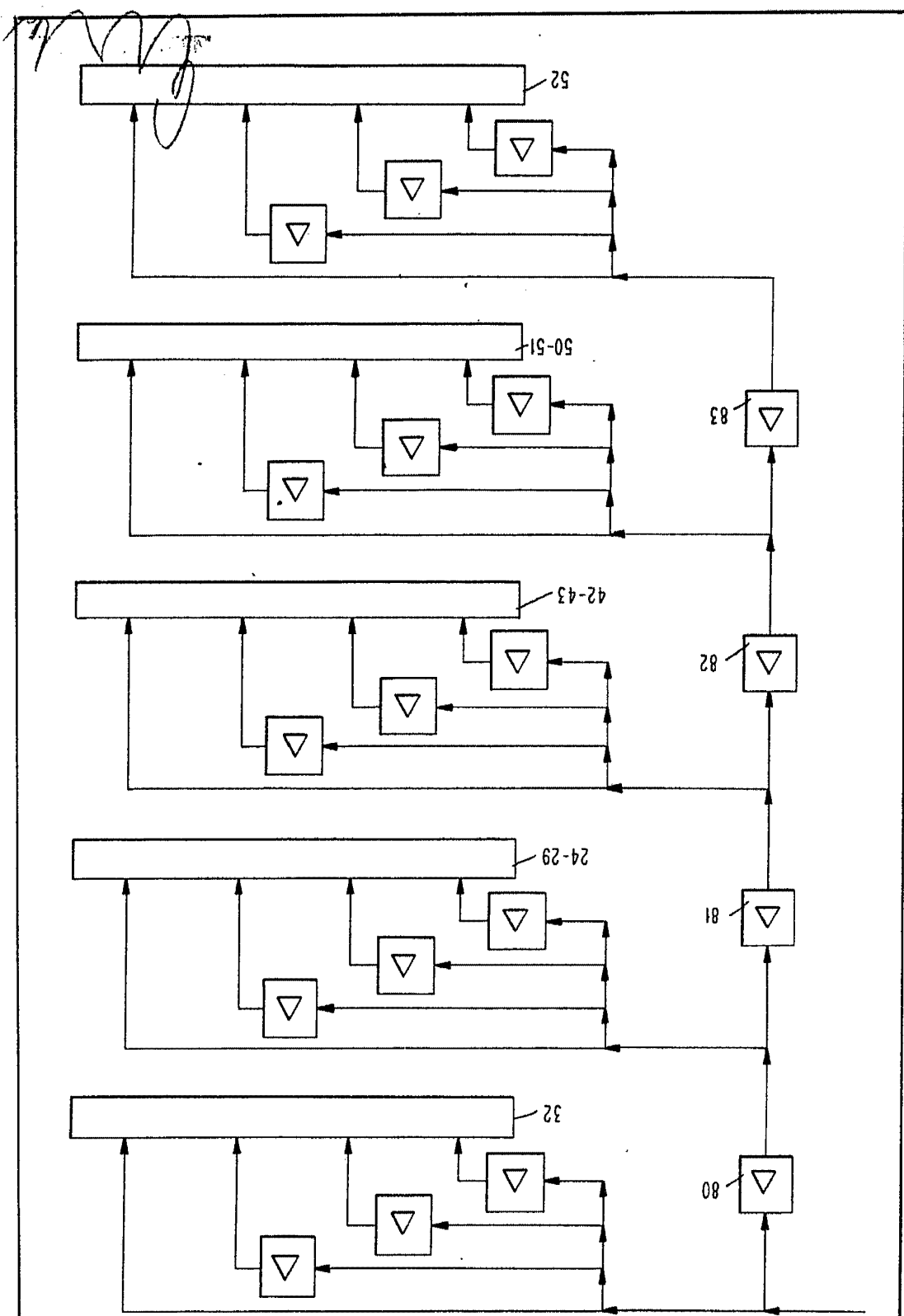


FIG. 6

344566



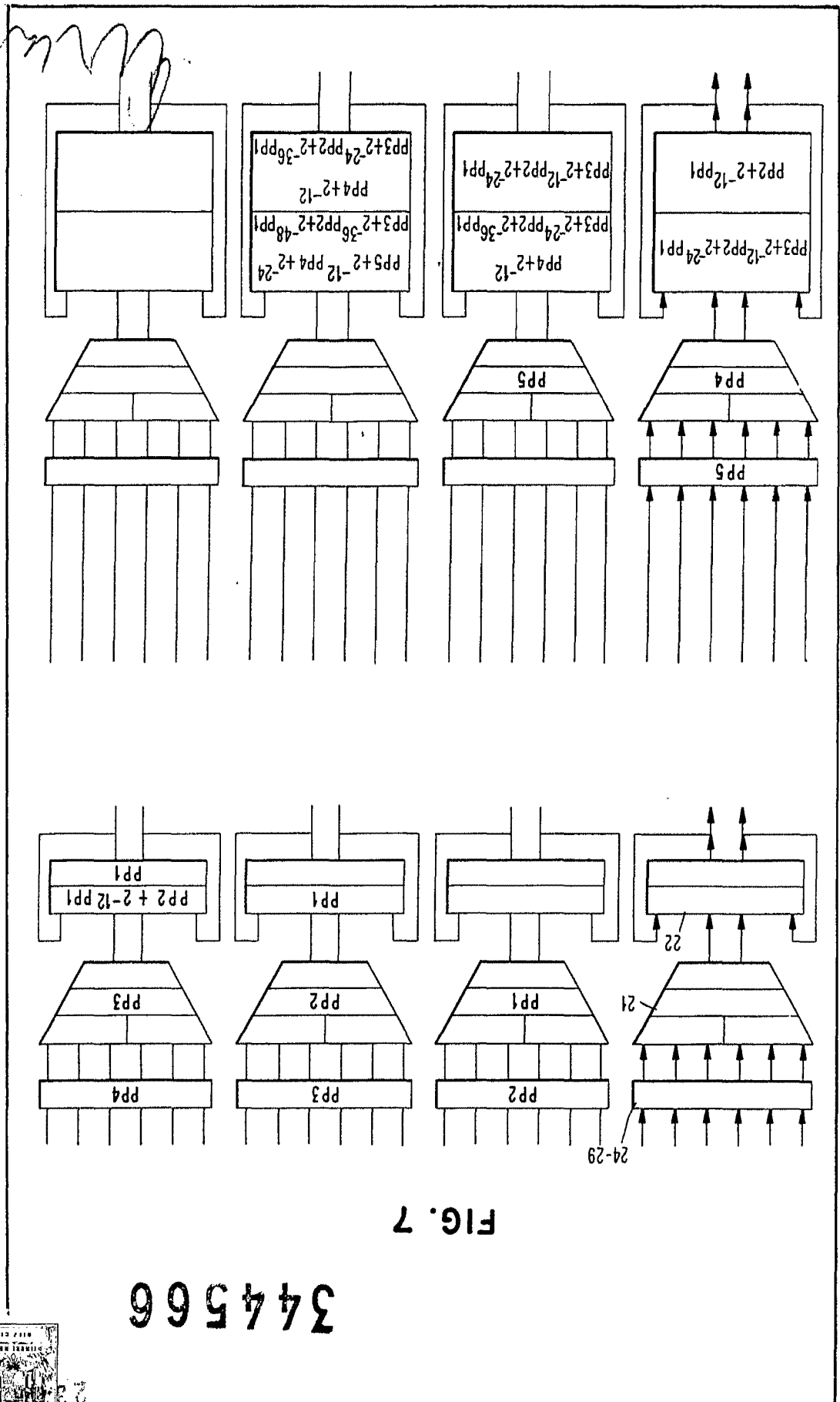


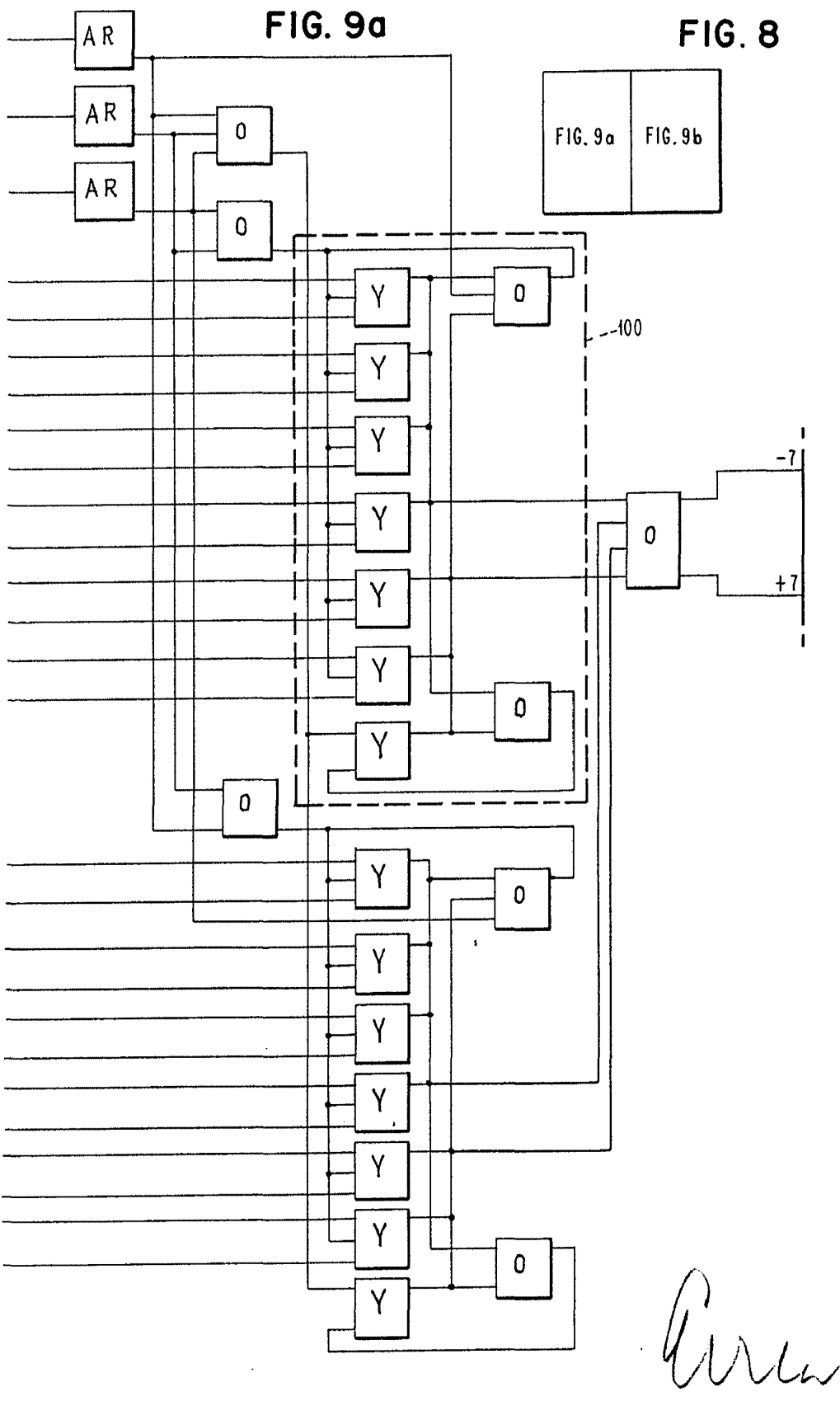
FIG. 7

344566





# 344566



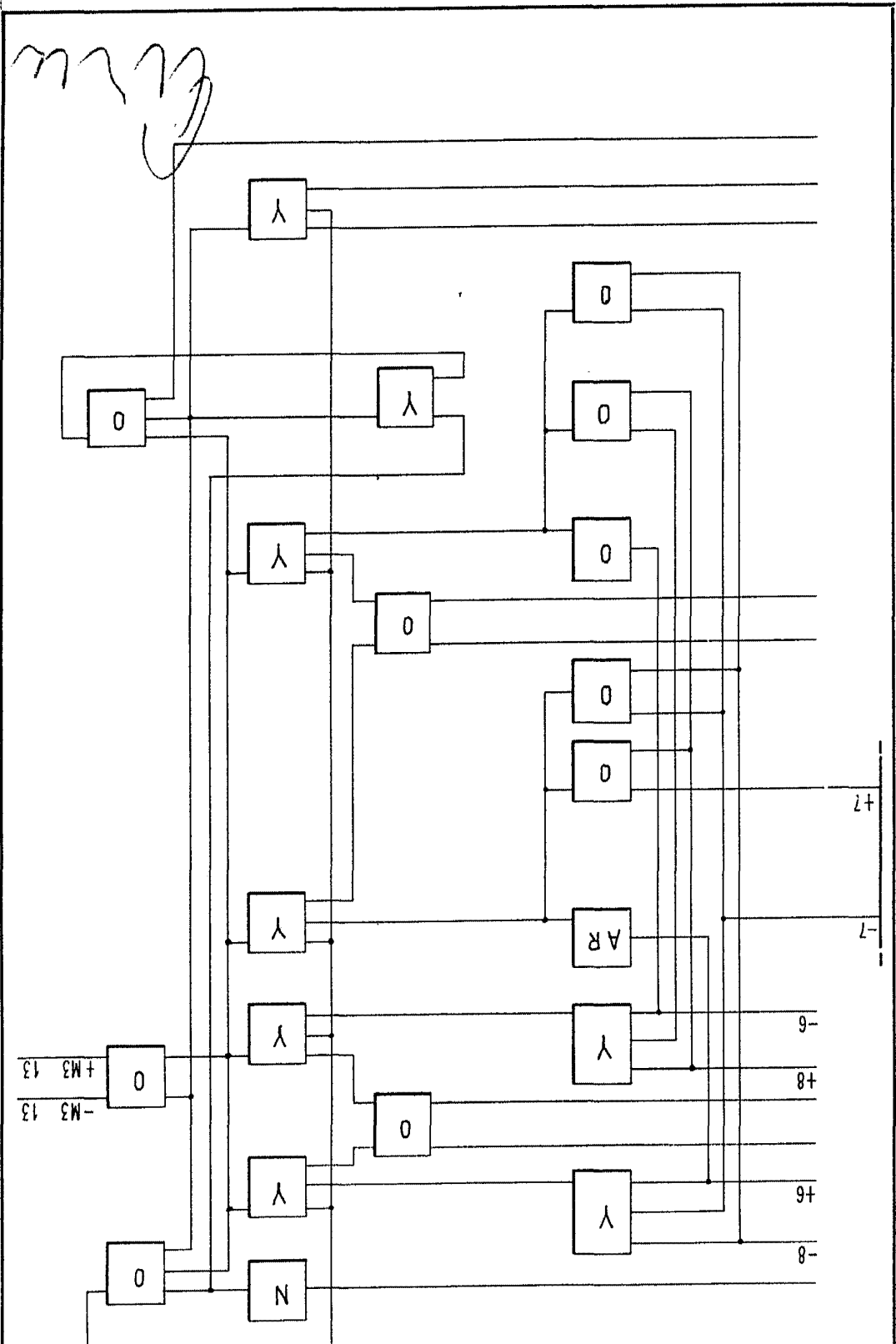


FIG. 9b

347566





# FIG. 11a 344566

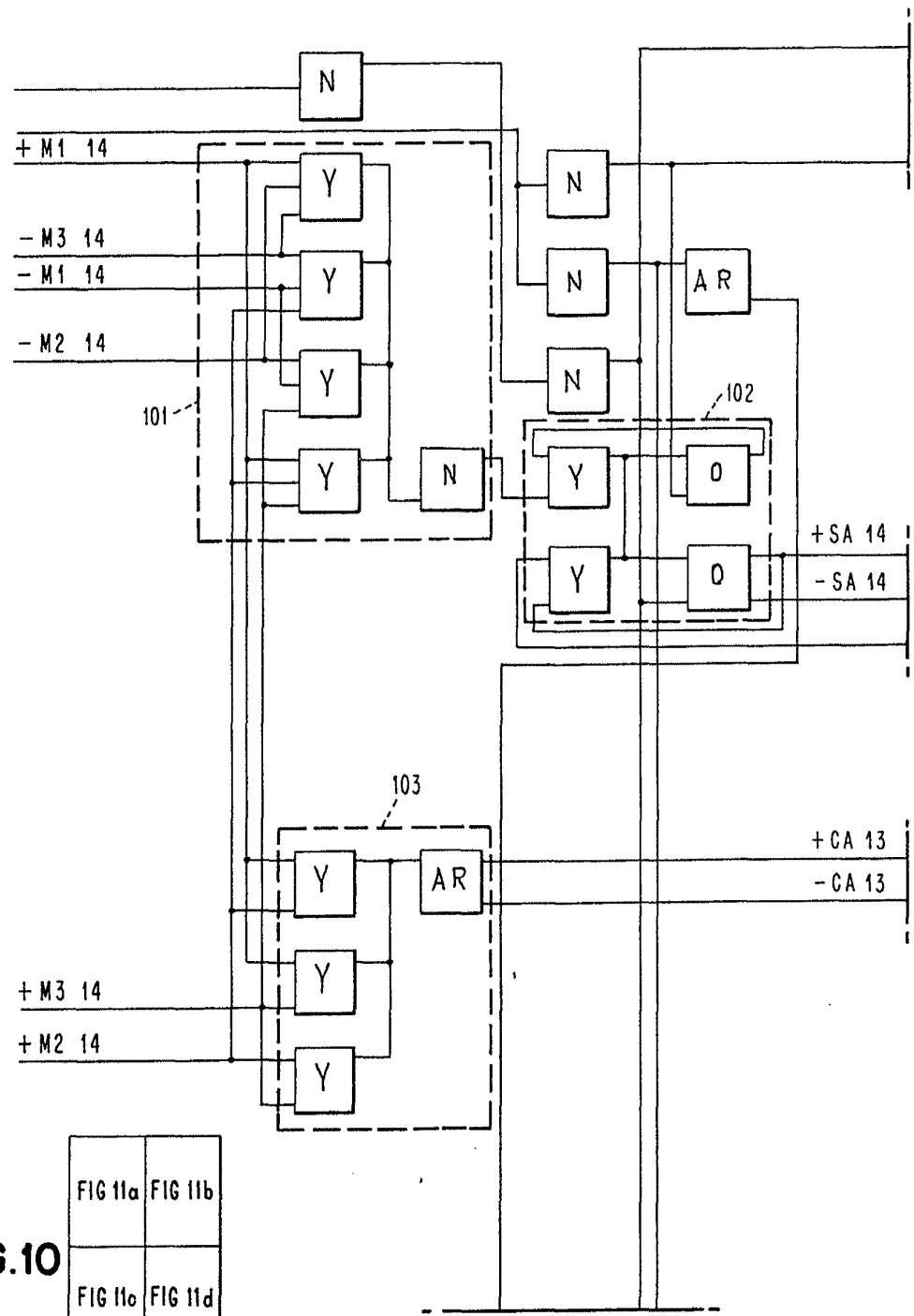


FIG. 10

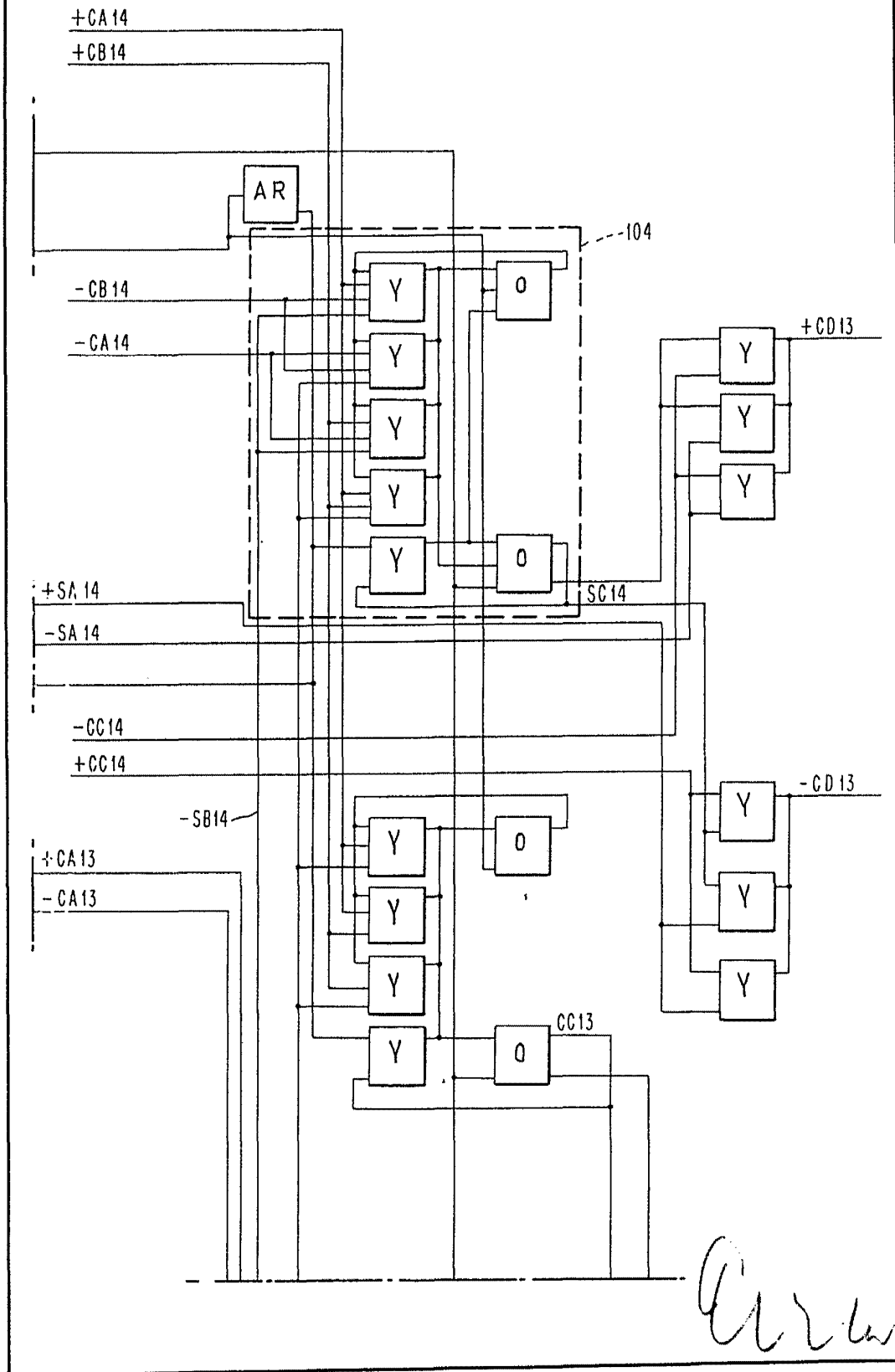
FIG 11a	FIG 11b
FIG 11c	FIG 11d

*Arter*



344566

FIG. 11b

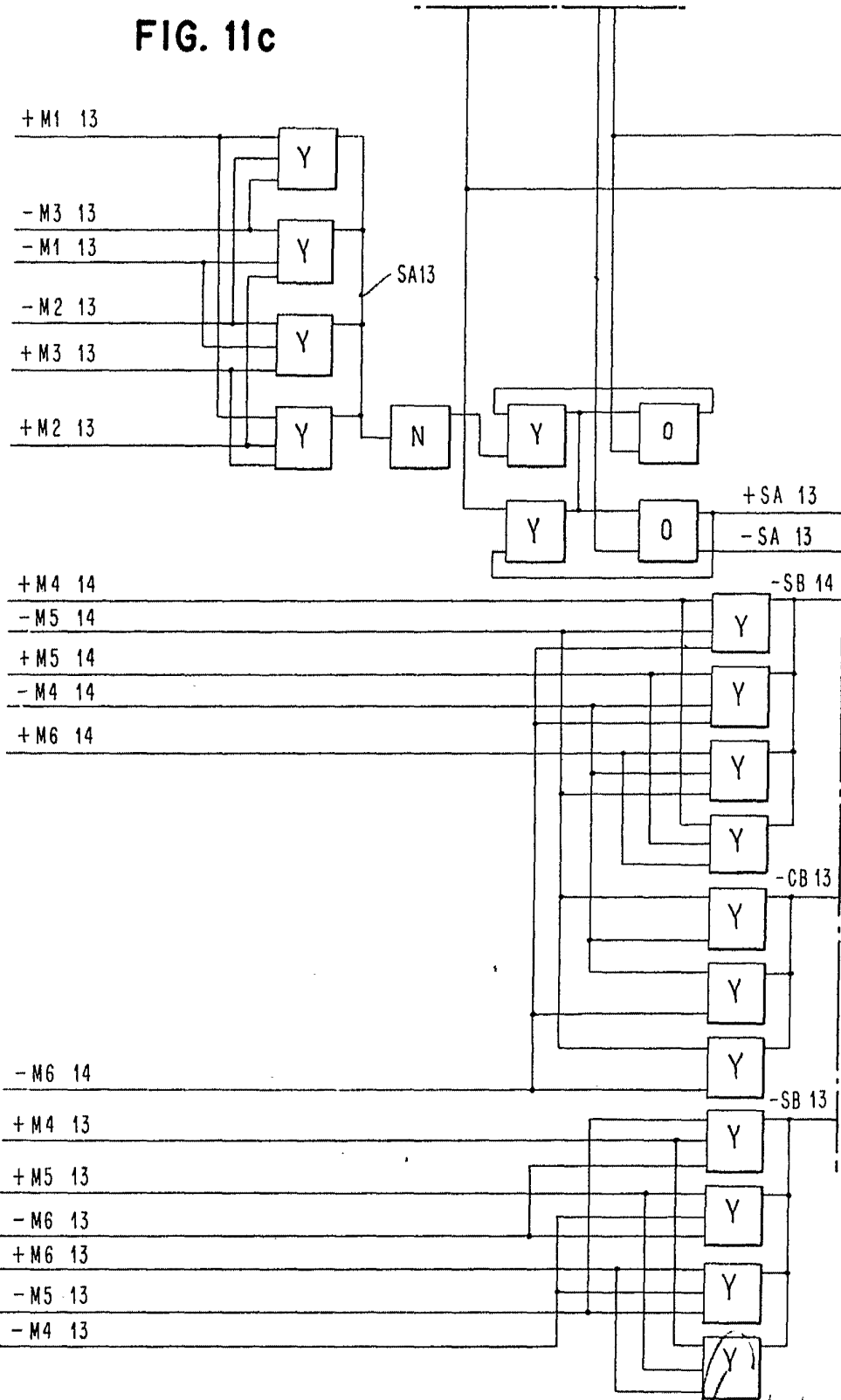


123



# 344566

## FIG. 11c



*Handwritten signature or initials at the bottom right of the diagram.*



344566

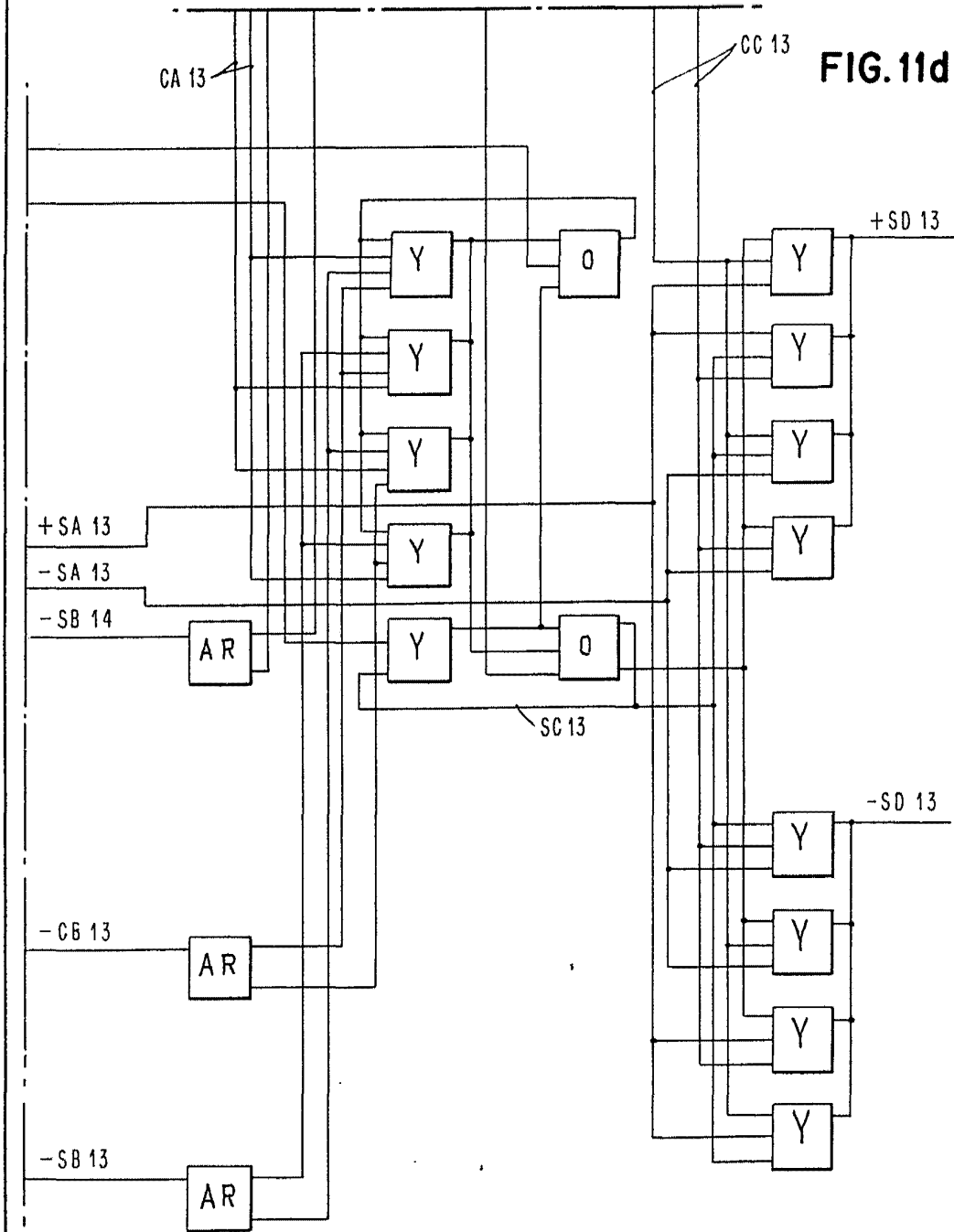


FIG. 11d

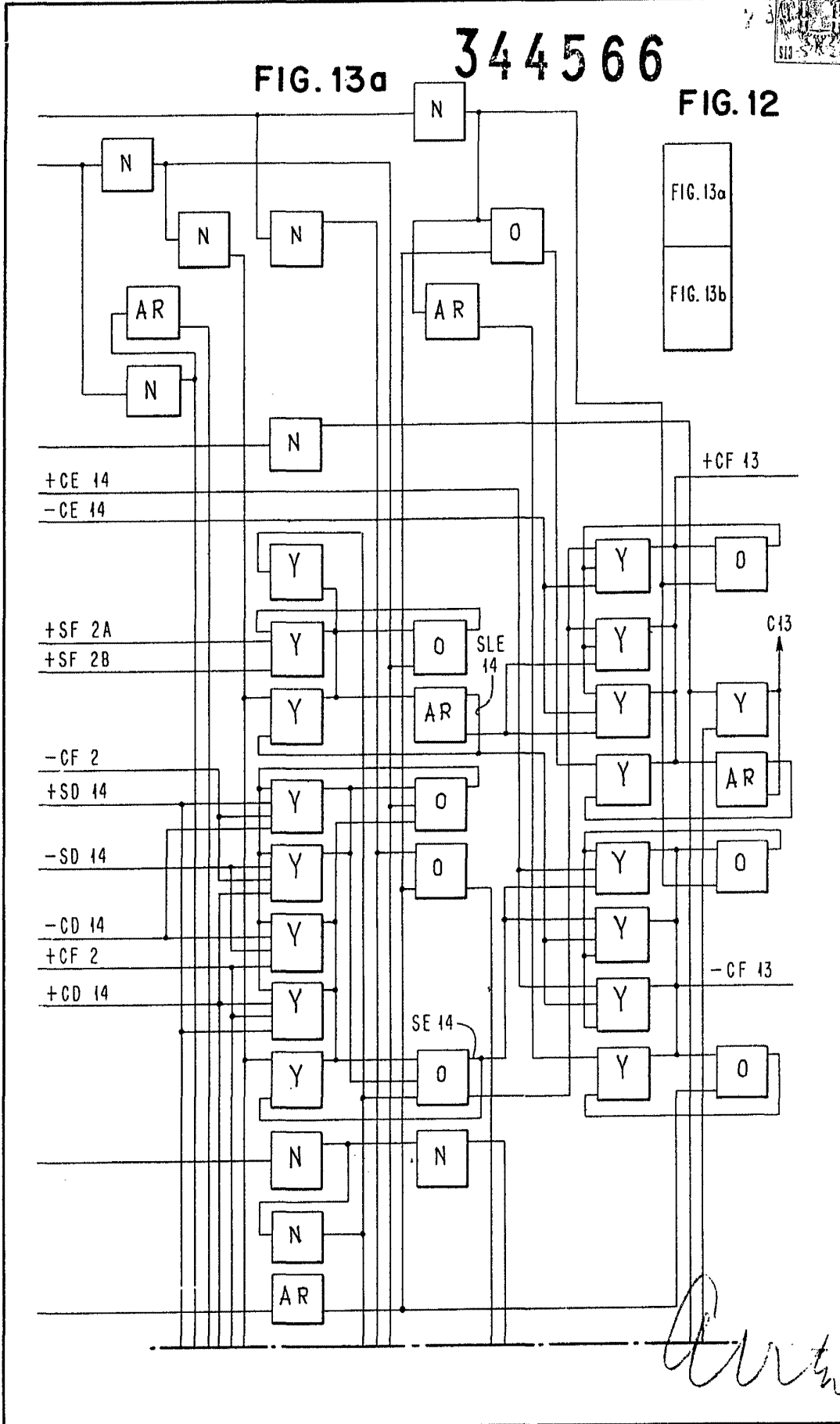
*Ar 6*



344566

FIG. 13a

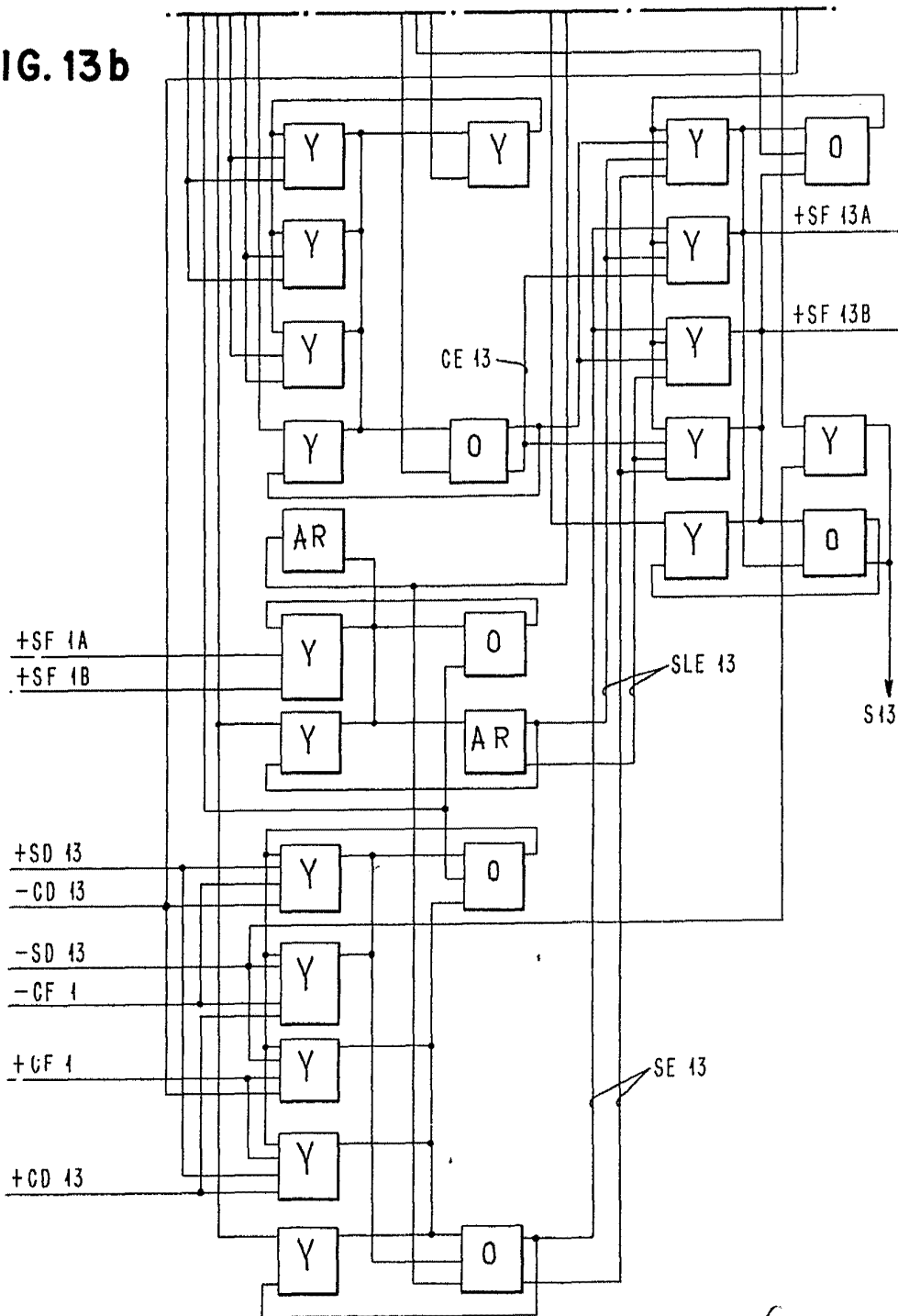
FIG. 12





344566

FIG. 13b



*Handwritten signature or initials.*