



R.G. Sommerud-C.F. Holmboe-J.F. DeLorme 2-2-2

344264

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION  
EN ESPAÑA POR: "SISTEMA OSCILADOR CONTROLADO EN FASE" A  
NOMBRE DE STANDARD ELECTRICA, S.A. CON DOMICILIO EN MA-  
DRID, CALLE DE RAMIREZ DE PRADO N<sup>o</sup>. 5

-----  
Este invento se refiere a los sistemas osciladores controlados en fase y más particularmente a los Sistemas osciladores controlados en fase que mantienen sustancialmente la misma fase cuando se interrumpe la señal de referencia.

5           Bucles osciladores controlados en fase son conocidos en la técnica y se utilizan en muchos sistemas de control, sistemas de navegación, sistemas de comunicación y sistemas semejantes. En estos sistemas se presenta un serio problema cuando la señal de referencia a la que se sincroniza el bucle oscilador se interrumpe por una  
10 razón cualquiera. De hecho, la señal de referencia se interrumpe deliberadamente durante cortos períodos de tiempo en muchos sistemas.

Un método para mantener sustancialmente la fase fija durante estos períodos de interrupción consiste en colocar un integrador a la salida del detector de fase o a la entrada del osci-  
15

./..



lador controlado en voltaje para mantener la última señal de error  
previa durante estas interrupciones. Un inconveniente de este método  
es que los integradores deben tener una constante de tiempo  
relativamente grande para mantener un error de fase pequeño duran-  
te las interrupciones. La constante de tiempo grande disminuirá tam-  
bién la anchura de banda efectiva del bucle de realimentación del  
oscilador controlado en voltaje. Una constante de tiempo pequeña  
por otra parte, aumenta el margen de captura y agilidad de frecuen-  
cia de los osciladores de voltaje controlado. Durante una interrup-  
ción, con una constante de tiempo pequeña, la señal del integrador  
disminuirá causando un cambio en el voltaje de error llevado al os-  
cilador de voltaje controlado y por lo tanto una posible pérdida de  
sincronismo de fase.

Otro sistema para mantener sustancialmente la igualdad  
de fase durante las interrupciones de la señal de referencia se ha  
ilustrado en la patente U. S. n.º. 3.059.987 de R.M. Jaffe. En este  
sistema una pluralidad de señales relacionadas armónicamente son  
generadas con unas separaciones de frecuencia predeterminadas. Es-  
tas señales se aplican al detector de fase del bucle de fase fija  
en vez de la señal de referencia cuando la señal de referencia es-  
tá desconectada del sistema. El sistema se sincronizará entonces  
a la frecuencia armónica particular que está más próxima a la  
frecuencia de referencia cuando se desconectó. Se reconoce que el  
error en la relación de fase en este sistema depende en parte de  
la separación de frecuencia entre las señales generadas por el ge-  
nerador de armónicos. Para reducir este error máximo se deben ge-  
nerar señales tan juntas como sea posible en el dominio de la fre-  
cuencia lo que presenta un serio problema de diseño del bucle con-  
trolado en fase con las características de selectividad adecuadas.

344264

3.



45 Por lo tanto, el objeto principal de este invento es el de proporcionar un sistema oscilador de fase fija mejorado que mantenga sustancialmente la fase fija durante las interrupciones de la señal de la frecuencia de referencia.

De acuerdo con este invento, un sistema oscilador de fase fija comprende un detector de fase, un generador de señal de frecuencia de referencia acoplado a dicho detector de fase, un oscilador controlado en voltaje acoplado a dicho detector de fase y primeros medios que acoplan la salida de dicho detector de fase a dicho oscilador de voltaje controlado para controlar su frecuencia. Además se proporcionan medios acoplados a dicho detector de fase y dicho oscilador de voltaje controlado para generar una réplica sustancial de la señal de salida de dicho detector de fase para mantener sustancialmente la fase cuando se interrumpa dicha señal de referencia.

60 Los antes mencionados y otros objetos y características de este invento quedarán más claros con relación a la siguiente descripción dada de acuerdo con los dibujos que se acompañan en los que:

La figura 1 es un diagrama de bloque de una realización preferida de este invento.

La figura 2 es una ilustración de las formas de onda significativas tomadas en varios puntos del diagrama de bloque de la figura 1;

70 La figura 3 es un diagrama de bloque más detallado de realizaciones preferidas de circuitos lógicos de arranque-para, el divisor de frecuencia, el generador de ciclo variable y el sector de ciclo variable que se han ilustrado generalmente en forma de bloque en la figura 1 y

La figura 4 es una ilustración de las formas de onda que aparecen en distintos puntos del diagrama de bloque de la figura 3.

Las aproximaciones tomadas en el sistema oscilador de

./..



fase fija de acuerdo con este invento, consiste en "recordar" la salida del detector de fase y generar una réplica sustancial de ella. Esta réplica se lleva entonces al oscilador de voltaje controlado a través de un filtro paso bajo en vez de dicha salida de detector de fase cuando la señal de referencia se interrumpe para mantener sustancialmente la frecuencia del oscilador.

Refiriéndonos ahora a la figura 1, se acopla un oscilador de voltaje controlado 1 a una entrada del detector de fase 2, estando acoplado un generador de señal de referencia 3 a la otra entrada del detector de fase. El generador de señal de referencia e está también acoplado a un detector de interrupción 9.

La salida del detector de fase 2 se acopla a una entrada de una puerta AND 6, cuya otra entrada está coplada a una salida del detector de interrupción 9. La salida de la puerta AND 6 acopla a una entrada de la puerta OR 7, estando acoplada la salida de la puerta OR 7 al oscilador de voltaje controlado a través de un filtro paso bajo 4.

La salida del detector de fase 2 se acopla además a una entrada del circuito lógico de arranque-parada 11. Un diagrama de bloque detallado de una realización particular del circuito lógico de arranque parada 11 aparece en la figura 3. También acoplado al circuito lógico de arranque-parada 11 hay un generador de señales de tiempo 12, un generador de señal de frecuencia de reloj 18 y un generador de señal de reposición 19. La señal de reposición 19 está además acoplada al contador 10. Acoplada a la salida del circuito lógico de arranque-parada 11 hay un contador 10, estando acopladas las salidas del contador 10 al selector de ciclo variable 13. También acoplado al ciclo variable 13 hay un generador de ciclo variable 14. Acoplado a la entrada del generador de ciclo

344264 5.



110 variable 14 están las salidas del divisor de frecuencia 15 que es alimentado por un generador de señal de frecuencia de reloj 17. Debe señalarse que los generadores de reloj 17 y 18 pueden combinarse como un solo generador, pero aquí se han representado como dos generadores separados a título de ilustración. Los diagramas de bloque detallados del selector de ciclo variable 13, del generador de ciclo variable 14 y del divisor 15 se han representado en la figura 3.

115 Acoplado a las entradas de la puerta AND 5 están la salida del selector de ciclo variable 13 y una salida del detector de interrupción 9. Nótese que en esta realización, las dos salidas del detector de interrupción 9 están invertidas entre sí. La salida de la puerta AND 5 está coplada a la otra entrada de la puerta OR 7. Dependiendo de si la señal de referencia está interrumpida o no, la  
120 puerta OR 7 alimentará la salida del detector de fase 2 o la salida del selector de ciclo variable 13 a través de una de las puertas AND 6 y 5, respectivamente, al oscilador de voltaje controlado 1 a través del filtro paso bajo 4.

125 A fines de explicación se supondrá un sistema digital en el que las salidas del oscilador de voltaje controlado 1 (figura 2A), el generador de señal de referencia 3 (figura 2B), el generador de señal de reloj 17 (figura 2F), y el generador de señales de tiempo (figura 2E) se supone que son todas ellas señales digitales. También y para la explicación, el detector de fase 2 únicamente  
130 comprende un multivibrador biestable que es accionado por las salidas del oscilador de voltaje controlado 1 y el generador de señal de referencia 3. Por lo tanto como se ha ilustrado en la figura 2C, la salida del detector de fase 2 es una señal digital cuyo tiempo "on" está determinado por la diferencia de fase (o tiempo)  $\phi$  entre  
135 los bordes anteriores de la salida del oscilador 1 y de la señal de referencia. La señal de salida del detector de fase 2, ilustrada

344264

6.



en la figura 2C se referirá por lo tanto como señal de error.

Refiriéndonos a las figuras 1 y 2 el funcionamiento básico de un sistema digital de acuerdo con el invento será descrito a continuación. Las señales de salida del oscilador de voltaje controlado 1 y el generador de señal de referencia 3, ilustrado en las figuras 2A y B, respectivamente, se supone que están defasadas una cantidad  $\phi$  como se ha representado en la figura 2. Suponiendo que el detector de fase 2 es un multivibrador biestable, el borde anterior 20 de la salida del oscilador dispara el detector de fase. El borde anterior de la señal de referencia 21 dispara subsecuentemente el detector de fase desconectándolo. Esta forma de onda que aparece en la salida del detector de fase 2 se ha ilustrado en la figura 2c. Puesto que la señal de referencia está presente durante este tiempo la salida del detector de interrupción 9 que alimenta la puerta AND 5 es "0". La salida invertida del detector de interrupción 9 es "1" y se aplica a una entrada de la puerta AND 6, haciendo posible por lo tanto la puerta AND 6. La salida del detector de fase que está aplicada a la otra entrada de la puerta AND 6 da así la forma de onda representada en la figura 2C al filtro paso bajo 4, que da un voltaje de control al oscilador 1. Este voltaje de control que aparece en la entrada del oscilador 1 está en forma de voltaje continuo en ese punto. Una descripción detallada de la parte de bucle de fase fija standard del sistema representado en la figura 1 no ha sido considerada necesaria para un comprendimiento de este invento puesto que estos bucles de fase fija son bien conocidos en la técnica y están totalmente descritos en la literatura que trata de ellos.

La salida del detector de fase se aplica también a un circuito lógico de arranque-parada 11 que deja pasar los impulsos de reloj del generador 18 al contador 10. En esta realización par-

./..

344264 7.



170 ticular, el paso de los impulsos de reloj tendrá lugar únicamente después de que una señal de tiempo que comprende un impulso 22 (véase la figura 2E) haya sido recibida. Antes de que se reciba la señal de tiempo 22 se genera un impulso de reposición en la línea 16 por medio del generador de reposición 19 que repone el contador 10 y el circuito lógico de arranque-parada a sus posiciones iniciales. Después de la recepción de la señal de tiempo 22 el circuito lógico de arranque-parada 11 queda permitido y con la aparición de una entrada "1" del detector de fase se deja pasar los impulsos de reloj a través de él como se ha representado en la figura 2G. El 175 circuito lógico de arranque-parada 11 se ha representado con más detalle en la figura 3 y en la discusión de la figura se dará una descripción más detallada de él. El contador 10 cuenta el número de impulsos de reloj que pasan a su entrada, (véase la figura 2G) 180 y su estado final indica el número de impulsos de reloj recibidos. Las señales de salida del contador 10 son indicativas por lo tanto del estado final del contador 10. En el instante siguiente, se reciben una señal de reposición y una señal de tiempo, es decir, el impulso de tiempo 23 de la figura 2E repitiéndose la misma secuencia de eventos para actualizar las salidas del contador 10 en caso de que haya cualquier cambio en la señal de frecuencia de referencia. La señal de reposición no se ha representado en las figuras puesto que es obvio que tiene que ocurrir antes de la señal de tiempo 190 y su forma particular depende de los circuitos particulares utilizados en el sistema. Nótese que el número de impulsos de reloj que se ha dejado pasar a través del circuito de arranque-parada 11 al contador 10 es proporcional a la diferencia de fase entre la salida del oscilador y la señal de referencia. Se señala que los contadores como el contador 10 son conocidos en la técnica y pueden ser diseñados dentro del espíritu del invento por una persona familiarizada



344264

8.

normalmente con la técnica.

El reloj 17 envía impulsos al divisor de frecuencia 15 cuyas salidas están aplicadas al generador de ciclo variable. 14. 200 En el generador de ciclo variable 14, se generan una pluralidad de señales que tienen ciclos diferentes y se envían al selector de ciclo variable 13. El paso final del contador 10 es interpretado por el selector de ciclo variable 13 y la forma de onda de ciclo apropiado generada por el generador de ciclo variable 14 se deja pasar a 205 la entrada de la puerta AND 5 es "0" se inhibe la puerta AND y la salida del selector de ciclo variable 13 es inefectiva. Un diagrama de bloque más detallado del generador de ciclo variable 14, del divisor de frecuencia 15 y del selector de ciclo variable 13 se ha representado en la figura 3 y una descripción más detallada de estos 210 elementos se dará en la discusión de esa figura.

Cuando la señal de referencia está interrumpida, por ejemplo en  $t = t_1$ , como se ha representado en la figura 2B, la salida 8 del detector de interrupción 9 se irá al nivel "1" como se ha representado en la figura 2D. Esto rompe el bucle de fase fija normal, por inhibición de la puerta AND 6 y cierra el circuito que 215 comprende el selector de ciclo variable 13 permitiendo la puerta AND 5. Por lo tanto la señal de error que llega al oscilador 1 ya no se desarrolla a través del detector de fase 2, sino que se desarrolla ahora a través del selector de ciclo variable 13 y está acoplada al oscilador 1 a través de la puerta AND 5 y la puerta OR 7. 220 Esto es porque la salida del contador 10 cuando tiene lugar la última puesta a punto del ciclo después de la recepción de la señal de tiempo 23 era proporcional al tiempo "on" de la señal de error producida por el detector de fase 2. Puesto que se conoce la frecuencia básica de la señal de error, el tiempo "on" de la señal de error 225 es también proporcional a su ciclo de trabajo. Las salidas 61-65 del

./..

344264 9.



230 contador 10 se aplican a un selector de ciclo de trabajo variable 13 para permitirle seleccionar la señal generada por el generador de ciclo variable 14 que tiene el ciclo más próximo al de la señal de error (véase figuras 2H y 2J). El oscilador 1 permanecerá ahora sustancialmente fijado a la frecuencia generada por el generador de referencia 3 en el momento en que la salida del contador fué actualizada. Cuando reaparece la señal de referencia, el voltaje de error se dirigirá del selector de ciclo de trabajo 13 al detector de fase 2 para que el oscilador 1 pueda fijarse a la señal de referencia.

240 Se reconoce que hay algún error en este sistema, dependiendo este error de cuantas señales de ciclo de trabajo diferentes se generen en el generador de ciclo variable 14. Obviamente, cuantas más señales de ciclo de trabajo diferentes se generen, mayor será la precisión del sistema puesto que se tiene un mayor número de señales entre las que elegir la señal con el ciclo de trabajo más próximo a la salida del detector de fase 2. También se reconoce que la precisión del sistema puede mejorarse actualizando la información contenida en el contador 10 más a menudo. Esto puede hacerse generando señales de tiempo a intervalos más cortos para que el oscilador 1 pueda sincronizarse a la última frecuencia generada por la fuente de referencia 3X después de que se interrumpa la señal.

250 Se señala aquí que la frecuencia del generador de reloj 17 que alimenta el divisor 15 no es crítica, siendo el único parámetro crítico el ciclo de trabajo y no la frecuencia de las salidas de ciclo variable 14.

255 Refiriéndonos a las figuras 3 y 4 se da una descripción más detallada del divisor de frecuencia 15, del generador de ciclo de trabajo variable 14, del selector de ciclo variable 13 y de los circuitos lógicos de arranque parada. El divisor de frecuencia 15 es un divisor binario de tipo conocido normal que está ya descrito



con los temas que tratan de esta técnica. Por ejemplo, este divisor puede comprender multivibradores 31, 32, 33 y 34 serie acoplados como se indica en la figura 3. Solo se han representado cuatro de estos multivibradores pero se señala que pueden usarse más para aumentar la precisión del sistema. El primero de estos multivibradores 31 es alimentado con la salida del generador de reloj 17 que se ha ilustrado en la figura 4A. La base de tiempo de la forma de onda representada en la figura 4 está expandida con relación a la base de tiempo utilizada en la figura-2 para ilustrar más claramente los conceptos envueltos. Por ejemplo nótese que la figura 2F y la figura 4A representan la misma forma de onda en diferentes bases de tiempo. Las salidas W, X, Y y Z de los multivibradores 31, 34, respectivamente, están representados en las figuras 4B, 4C, 4D y 4E respectivamente. Estas salidas de frecuencia diferentes se combinan en el generador de ciclo variable 14 que comprende, por ejemplo, puertas AND 35-38 que están acopladas a la salida del divisor 15. De nuevo, solamente se han representado cuatro puertas para los fines de la ilustración. Pueden utilizarse muchas más para dar más señales que tengan ciclos de trabajo diferentes. Las varias salidas del divisor de frecuencia 15 se combinan en estas puertas 35-38 para producir señales de ciclo variable como las representadas en las figuras 4G y 4H, que aparecen en las salidas K, L y M respectivamente, del generador de ciclo variable 14. Cada una de estas señales de salida, se ve, tiene un ciclo de trabajo diferente. Se reconoce que pueden utilizarse muchas otras técnicas de decodificación o combinación para hacer un generador de ciclo de trabajo variable y que la realización muy simplificada representada en la figura 3 se ha dado únicamente a título de ejemplo para ilustrar de forma sencilla los conceptos



344264

11.

envueltos. Las salidas K, L, M y N del generador 14 se aplican entonces al selector de ciclo variable 13 que comprende, por ejemplo, puertas AND 41-44 acopladas a una puerta OR 45.

290 En este momento es oportuno dar una breve descripción de una realización particular del circuito lógico de arranque-para-da 11 y del selector de ciclo variable 13, ilustrado con detalle en la figura 3. El circuito lógico de arranque parada 11 comprende una puerta AND 52 a la que están acopladas las salidas del detector de fase 2 y un generador de reloj 18. El generador de señales de tiempo 12 está acoplado a una entrada del multivibrador 51, cuya salida está acoplada a otra entrada de la puerta AND 52. Un genera-  
295 dor de señal de reposición 19 está acoplado a la otra entrada del multivibrador 51 para reponerlo después de que se ha actualizado el contador.

300 Cuando se aplica una señal de tiempo (impulso 22 de la figura 2E, por ejemplo) al multivibrador 51, la salida del cual está acoplada a una puerta AND 52 se hace una señal lógica "1",  
305 permitiendo por lo tanto la puerta AND 52. Al recibir un impulso del detector de fase 2, como el impulso 24 representado en las figuras 2C, la puerta AND 52 es también permitida de forma que los impulsos del generador de reloj 18 que están representados general-  
310 mente en la figura 2F pueden pasar al contador 10. Estos impulsos de reloj que han pasado (representados en la figura 2G) pasan al contador 10 únicamente durante el tiempo que se aplica un nivel lógico "1" a la puerta AND 52 desde el detector de fase 2 después de que se ha recibido el impulso de tiempo. Por lo tanto el número de impulsos de reloj que pasan al contador 10 es proporcional a la duración del impulso positivo de la señal de error y, por lo tanto, al ciclo de trabajo de la señal de error. Así, el paso final del  
315 contador 10 es proporcional al ciclo de trabajo de la señal de error.



344264

Por la anterior secuencia de sucesos, el contador 10 tiene varias combinaciones de lógicos "1" y "0" que aparecen en sus salidas 61-65 estando la combinación particular de "1" y "0" que aparece en estas salidas relacionada con el ciclo de trabajo de la señal de error. Estas señales se aplican entonces en combinaciones predeterminadas a las puertas AND 41-44 que comprenden el selector de ciclo variable 13. Las salidas de las puertas AND 41-44 están acopladas a la puerta OR 45 para dejar pasar la salida adecuada del generador de ciclo variable 14 a través de la puerta OR 45, que a su vez aplica la señal de ciclo de trabajo seleccionada a la puerta AND 5. Cuando el detector de interrupción 9 detecta que la señal de referencia ha sido interrumpida, se abre la salida de la puerta OR 45 al filtro paso bajo a través de las puertas AND 5 y OR 7.

En el momento siguiente, se recibe una señal de tiempo, el contador 10 se repone via la fuente de reposición 19 y la salida del detector de fase cursará de nuevo que un número predeterminado de impulsos de reloj procedentes del generador 17 pasen al contador 10. Esto puede cambiar o no la cuenta anterior según que la frecuencia de referencia, y por lo tanto el ciclo de trabajo del voltaje de error hayan cambiado desde la última comprobación. De esta forma se actualiza el contador 10 de forma que el oscilador 1 se le hará que se fije a la frecuencia adecuada cuando se interrumpe la señal de referencia. Suponiendo que el voltaje de error haya cambiado desde la última comprobación, aparecerá una combinación distinta de unos y ceros en las salidas del contador 10, dejando pasar por lo tanto una salida diferente del generador de ciclo variable 14 a través de la puerta OR 45. Se señala que la realización particular del selector de ejemplo y que pueden ser realizadas otras muchas alternativas por una persona especializada en la técnica.

344264

13.



Se señala además que los circuitos lógicos de la figura 3 se han representado en forma abreviada para una fácil explicación y que pueden variarse o aumentarse dentro del espíritu de este invento por una persona familiarizada normalmente con esta técnica. En particular es claro que las puertas NAND y NOR y otros elementos lógicos pueden ser utilizados en vez de los ilustrados en las figuras,

Aunque se han descrito en lo que antecede los principios del invento en conexión con aparatos específicos, se sobrentiende claramente que esta descripción se ha dado solamente a título de ejemplo y no como una limitación del alcance del invento según se establece en las reivindicaciones que se acompañan.

Este invento corresponde a una solicitud de patente formulada en EE. UU. el 19 de Agosto de 1966 señalada con el nº Group 250/573.556 y se acoge por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

- 1.- Un sistema oscilador controlado en fase que comprende:
  - Un generador de señal de frecuencia de referencia
  - Un oscilador de voltaje controlado
  - Un detector de fase acoplado a dicho generador de señal de referencia y a dicho oscilador de voltaje controlado;
  - Primeros medios acoplados a la salida de dicho detector de fase a dicho oscilador de voltaje controlado para controlar la frecuencia de dicho oscilador; y
  - Medios acoplados a dicho detector de fase y a dicho oscilador de voltaje controlado para generar una réplica sustancial de la señal de salida de dicho detector de fase para mantener sustancial-



mente fija la fase cuando se interrumpe dicha señal de referencia.

380 2.- Un sistema oscilador controlado en fase según el punto 1 en el que dicho detector de fase dá una salida de señal digital de error que tiene un ciclo de trabajo proporcional a la diferencia de fase entre dicha señal de referencia y la salida de dicho oscilador de voltaje controlado.

385 3.- Un sistema oscilador controlado en fase de acuerdo con el punto 1 que además comprende un filtro paso bajo acoplado entre dicho oscilador de voltaje controlado y dichos primeros medios.

390 4.- Un sistema oscilador controlado en fase de acuerdo con el punto 1 en el que dichos primeros medios comprenden medios de conmutación para acoplar selectivamente dicho detector de fase y dichos medios de generación a dicho oscilador de voltaje controlado.

395 5.- Un sistema oscilador controlado en fase como el del punto 4 que además comprende un detector de interrupción acoplado a dicho generador de señal de referencia para hacer que dichos medios de conmutación acoplen la salida de dichos medios de generación a dicho oscilador de voltaje controlado en lugar de la salida de dicho detector de fase, a la interrupción de dicha señal de referencia.

400 6.- Un sistema oscilador controlado en fase como el del punto 2 en el que dichos medios generadores comprende medios para dar una señal que tiene sustancialmente el mismo ciclo de trabajo que la salida de dicho detector de fase.

405 7.- Un sistema oscilador controlado en fase según el punto 6 en el que dichos medios de generación comprenden además medios acoplados a dicho detector de fase y a dichos medios para almacenar una señal proporcional al ciclo de trabajo de la salida de dicho



344264 15.

detector de fase.

8.- Un sistema oscilador controlado en fase como el del punto 7 que además comprende una fuente de señales de reloj y en la que dichos medios para almacenar comprenden:

410 medios de puerta acoplados a dicho generador de reloj y a dicho detector de fase; y  
contadores acoplados a dichos medios de puerta para contar el número de impulsos de reloj generador de reloj durante el tiempo "on" de la señal de salida del detector de fase siendo el número  
415 de impulsos de reloj dejados pasar a dicho contador de reloj proporcional al ciclo de trabajo de la salida de dicho detector de fase.

9.- Un sistema oscilador controlado en fase como el del punto 8 en el que dichos medios de generación además comprenden:

420 Un divisor de frecuencia coplado a dicho generador de señales de reloj;  
Segundos medios de puerta acoplados a dicho divisor de frecuencia para dar una pluralidad de señales de salida, teniendo cada una de dichas señales de salida un ciclo de trabajo diferente; y  
425 terceros medios de puerta acoplados a dicho contador y a dichos segundos medios de puerta para seleccionar la señal que tiene un ciclo de trabajo que es una réplica sustancial del ciclo de trabajo de la señal de salida de dicho detector de fase.

10.- Un sistema oscilador controlado en fase según el punto 9 que además comprende

430 Un generador de señales de tiempo; y  
Medios que acoplan dicho generador de señales de tiempo a dichos medios de generación para hacer que dicha señal de reloj pase a dicho contador en momentos predeterminados.

435 11.- Un sistema oscilador controlado en fase como el del punto 2

344264



16.

en el que dichos medios de conmutación comprenden:

Una primera puerta AND acoplada a dicho detector de fase y a dicho detector de interrupción;

440 Una segunda puerta AND acoplada a dichos medios de generación y a dicho detector de interrupción; y

Una puerta OR que acopla las salidas de dichas puertas AND a dicho oscilador de voltaje controlado.

12.- Un sistema oscilador controlado en fase

445 Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de dieciseis hojas escritas por una sola cara.

Madrid,

19 AGO. 1967

*[Handwritten signature]*



REGISTRO DE PATENTES



TANDARD ELECTRICA, S. A.

344.264

344264

344.264

344264

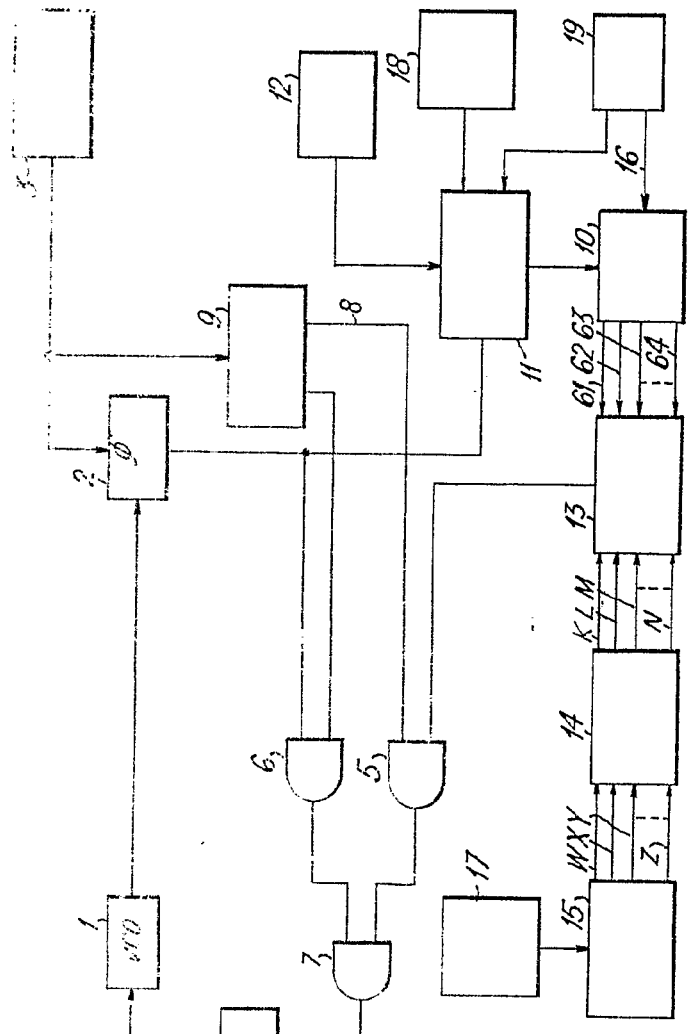


Fig. 1.

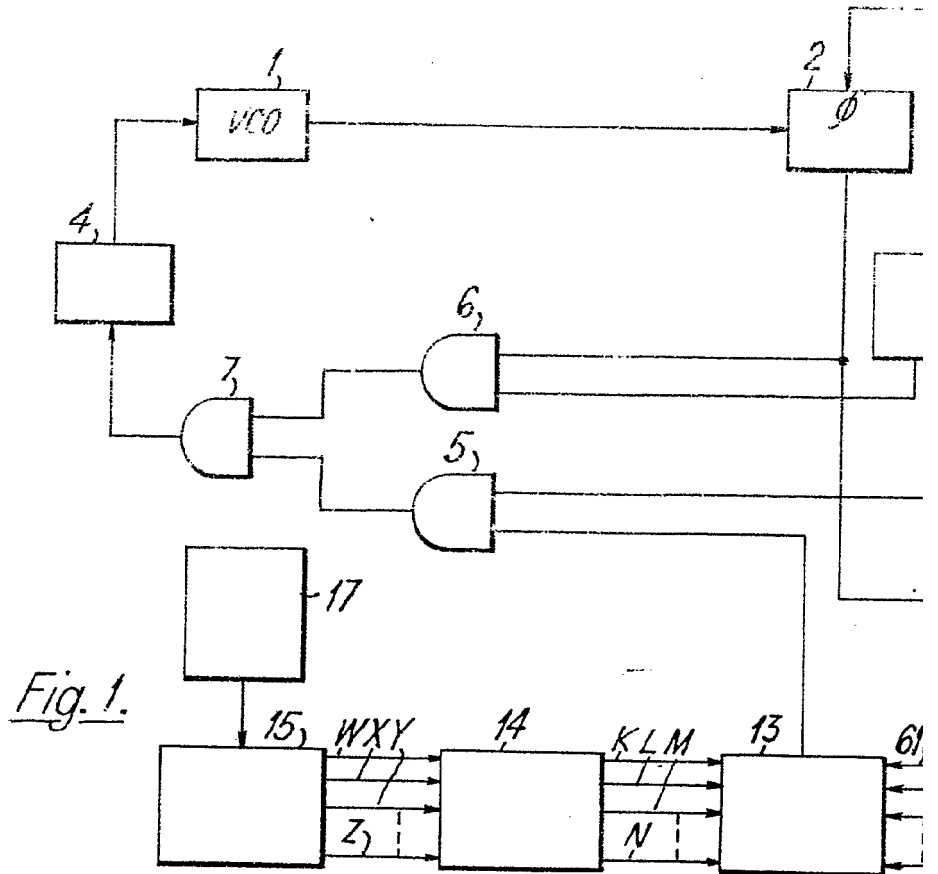


19 AGO. 1967

*Alfandi*

344.264

344264

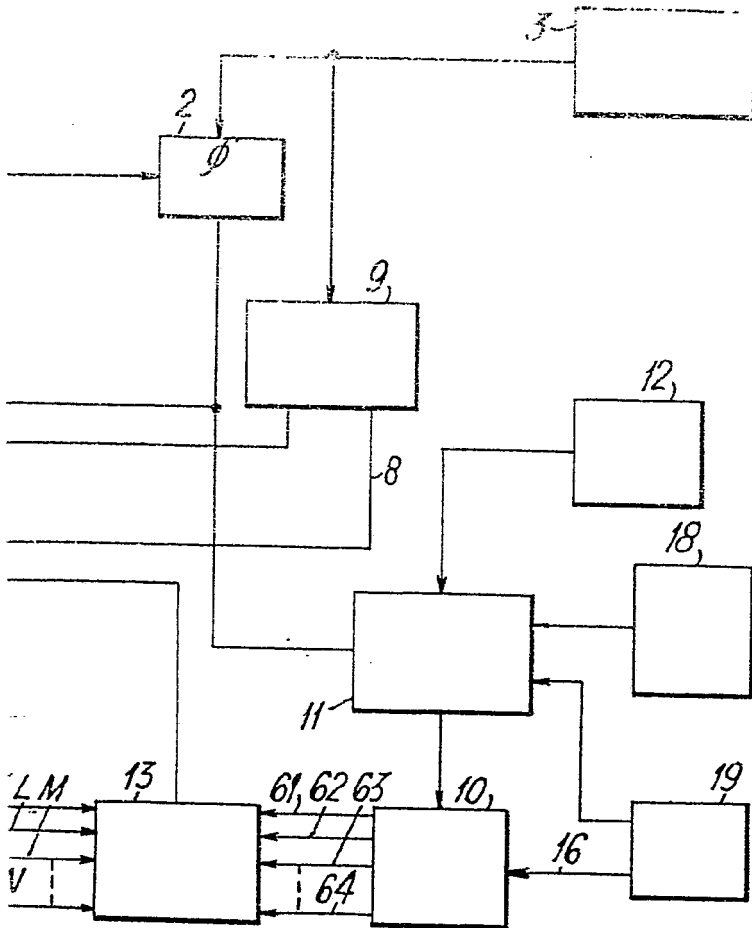


4/1



344.264

344264



19 AGO. 1967



*Elbaum*

4.2

STANDARD ELECTRICAL, S. A.

344.264

344264

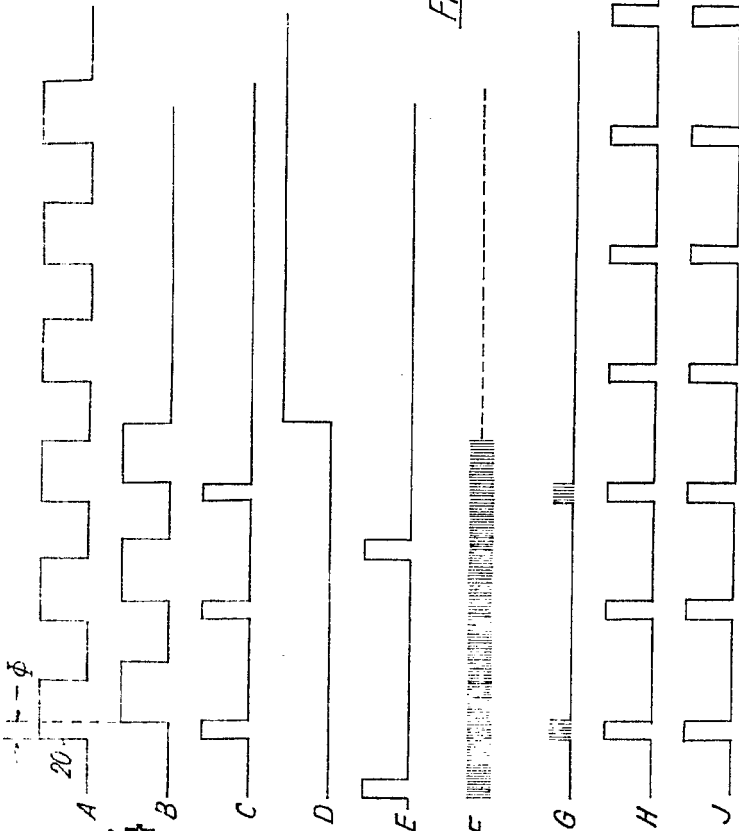


Fig. 2



19 AGO. 1967

*W. A. M.*

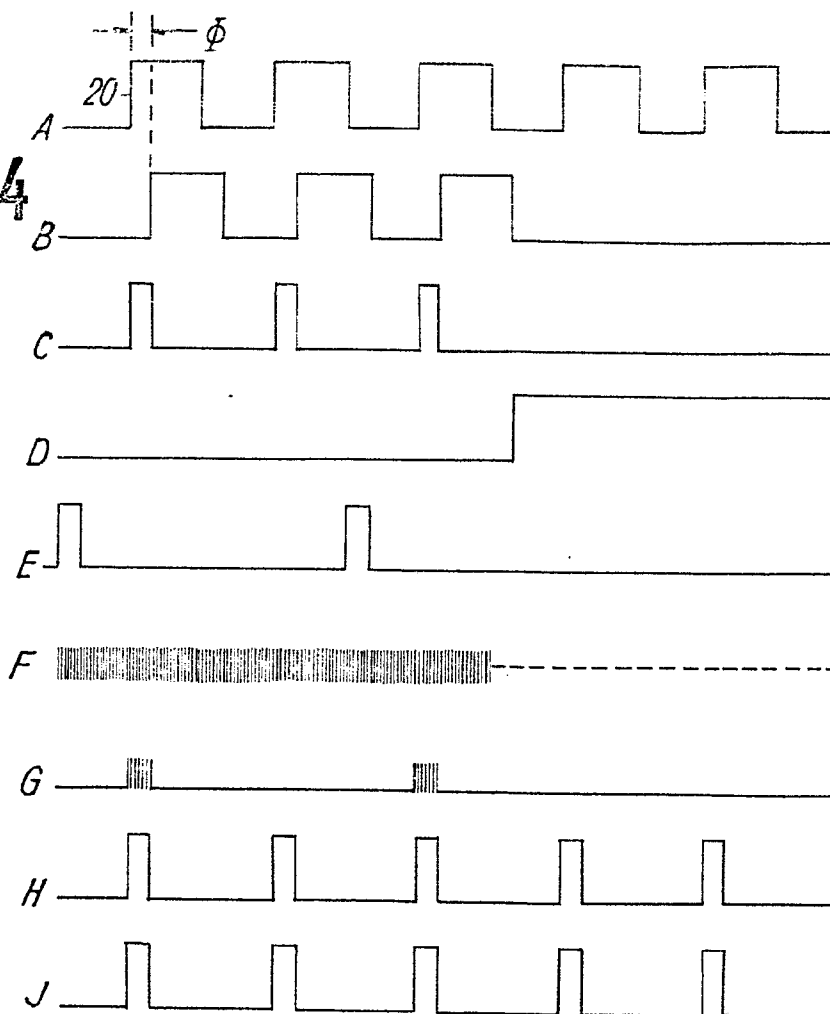


344 264

344264

344.264

344264



STANDARD ELECTRICA, S. A.

4/2



344.264

344264

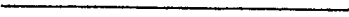


Fig. 2.



19 AGO. 1967

*Stam*



344.264

344264

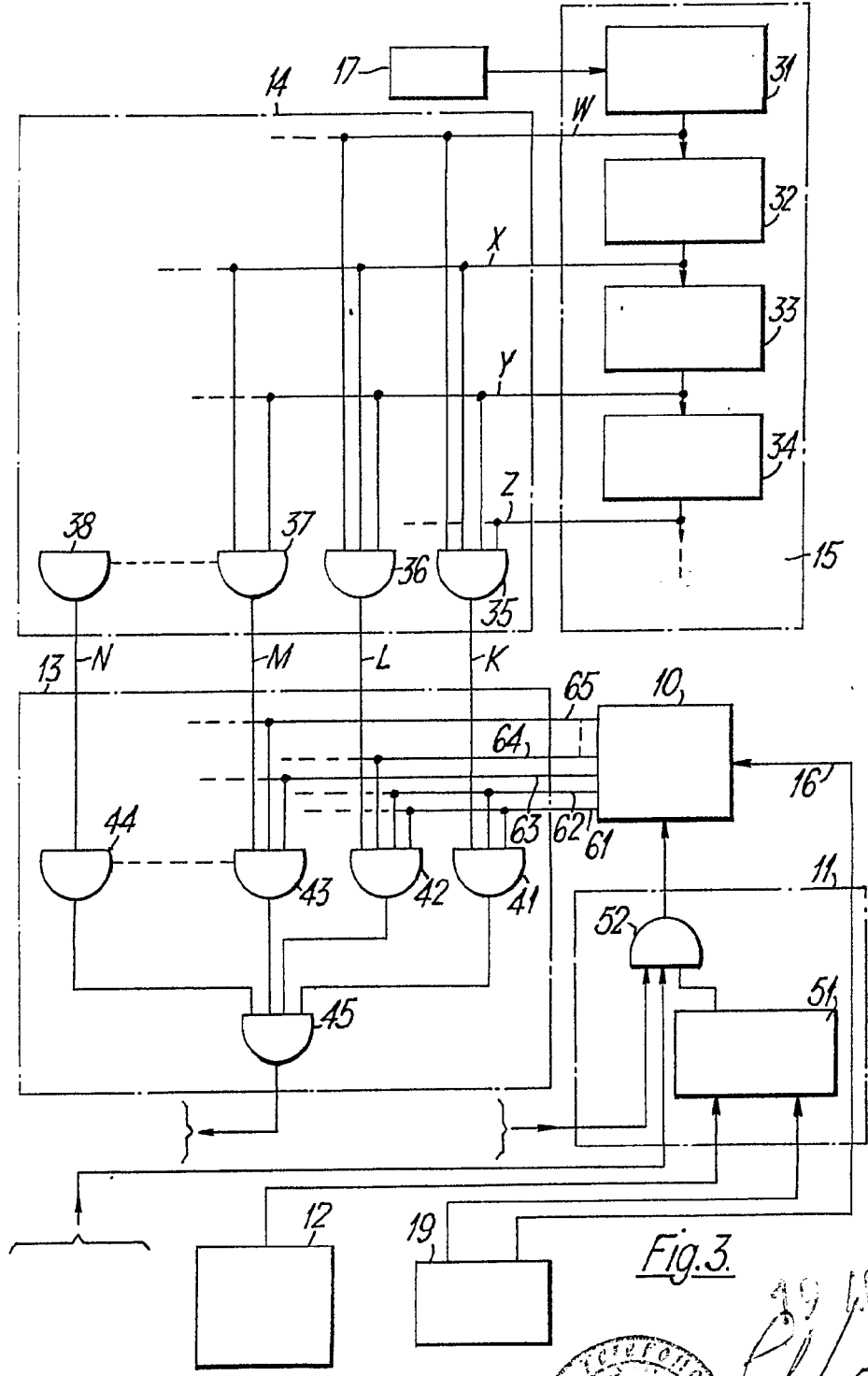


Fig. 3.

19 DEC 1967  
*[Handwritten signature]*





STANDARD ELECTRICAL S.A.

344.264

344264

344.264

34204

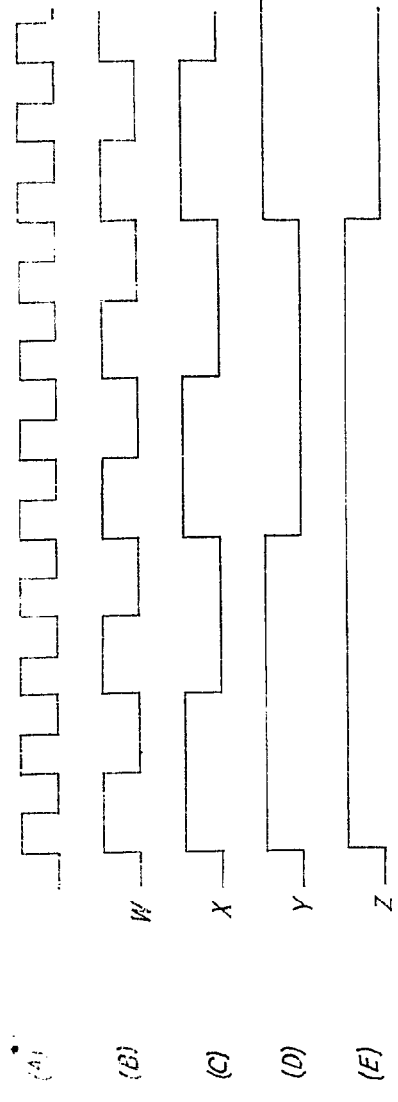
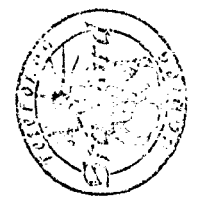


Fig. 4. (F)  $K = W \cdot X \cdot Y \cdot Z$

(G)  $L = W \cdot X \cdot Y$

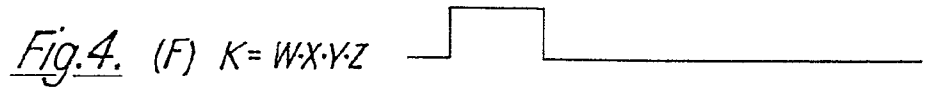
(H)  $M = X \cdot Y$



Handwritten signature or text on the right side of the page.

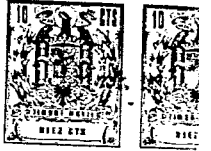
344.264

3:4264



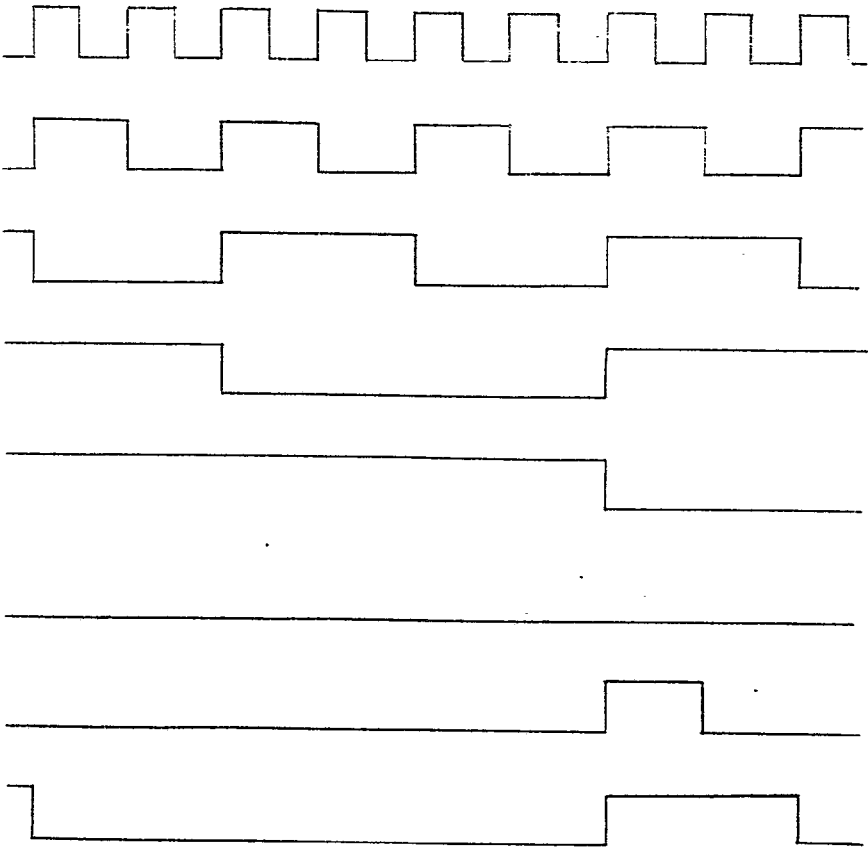
4/4

STANDARD ELECTRICA, S. A.



344.264

344264



19 MAR. 1967

*Shaw*

MARTIN BARROSO