



H03K 13/01

343733

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION  
EN ESPAÑA POR "UN CODIFICADOR PARA MODULACION POR PULSOS  
CODIFICADOS (P.C.M.)" A NOMBRE DE STANDARD ELECTRICA, S.A.,  
CON DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO, N.º. 5

-----

Este invento se refiere a un codificador para muestras de señales analógicas como se usan, por ejemplo, en los sistemas de telecomunicación con modulación por pulsos codificados (P.C.M.).

Son bien conocidas las ventajas del uso de codificadores, con características de transferencia no lineales para la codificación de las señales de conversación. Cuando estas señales a codificar son bipolares, esto es, cuando tienen un valor medio de cero, es esencial que las características de codificación sean idénticas para las señales transmitidas positivas y negativas. Esto es particularmente así cuando se requiere una característica de codificación no lineal.

Un tipo de codificador frecuentemente empleado en la modulación P.C.M. es el de realimentación del tipo de substracción. Véase, por ejemplo, la obra "Modulation Theory" de H.S.Black, Van Nostrand Inc. (1953) p. 306, Este tipo de codificador se puede diseñar con característica no lineal, siempre que las señales a codificar sean de una sola polaridad. Es, sin embargo, mucho más difícil diseñar un codificador para señales bipolares con la seguridad de que la característica de codificación sea idéntica para señales de cualquier polaridad.

./..



343733

2.

De acuerdo con el invento se provee un codificador simétrico no lineal, de realimentación de tipo de substracción, para muestras de señales analógicas, comprendiendo entre un terminal de entrada para dichas señales y un terminal de salida para las señales codificadas, una ruta que consta de un primer ramal que comprende un comparador de amplitud para la muestra de señal analógica y una señal de referencia unidireccional y un segundo ramal que incluye medios para invertir la polaridad de la señal analógica y un comparador de amplitud para estas señales invertidas y la mencionada señal de referencia, un órgano de conmutación para conectar la salida digital de dicho comparador, que recibe señales que tienen la misma polaridad, al terminal de salida del codificador, siendo derivada la señal de referencia unidireccional de un conversor de digitales a analógicas y medios lógicos de control conectados al terminal de salida así como medios para corregir cualquier desequilibrio existente entre las características de los dos comparadores.

El invento se describe a continuación haciendo referencias a los dibujos que se acompañan, en los que:

La Fig. 1 representa un esquema en bloque de un tipo conocido de codificador

Las Figs. 2 y 3 muestran las curvas de características del circuito de la Fig. 1

La Fig. 4 es el esquema en bloque de un codificador de acuerdo con el invento

La Fig. 5 muestra una curva de característica del codificador representado en la Fig. 4, y

La Fig. 6 representa un detalle del circuito de la Fig. 4.

El término "realimentación", tal como se aplica a los métodos de codificación, implica que como parte integrante del codificador

./..



343733

3.

se usa alguna forma de decodificador, un medio para pasar de forma digital a analógica, junto con un amplificador de error y circuitos de control, siéndo la característica de codificación del codificador determinada por la característica del conversor de digital a analógico, el cual se referirá como conversor D/A.

En la Fig. 1 se muestra un esquema en bloque de un codificador para señales analógicas unipolares. Las muestras de señales analógicas a ser codificadas son aplicadas por el terminal de entrada 1 a la entrada de un comparador de amplitud 2 al que por una segunda entrada se le suministra una señal de referencia desde la salida de un conversor D/A 3. Bajo el control de un circuito lógico 4, que es accionado por pulsos de tiempo y por los dígitos de la señal codificada, se varía sucesivamente la amplitud de las señales de referencia desde el valor que corresponde al dígito más significativo del código al que corresponde el de menos significación.

Como resultado de comparar cada muestra de la señal analógica a ser codificada con la sucesión de señales de referencia y tomando las decisiones lógicas apropiadas, se produce en la salida del comparador un código digital de forma serial. Para la descripción detallada de la forma de actuar de uno de estos codificadores véase, por ejemplo, "Pulse Code Modulation" Parte 2ª., por R.L. Carrey en Electronic Design, Vol. 8, de 22 de Junio de 1960, págs. 66-69.

Si la característica de codificación del conversor 3 es de la forma que se indica en la Fig. 2, la característica de conjunto del codificador será la que se muestra en la Fig. 3. Este tipo de característica no es adecuado para la codificación de señales de conversación, por no tener simetría.

El codificador que se muestra en la Fig. 4 permite obtener una característica de la forma que se muestra en la Fig. 5, que

343733



4.

es simétrica con respecto a la entrada cero, pero esta característica la deriva de un conversor D/A que tiene la característica que se muestra en la Fig. 2, es decir, una característica asimétrica.

85 La diferencia esencial que existe entre los codificadores según la Fig. 1 y los de la Fig. 4 es la de que estos últimos emplean un segundo comparador 6 asociado con un inversor de señales 7 y un conmutador 8 que por simplificar se muestra como un interruptor corriente y que conecta las salidas codificadas del comparador 2 o el 6, indistintamente, al terminal de salida 5. Una entrada de  
90 cada comparador se conecta a la señal de referencia unidireccional obtenida del conversor D/A 3. La segunda entrada del comparador 2 se conecta a la entrada de señal, mientras que la segunda entrada del comparador 6 se conecta a la salida del inversor 7, el cual invierte la polaridad de la señal de entrada en el terminal 1.

95 Ambos comparadores son diseñados de forma que se cumpla que su circuito de salida esté en una de las dos condiciones posibles (marca o espacio) únicamente cuando la señal de entrada tenga un valor más positivo que la señal de referencia.

100 Suponiendo, según lo anterior, que las señales unidireccionales de referencia sean pulsos transmitidos positivos, el comparador 2 codificará señales de entrada positivas y el comparador 6 codificará señales negativas.

105 Puesto que en el codificador de la Fig. 4 la salida del conversor D/A se compara únicamente con la desviación de cero de la señal de entrada, el número de pasos contados del conversor es solamente un medio del número requerido del codificador. En otras palabras, si la señal analógica se va a codificar en un código de  $n$  dígitos, el conversor D/A tendrá  $(n - 1)$  pasos. El primer dígito de un código binario simétrico representa la polaridad de la señal de entrada cuando se toma la señal de entrada de valor cero como centro de la  
110

./..



343733 5.

gama total de códigos a ser generados. El primer dígito del código se determina examinando la salida de un comparador cuando el convertidor D/A está en cero. Ambos comparadores darán una indicación de la polaridad de la señal de entrada, sin que importe lo que se asigna para tomar esta decisión sino que, como sus salidas son de sentidos opuestos, la decisión, para obtener una indicación adecuada, debe ser siempre tomada sobre el mismo comparador. El resultado de la decisión no solamente genera el primer dígito del código sino que hace actuar el conmutador 8 que conecta la salida, al terminal 5, del comparador adecuado.

Suponiendo que el conmutador 8 esté en la posición que se muestra en la Fig. 4, si la muestra siguiente que se vá a codificar es positiva, el conmutador se queda en la misma posición, pero si esta muestra es negativa, el conmutador cambia al comparador 6.

Al término de cada proceso de codificación el conmutador vuelve a situarse en correspondencia con el comparador 2, de modo que pueda ser determinada la polaridad del dígito de la siguiente muestra. Es evidente que, cualquiera que sea la característica de transferencia que pueda tener el conversor D/A, la característica de transferencia conjunta del codificador será simétrica a ambos lados de la señal de entrada cero.

A continuación se describen ciertas condiciones que son esenciales para el funcionamiento correcto del codificador simétrico a que se refiere el esquema de la Fig. 4 y la manera de obtener estas.

El "biasing" de los circuitos de entrada del comparador debe ser dispuesto de forma que, cuando las señales de entrada y de referencia sean ambas cero, la salida del comparador debe estar en el límite entre las dos condiciones. Si así no ocurriese, se produ-

./..

343733

6.



cirfe el recorte o la expansión de la característica de codificación.

145 Refiriéndonos a la Fig. 4, cuando la salida del conversor D/A tiene valor cero, las salidas de comparador deberán ser una "marca" y la otra "espacio", con independencia de la amplitud de la señal de entrada. Si es que existe una diferencia de desplazamiento entre ambos comparadores de magnitud  $v_0$ , entonces, para todas las amplitudes de señal de entrada de un valor menor que  $v_0$ , las salidas de comparador serán del mismo sentido, p.e. ambas "marca" o ambas "espacio".

150

El codificador simétrico de la Fig. 4 está provisto, por tanto, de medios para conocer cuando las salidas de los dos comparadores tienen el mismo sentido y para cambiar el "bias" de uno de los comparadores para reducir el desplazamiento.

155

Si se dispone de medios para darle al codificador en ciertos intervalos una referencia de entrada de un valor cero exacto puede obtenerse un contraste periódico del desplazamiento y emplearle para corregir el "bias". Un ejemplo de esto se tiene en un sistema múltiple P.C.M. en el que un período canal se usa para transmitir información de sincronización. Generalmente, en un sistema de este tipo, se da ya una referencia durante este período canal para poner en línea la característica de compresión del codificador con la señal de entrada.

160

165 El circuito de corrección del "bias" se muestra en la Fig. 6.

Cada vez que se desee inspeccionar los comparadores se aplica un pulso por el conductor 9 al circuito lógico 10, que actúa sobre las salidas del comparador y permite la inspección lógica. El circuito está dispuesto de manera que el circuito biestable 11 ten-

./..



170 ga uno u otro estado según que ambas salidas sean "marca" o ambas  
"espacio". Cuando las salidas de los comparadores sean complemen-  
tarias no producen efecto sobre el estado del circuito biestable.  
La salida del biestable está compuesta por el circuito resistencia  
- capacidad 12, 13 y la tensión a que está sometido el condensador  
175 12 tiene por función controlar el "bias" de uno de los comparadores  
por medio de un circuito de control 14, que puede ser un dispositivo  
de tensión variable o de corriente variable. El "bias" de corrección  
está, por consiguiente, variando constantemente, con un suave aumen-  
to cuando el biestable está en un estado y con una suave disminución  
180 cuando está en el otro. El desplazamiento diferencial entre los com-  
paradores tiene, por consiguiente, también una variación, dependien-  
do la amplitud de esta variación de la constante de tiempo de la  
red, integrante del intervalo entre las inspecciones y de la ganan-  
cia de transferencia del circuito de control de "bias". La constan-  
te de tiempo de la red debe ser elegida de forma que exceda al in-  
185 tervalo de tiempo entre inspecciones sucesivas.

Con esta disposición es también posible contrastar el  
desplazamiento de los comparadores cuando no se disponga de un pe-  
ríodo de tiempo libre para darle al codificador una referencia cero.

190 Como anteriormente se indicó, cuando la salida del con-  
versor D/A es cero, la salida de los dos comparadores debe ser de  
sentido opuesto, sin importar cual sea la amplitud de la señal de  
entrada. Sin embargo, el desplazamiento únicamente se puede des-  
cubrir cuando la amplitud de la señal de entrada es inferior al des-  
plazamiento diferencial. En el comienzo del proceso de codificación  
195 de cualquier muestra de entrada, es decir, cuando se decide la pola-  
ridad, la salida del conversor D/A es cero, de forma que puede  
ser descubierto durante este período cualquier desplazamiento de un  
valor mayor que el de la muestra de entrada del mismo. Por tanto,



343733 8.

200 para limitar la amplitud del desplazamiento diferencial es necesario conocer el período de tiempo que transcurre entre las muestras de entrada de amplitud inferior a este límite. Este tiempo depende de la distribución estadística de la amplitud de la señal de entrada. Suponiendo que el período promedio entre los casos en que la

205 amplitud de la muestra caiga por debajo de la magnitud del desplazamiento sea  $T$  entonces, el intervalo de tiempo entre dos "órdenes" consecutivos para invertir el estado de la unidad biestable será también  $T$ . La magnitud del intervalo  $T$  dependerá de la naturaleza de la señal y puede ser determinada por los métodos estadísticos

210 conocidos. Así, el "bias" de corrección cambiará suavemente en una dirección hasta que reciba una "orden" que le haga cambiar esta dirección y, si el intervalo máximo entre "órdenes" es  $T$ , entonces es necesario disponer que la constante de tiempo de la red integrante sea suficientemente grande para que durante el tiempo  $T$  el

215 desplazamiento diferencial no pueda cambiar por un valor mayor que el límite requerido. Por consiguiente, siempre que la distribución estadística de las amplitudes de la señal de entrada sea tal que el tiempo  $T$  no sea tan grande que haga inadecuado los componentes de la red integrante, será posible limitar el desplazamiento diferencial, aún cuando no exista un período de tiempo libre en el proceso de codificación.

220

Es de comprender que la anterior descripción de ejemplos específicos de este invento se hace a vía de ejemplo únicamente y no debe ser considerada como una limitación de su alcance.

225 Este invento corresponde a una solicitud de patente formulada en Inglaterra, el día 2 de Agosto de 1966, señalada con el número 34580/66 y se recoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

./..



## ----- N O T A -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

- 230 1. Un codificador para modulación por pulsos codificados (P.C.M.), no lineal, simétrico, del tipo de substracción, para muestras de señales analógicas, comprendiendo entre un terminal de entrada para dichas señales y un terminal de salida para las señales codificadas, una ruta que consta de un primer ramal que comprende un comparador de amplitud para la muestra de señal analógica y una señal de referencia unidireccional y un segundo ramal que incluye medios para invertir la polaridad de la señal analógica y un comparador de amplitud para estas señales invertidas y la mencionada señal de referencia, un órgano de conmutación para conectar la salida digital de dicho comparador, que recibe señales que tienen la misma polaridad que el terminal de salida del codificador, siendo derivada la señal de referencia unidireccional de un conversor de digitales a analógicas y medios lógicos de control conectados al terminal de salida y medios para corregir cualquier desequilibrio existente entre las características de los dos comparadores.
- 245 2. Un codificador, tal como se reivindica en la reivindicación 1, en el que el medio para invertir la señal es un inversor de fases.
- 250 3. Un codificador, como se reivindica en la reivindicación 1, en el que la señal analógica a ser codificada es una señal bipolar y el código generado es binario simétrico.
- 255 4. Un codificador, como se reivindica en la reivindicación 3, en el que el código generado tiene N dígitos binarios y el con-

./..

343733



10.

versor de digital a analógico tiene  $(N - 1)$  pasos.

- 260 5. Un codificador, como se reivindica en la reivindicación 4, en el que el medio para equilibrar las características de los comparadores comprende un dispositivo lógico para la inspección simultánea de las salidas de los dos comparadores por el accionamiento de un circuito biestable, llevándole a un primer estado cuando las dos salidas son señales "marca" o a un segundo estado cuando las dos salidas son señales "espacio", un circuito integrante que produce una señal de error que es función del tiempo que dicho circuito biestable permanece en uno cualquiera de los dos estados, medios para generar una corriente de "bias" en respuesta a dicha señal de error y medios para inspeccionar este "bias" en uno de los comparadores.
- 270 6. Un codificador, como se reivindica en la reivindicación 5, en el que el circuito integrante es una red resistencia - capacidad.
- 275 7. Un codificador, como se reivindica en la reivindicación 6, en el que la inspección de las salidas del comparador se efectúa en un instante en el que, tanto la señal de referencia unidireccional como la muestra analógica, son ambas cero.
- 280 8. Un codificador, como se reivindica en la reivindicación 6, en el que la constante de tiempo de la red integrante se hace mayor que el tiempo promedio entre operaciones sucesivas del circuito biestable.
- 285 9. Un codificador substancialmente como ha sido descrito con referencia a las Figs. 4 y 5 de los dibujos que se acompañan.
10. Un codificador para modulación por pulsos codificados (P.C.M.)
- Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

343733

11.



-----  
Esta Memoria consta de once hojas escritas por una  
sola cara.

Madrid, 2 AGO. 1967



  
EUGENIO BARROSO  
Secretario General



343733

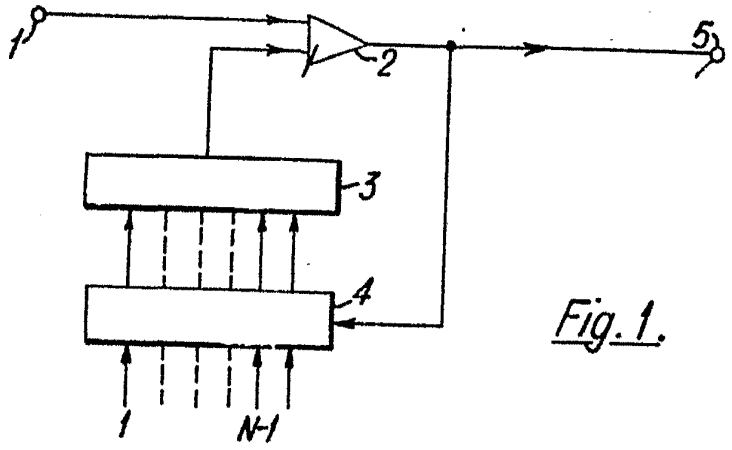


Fig. 1.

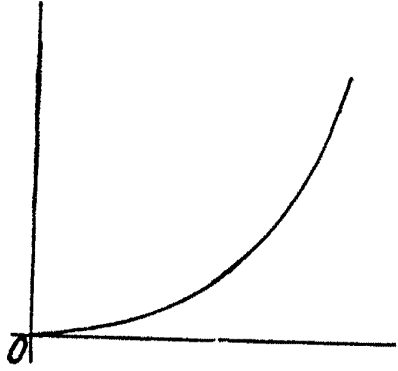


Fig. 2.

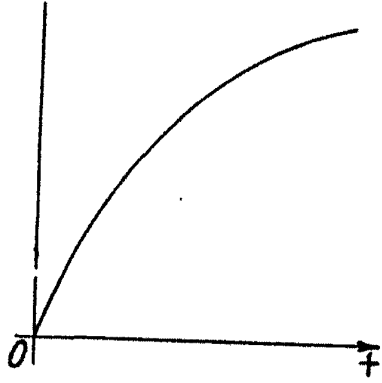


Fig. 3.

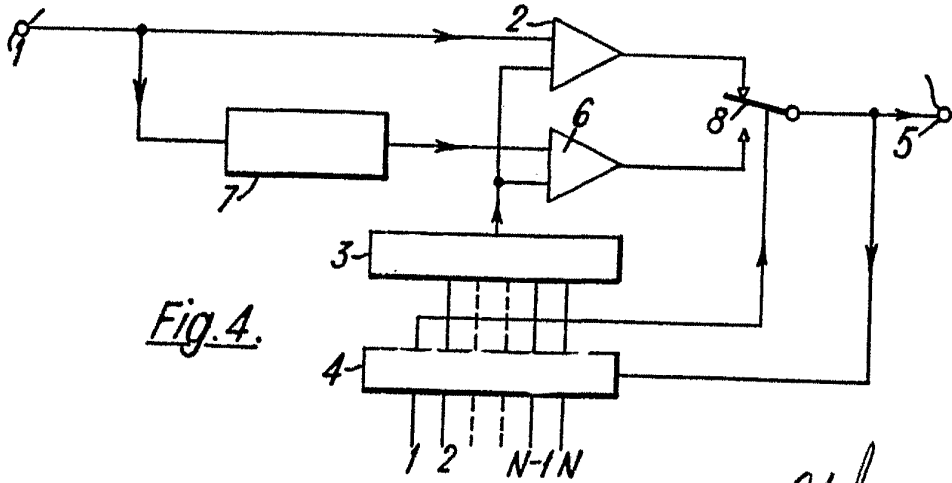
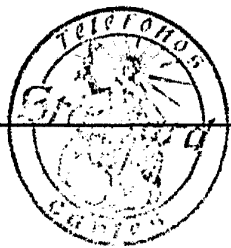


Fig. 4.



*Eugenio Barroso*  
EUGENIO BARROSO  
Secretario General



343733

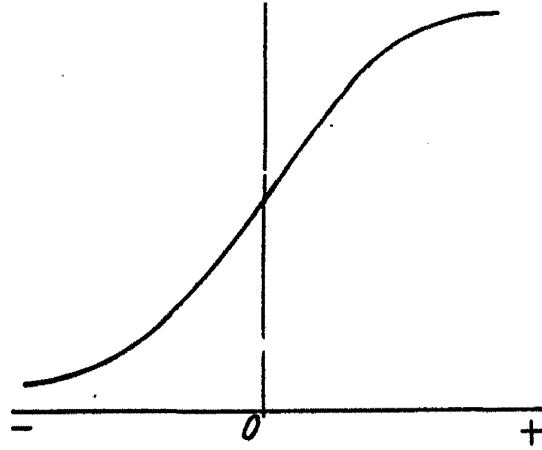


Fig. 5.

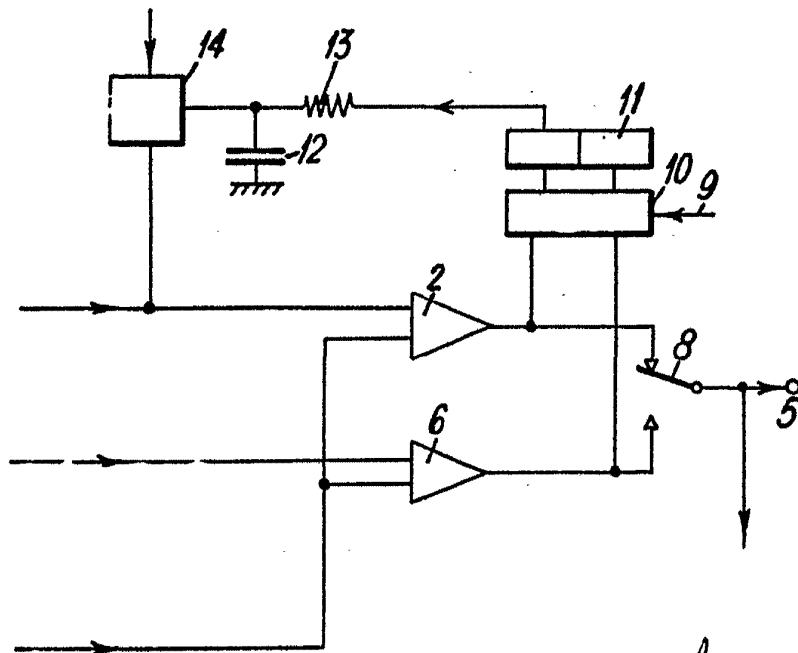


Fig. 6.

*Maura*  
**FISENIO BARROSO**  
 Secretario General

