

342866



342866

P A T E N T E D E I N V E N C I Ó N
=====

a favor de

WESTERN ELECTRIC COMPANY, INCORPORATED - de nacionalidad norteamericana - domiciliada en 195, Broadway, NEW YORK (EE.UU.),

por:

"Aparato contador binario"

====:oOo:====

M e m o r i a d e s c r i p t i v a

Este invento se refiere a contadores binarios, y más concretamente a contadores reversibles.

Los contadores reversibles encuentran aplicaciones cada vez más amplias. Por ejemplo, se emplean en el desmodulador digital, y en diversos aspectos de los sistemas de transmisión de datos, como los de



varios niveles. Al aumentar tales usos, cada vez interesa más que los contadores reversibles sean de elaboración conveniente, funcionamiento eficaz y poco volumen.

5 La tecnología de los circuitos integrados proporciona un modo de reducir sustancialmente el tamaño y aumentar la eficacia de circuitos tales como los contadores binarios conocidos hoy en forma de elemento discreto. Sin embargo, se ha comprobado que los contadores binarios reversibles que normalmente requieren un acoplamiento capacitivo no pueden aprovechar en su actual forma esa tecnología, a causa de varios factores adversos conocidos en los diferentes tipos de condensadores de 10 circuitos integrados. Esos factores son una capacidad máxima limitada, abundantes parásitos, efectos de modulación capacitiva, y la necesidad de etapas suplementarias en el proceso de fabricación.

15 El problema consiste, pues, en diseñar un contador binario reversible que elimine los elementos capacitivos, mejore ciertas otras características, y se adapte fácilmente a la tecnología de los circuitos integrados.

20 Esto se resuelve por el presente invento, que comprende un par de circuitos repetidores ó de traslación dispuestos para funcionamiento multiestable en diferentes modos de dirección de cómputo en respuesta a señales entrantes y a señales de control de dirección. Varios pasos de coincidencia en cada etapa regulan circuitos individuales de realimentación para los circuitos de traslación, y también regulan circuitos interacoplados de realimentación, sin necesidad de acoplamientos 25 capacitivos entre los circuitos de traslación de una etapa para producir el funcionamiento multiestable de los mismos. Los pasos coincidentes se hacen actuar de acuerdo con determinadas permutaciones de las señales entrantes de cómputo, de las de control de dirección, y de las salientes de los circuitos de traslación.

30 Una ventaja de este invento es que todos los circuitos de cada



etapa computadora, como los circuitos intermedios de acoplamiento, pueden ser de un tipo acoplado en c.c., por lo que no se necesita ningún acoplamiento capacitivo en c.a.

5 Otra ventaja consiste en que los pasos de coincidencia pueden ser del tipo lógico de resistencia de diodo.

Otra ventaja más es que los pasos de coincidencia de la etapa computadora pueden estar formados por un elemento transistor de emisor múltiple por cada compuerta en un ejemplo de realización del invento, lo cual facilita los procesos de fabricación de circuitos integrados, reduce el número de las conexiones del circuito necesarias, y limita al mínimo las operaciones físicas requeridas para elaborar la etapa computadora completa.

El invento se comprenderá bien por la siguiente descripción detallada, con referencia a los dibujos anexos, en los cuales indican :

15 La figura 1, un esquema del circuito eléctrico de una forma de contador según el invento;

Las figuras 2A y 2B, una forma de circuito lógico empleado en la figura 1;

20 Las figuras 3, 4A y 4B, formas modificadas de un circuito lógico empleado en la figura 1; y

Las figuras 5A y 5B, diagramas de ondas de tensión que ilustran el funcionamiento del invento.

Los símbolos utilizados en dichas figuras tienen los siguientes significados :

- 25 IPS : Generador de impulsos de entrada.
 C : Reloj.
 DCS : Generador de señales de control de dirección.
 SSS : Generador de señales de ajuste.
 UC : Circuito de utilización.
30 nEC : Colector epitaxial n.

342866



- PS : Sustrato P.
- CD : Cómputo descendente.
- CU : Cómputo ascendente.
- T : Tiempo.
- V : Voltaje.

5

En la figura 1, el contador reversible del invento se expone aplicado como contador binario, y comprende etapas computadoras -10-, -11- y -12-, todas iguales; por eso se representa sólo la -10- con detalle. El contador puede comprender más etapas, si se quiere, para cualquier aplicación particular, y como indican las conexiones marcadas en trazos entre las etapas -11- y -12-. Un generador -13- de impulsos entrantes suministra señales computables, que se suministran respecto a tierra en forma lógica de doble carril en conexiones de salida -16- y -17-. Las dos formas complementarias de estas señales de impulsos entrantes se designan por T y \bar{T} , y la onda T de señal se indica en la figura 5A. El generador -18- suministra señales de control de dirección a cada etapa del contador en sus circuitos de salida del generador -19- y -20-. Las dos formas complementarias de las señales de control de dirección, designadas por C y \bar{C} , tienen niveles sustancialmente constantes en cualquier modo direccional de funcionamiento.

15
20

Las señales entrantes que llegan al contador desde el generador -13- y el -18- son señales de doble estado, y se suministran con cambios de estado en una determinada relación de fase, a fin de que esos cambios no sean simultáneos. La relación entre los generadores -13- y -18- se fija por la salida de un reloj -21-, que suministra una onda como la indicada, por ejemplo, en la figura 5A. El reloj -21- constituye, en una aplicación práctica del circuito, un control central; en tal caso, la salida del generador -13- cambia de estado sólo en transiciones de signo positivo de ondas de reloj, como se indica en la figura 5A. El generador -18- se dispone ventajosamente para cambiar

25
30



de estado sólo con transiciones de señales de reloj de signo negativo, y comprende un conmutador de palanca -18a-, con el que un operador ordena un cambio de dirección. En la siguiente transición de reloj de signo negativo que sigue a la actuación del conmutador -18a-, cambia
5 el estado de las señales salientes del generador -18-. En algunas aplicaciones, es ventajoso emplear un circuito inversor convencional de vía sencilla a doble vía, para asegurar que las formas complementarias de las salidas de los generadores -13- y -18-, respectivamente, cambien de estado casi al mismo tiempo. Sin embargo, los detalles de los generadores -13-, -18- y -21-, y sus relaciones descritas, son conocidos en
10 la especialidad y no forman parte del presente invento.

Un circuito de utilización -22- de cualquier tipo adecuado se acopla a las conexiones de salida de la etapa computadora -12-. Debe entenderse, sin embargo, que pueden derivarse con ventaja señales salientes múltiples en paralelo desde cada una de las etapas, según convenga para una particular aplicación del circuito.
15

La etapa computadora -10- comprende seis compuertas de coincidencia -23-, -26-, -27-, -28-, -29- y -30-, cada una con tres conexiones de entrada y al menos una de salida. En la figura 2A se muestra el esquema de una forma lógica de resistencia por diodo de dicha compuerta, y la figura 2B muestra la representación de su correspondiente símbolo. Este tipo de compuerta se emplea con ventaja, porque no comprende condensadores. Cada compuerta tiene una fuente de potencial -31-, representada en esquema por un círculo con un signo de polaridad
20 que indica la polaridad del terminal de la fuente conectada al punto del circuito en que está el círculo. El terminal de polaridad opuesta de la fuente se halla conectado a tierra. Cada compuerta comprende también una resistencia -32- que conecta la fuente -31- a un empalme común del circuito, como el terminal -33-. Las señales entrantes se
25 acoplan, a través de los terminales de entrada -34-, -35-, -36- y los
30



diodos de igual polaridad -37-, -38-, -39-, al terminal -33-, para controlar el funcionamiento de la compuerta de un modo bien conocido. Así en la forma ilustrada en la figura 2A, la coincidencia de señales positivas en las citadas conexiones de entrada polariza todos los diodos
5 -37-, -38-, -39- a un estado no conductivo, y permite que circule corriente desde la fuente -31-, por la resistencia -32- y los diodos -40-
-41-, a los terminales de salida -42-, -43- de la compuerta. Sin embargo, la presencia de una conexión a tierra, por lo menos, en un terminal de entrada de la compuerta, permite que circule corriente desde
10 la fuente -31-, por el correspondiente diodo de entrada, y fije los diodos de salida -40-, -41- en un estado no conductivo, con lo que quedan desconectados respecto a tierra los terminales de salida -42-, -43-. Cualquiera de éstos se puede omitir, desde luego, para una aplicación particular del circuito.

15 Las compuertas de coincidencia para la etapa computadora -10- reciben impulsos entrantes del generador -13-, y señales de control de dirección del generador -18-, mediante circuitos de acoplamiento en c.c. Así, la salida T del generador -13- se acopla a las compuertas -23-,
-27-, -28-, -30-. La salida \bar{T} se aplica a las compuertas -26-, -29-.
20 Análogamente, la salida C del generador -18- se aplica a las tres compuertas -23-, -27-, -29-, y la salida \bar{C} , a las compuertas -26-, -28-,
-30-. Todas las mencionadas compuertas de coincidencia responden a las señales que proceden de los generadores -13- y -18-, para controlar la realimentación y el interacoplamiento dentro de su etapa computadora
25 -10- multiestable.

Los circuitos repetidores -46-, -47- están incluidos en la etapa computadora -10-, y tienen esencialmente la misma configuración. El circuito -46- comprende los transistores -48-, -49-, conectados en etapas
30 con la salida del amplificador, que comprende el transistor -48-, el



cual gobierna la amplificación del transistor -49-. Los dos amplificadores están acoplados en c.c. en su montaje en cascada por medio de una resistencia -50-, conectada entre el electrodo colector del transistor -48- y el de base del transistor -49-. Entre tierra y el electrodo de base del transistor -48- se conecta una resistencia -51-, para acelerar el tiempo de desconexión del transistor en forma conocida. El transistor -48- se polariza en su etapa amplificadora de emisor común para situarlo en un estado no conductivo ó en un estado conductivo, donde funciona a un grado saturado de conducción. Estos dos estados se producen respectivamente a un nivel bajo y a un nivel alto de las señales salientes acopladas en c.c. a la conexión de entrada del electrodo de base del transistor -48-, desde las compuertas de coincidencia de la etapa computadora. En consecuencia, el circuito amplificador del transistor -49- se hace conductivo ó no conductivo cuando el transistor -48- no conduce ó conduce, respectivamente.

El circuito repetidor -47- es similar al circuito -46-, y comprende dos transistores -52-, -53- interconectados para el mismo tipo de actuación en respuesta a señales salientes acopladas en c.c. desde las compuertas de coincidencia de la etapa computadora. Se disponen generadores -54-, -55- de potencial del colector para los transistores -49-, -53-, pero, en general, sólo el transistor -53- necesita ese generador, porque si circuito tiene que suministrar corriente fuera de la etapa. El generador -54- se puede eliminar, y en tal caso, el transistor -49- toma corriente del generador -31- de la compuerta -26- ó de la -27-, cuando la señal en el electrodo de base del transistor -49- necesite conducción saturada.

Cada uno de los circuitos repetidores -46- y -47- tiene dos conexiones de salida, para suministrar señales salientes complementarias en los electrodos colectores de sus dos transistores. En el circuito repetidor -46-, una salida del electrodo colector del transistor -49-



se designa por Y_1 , y está acoplada en c.c. con las entradas de las compuertas -26-, -27-, para proporcionar una realimentación en momentos elegidos a su propia conexión de entrada y a la del circuito repetidor -47-. El circuito repetidor -46- tiene una conexión adicional de salida \bar{Y}_1 , acoplada en c.c. desde el electrodo colector del transistor -48- a una entrada de la compuerta -23-, para proporcionar una realimentación cruzada en ciertos momentos a la entrada del circuito repetidor -47-. De manera análoga, el circuito repetidor -47- tiene vías de realimentación acopladas en c.c. Una de ellas, designada por Y_2 , sale del electrodo colector del transistor -53-, y proporciona realimentación en ciertos momentos, por las compuertas -29-, -30-, a las conexiones de entrada de ambos circuitos repetidores ó de traslación. El circuito repetidor -47- tiene una segunda conexión de realimentación \bar{Y}_2 desde el electrodo colector del transistor -52-, por la compuerta -28-, a la entrada del circuito repetidor -46-. Las señales entrantes para la etapa computadora -10- se derivan en los electrodos colectores de los transistores -52-, -53-, para las señales binarias salientes CERO y UNO, respectivamente. Estas señales comprenden las entrantes de cómputo \bar{T} y T a la siguiente etapa -11- del contador.

Desde un ángulo externo, la etapa computadora -10- responde a señales entrantes y a señales de control de dirección, unas y otras biestables, para producir salidas binarias UNO y CERO de forma típica; es decir, la frecuencia de las señales salientes de cada etapa es la mitad de la frecuencia de las señales entrantes de la misma. Sin embargo, dentro de la etapa, el funcionamiento de los dos circuitos repetidores, regulados por las compuertas de coincidencia de la etapa computadora, proporciona condiciones múltiples de estabilidad en función de diferentes permutaciones prefijadas de señales del generador de entrada, señales del generador de control de dirección, y señales salientes de los circuitos repetidores. Las señales salientes ilustra-



das en las figuras 5A y 5B son de la forma típica de la salida de un contador binario. Tales salidas del circuito -10- se derivan de puntos complementarios del circuito repetidor único -47-, pero en las figuras 5A y 5B se exponen sólo las salidas de la segunda etapa. El tipo reversible de actuación para una sola etapa, como el circuito -10-, del contador, se expresa adecuadamente en álgebra booleana como sigue:

$$Y_1 = Y_1\overline{TC} + Y_2\overline{TC} + Y_1TC + \overline{Y_2}TC$$

$$Y_2 = Y_1\overline{TC} + Y_2\overline{TC} + \overline{Y_1}TC + Y_2TC$$

10

En estas ecuaciones, un signo sin raya encima indica una señal positiva para la forma ilustrada, y una raya superpuesta denota un complemento. A falta de todas las condiciones a la derecha de una ecuación, la señal indicada a la izquierda está a su nivel inferior.

15

Puede verse en la figura 5A que cada transición en la onda T hace variar el estado conductivo de los circuitos repetidores -46-, -47-. Sólo se representa una forma de cada señal, pero el circuito de la figura 1 produce asimismo las formas complementarias. Hay una demora apreciable entre cada transición de señal entrante T y la correspondiente respuesta del circuito repetidor, debida a la necesaria demora en la respuesta del circuito repetidor que es inherente a los dispositivos semiconductores; pero que se indica desproporcionada en la figura 5A para que se aprecie bien. La demora debe ser por lo menos tan larga como el tiempo de transición de la señal impulsora T, de modo que no haya transiciones falsas en las señales salientes de la etapa durante una transición de señal entrante.

20

25

30

La figura 5A muestra además que para cómputo decreciente, ó sea, señal de control C alta y \overline{C} baja, cada transición de T con signo positivo, por ejemplo, justamente despues de tiempos t_3 y t_7 , hace cambiar de estado el circuito repetidor -47-, por ejemplo, despues de tiempos



JUN. 1967

5 t_4 y t_8 . Cada transición negativa, por ejemplo, despues de tiempos t_1 y t_5 , hace cambiar el estado del circuito repetidor -46-, por ejemplo, despues de tiempos t_2 y t_6 . Los cambios correspondientes en la salida UNO de la etapa -10- se aplica a la entrada T de la etapa -11-, para actuar sobre su circuito repetidor -47-, y así sucesivamente en toda la cadena de cómputos, para funcionar en sentido decreciente. Por ejemplo, si todas las etapas permanecen en estado CERO, una sola transición de señal entrante vuelve el contador al estado UNO. Al contar hacia abajo, la etapa -10- emplea las salidas de las compuertas -23-,
10 -27-, -29-, y funciona como un contador binario de presión positivo,

El funcionamiento del conmutador de palanca -18a- en la figura 1 reduce C y eleva \bar{C} , para iniciar el cómputo hacia arriba. La figura 5B ilustra este modo con referencia a la misma onda T en la figura 5A, pero empleando distintas notaciones correspondientes de tiempo.
15 En este caso, el circuito repetidor -47- cambia de estado en las transiciones negativas de T, por ejemplo, despues de los tiempos t_{10} y t_{14} como indica el diagrama 1/2. El circuito -46- cambia en las transiciones positivas, por ejemplo, despues de los tiempos t_{12} y t_{16} . Estos cambios de señales en la cadena de cómputos en serie de la figura 1 representan el modo ascendente de contar. Por ejemplo, si todas las etapas se mantienen en el estado UNO, una sola transición de la señal entrante hace pasar el contador al estado CERO. En el cómputo ascendente, la etapa -10- emplea las salidas de las compuertas -26-, -28-, -30-
20 y funciona como contador binario de presión negativo.

25 Se ha dicho antes que el contador del presente invento no funciona erróneamente por cambios de estado en las señales de control de dirección. Esto obedece a que la transición de la señal referida desde el generador -18- no puede producirse más que en caso de señales de reloj negativas, que sobrevienen entre transiciones de la señal entrante T. Así, el reloj -21- se emplea con los generadores -13-, -18- para
30



evitar que se produzcan simultáneamente transiciones T y C.

En el curso de un cambio de modo de dirección de cualquier polaridad, las limitaciones de las ecuaciones booleanas ya citadas que definen el funcionamiento de las compuertas de coincidencia de cada etapa computadora hacen que las compuertas de coincidencia correspondientes de avance y retroceso se activen ó inactiven correctamente, de modo que no se alteran los estados de los circuitos repetidores -46-, -47- al cambiar el modo de dirección. En la transición de señal T que sigue a un cambio de modo de dirección, el circuito cambia de estado conforme al nuevo modo de funcionar el contador. Después, éste sigue actuando adecuadamente, como ya se ha descrito.

Un generador -56- de señales de ajuste tiene su salida conectada, mediante etapas amplificadoras separadas de emisor a tierra, que comprenden dos transistores -57- respectivos, para regular el nivel de potencial de los colectores de los transistores -49-, -52- en cada etapa del contador reversible. Con C alto y \bar{C} bajo, la aplicación de esa señal de ajuste produce una determinada estabilidad en cada etapa computadora, cualquiera que fuese su estado anterior, y después de retirar la señal de ajuste, continúa tal estado hasta que lo cambien las señales T. Una señal de ajuste del generador -56- hace conductivos los transistores -57-, y pone la salida CERO de cada etapa computadora a tierra, y la salida UNO a un potencial positivo.

La figura 3 es una sección transversal de un transistor de emisor múltiple, muy ampliada. Este dispositivo se emplea ventajosamente para sustituir los diodos de una de las compuertas de coincidencia en una etapa del contador de la figura 1. El transistor -58- se construye de acuerdo con las técnicas conocidas de circuitos integrados, y tiene por lo menos tres conexiones de electrodo -34'-, -35'-, -36'-, que corresponden a las conexiones de entrada -34-, -35-, -36- de la compuerta de la figura 2B. El transistor -58- tiene también una cone-



5 xión -42'- de colector, correspondiente a la conexión de salida -42- de la compuerta en la figura 2B, y una conexión de base -59- para conectar con la resistencia -32- en la compuerta de la figura 2A. El dispositivo de la figura 3 representa una diminuta porción de un circuito integrado monolítico que contiene todos los dispositivos semiconductores y resistencias de una etapa del contador de la figura 1.

10 De acuerdo con las técnicas conocidas de construcción de circuitos integrados, se ha comprobado que el dispositivo -58- ocupa mucho menos espacio en la porción del circuito integrado que una forma lógica de resistencia integrada de diodo de la compuerta de la figura 2A. Esta diferencia de espacio físico ocupado se debe a que los emisores múltiples del transistor -58- requieren un solo empalme aislado.

15 El transistor -58- se expone en la figura 3 en una forma conocida, sobre un substrato de material semiconductor de tipo p. Este transistor tiene una región epitaxil de colector de un material semiconductor n, y regiones de conexión del electrodo colector muy cargadas de impurezas de tipo n. Otras regiones similares impurificadas de tipo n se hallan difundidas en la región de base de tipo p del transistor. La unión colector-substrato aísla el transistor -58- de otros
20 elementos del circuito de la etapa en la misma porción del circuito.

Para aplicaciones en las que una compuerta deba tener dos conexiones de salida, como las compuertas -26-, -29- de la figura 1, el transistor de emisor múltiple de la figura 3 se modifica simplemente al construirlo para que comprenda una región extra de emisor. En las
25 figuras 4A y 4B se ilustra en esquema una de estas compuertas de emisor múltiple, con las dos conexiones de salida -42'- y -43'-.

En la disposición de compuerta de coincidencia con transistor de emisor múltiple, las conexiones de los electodos emisor y colector del dispositivo actúan todas respecto a la conexión de electrodo de
30 base -39- casi lo mismo que el circuito lógico de resistencia por diodo



descrito en relación con la figura 2A. El funcionamiento independiente de las diversas uniones base-emisor se consigue dejando entre las regiones del electrodo emisor un espacio mucho más largo que el circuito entre una región de emisor a una región de colector. De este modo, la aplicación de un potencial positivo a todos los electrodos emisores de entrada en la figura 4A permite que circule corriente desde el generador -31-, por la resistencia -32- y la unión base-colector, polarizada entonces hacia delante, al terminal de salida -42'-, y por la unión de salida base-emisor, polarizada hacia delante, al terminal de salida -43'-.

5

10 Sin embargo, la aplicación de una señal entrante a tierra a cualquiera de los electrodos emisores de entrada permite que circule corriente a través de ellos desde el generador -31-, de modo que las uniones de salida base-emisor y base-colector del dispositivo están necesariamente polarizadas a un estado no conductivo, y no conducen una corriente apreciable de salida. Por consiguiente, aunque se emplea por conveniencia un formato de transistor, el dispositivo -58- no actúa como transistor en el sentido de conducción controlada vía colector-emisor.

15

Aunque el transistor -58- tiene forma de transistor, funciona en el presente invento a manera de diodo, sin la ganancia sustancial que proporciona el funcionamiento como transistor. Este funcionamiento como diodo ofrece ciertas ventajas para la manufactura de circuitos integrados. Después de formar encima del dispositivo terminado de circuito integrado la capa aislante usual (no representada), pueden pasarse por encima conductores desde otras partes de la misma porción del circuito, según convenga, sin perturbar el conjunto de diodo con señales en esos circuitos cruzados. Sin embargo, la forma lógica de circuito de transistor-resistencia empleada a menudo para compuertas de coincidencia no conviene tanto, porque la ganancia sustancial en el transmisor de tal sistema lógico somete al dispositivo al acoplamiento

20

25

30



entrantes se acoplan a los circuitos repetidores de acuerdo con determinadas permutaciones de las señales de entrada y de las señales en las salidas de los circuitos repetidores ó de traslación.

5 2. - Aparato contador binario según la reivindicación 1, caracterizado porque cada circuito repetidor comprende dos circuitos amplificadores en cascada, conectados directamente y polarizados para conducción alternativa en respuesta a señales entrantes biestables en su citada entrada; y la entrada se acopla a una entrada del primer amplificador, y las salidas del circuito de traslación se derivan de las salidas de los
10 dos circuitos amplificadores, respectivamente.

3. - Aparato contador binario según la reivindicación 1, caracterizado porque sólo se emplean conexiones en c.c. para interconectar todos los elementos del circuito del mismo.

15 4. - Aparato contador binario según la reivindicación 1, caracterizado porque las permutaciones prefijadas se representan en forma booleana como sigue :

$$Y_1 = Y_1\overline{TC} + Y_2\overline{TC} + Y_1TC + \overline{Y_2}TC$$

$$Y_2 = Y_1\overline{TC} + Y_2\overline{TC} + \overline{Y_1}TC + Y_2TC$$

20 donde Y_1 e Y_2 son salidas de dichos circuitos repetidores primero y segundo, T representa las señales entrantes, y C denota las señales de control.

25 5. - Aparato contador binario según la reivindicación 3, caracterizado porque cada compuerta de coincidencia comprende una unión común de circuito; medios que acoplan un generador de potencial a dicha unión; diodos primero, segundo y tercero, que comprenden cada uno un primer electrodo conectado a dicha unión común, y un segundo electrodo conectado respectivamente a un receptor diferente, al generador de señales de
30 control, y a una salida de uno de los circuitos de traslación; y al me-



nos un cuarto diodo que acopla la citada unión común a una entrada de uno de tales circuitos.

5 6. - Aparato contador binario según la reivindicación 1, caracterizado porque cada uno de los circuitos repetidores comprende transistores primero y segundo, cada uno provisto de electrodos de base, emisor y colector, y ambos conectados en cascada en circuitos amplificadores de seguidor de emisor; medios que conectan dicha entrada de dicho circuito repetidor al electrodo de base del primer transistor; medios que conectan el electrodo colector del primer transistor a la primera salida de dicho circuito repetidor; y medios que conectan el electrodo colector del segundo transistor a la segunda salida del citado circuito repetidor.

15 7. - Aparato contador binario según la reivindicación 1, caracterizado porque cada uno de los circuitos repetidores comprende dos circuitos amplificadores en cascada, conectados directamente, y polarizados para conducción alternativa en respuesta a señales entrantes bistables en su entrada; estando la entrada del circuito repetidor acoplada a una entrada del primer amplificador, y sus salidas se derivan de las salidas de los dos circuitos de amplificación, respectivamente.

20 8. - Aparato contador binario según la reivindicación 1, caracterizado porque cada compuerta de coincidencia comprende un dispositivo transistor semiconductor provisto de una conexión de base, una conexión de colector y al menos conexiones primera, segunda y tercera de emisor; un generador de potencial, acoplado a la conexión de base; medios que aplican señales entrantes de los citados receptores a la primera conexión de emisor; dichos medios de acoplamiento aplican señales de control a la segunda conexión de emisor; dichos medios de interacoplamiento aplican una salida de uno de los circuitos repetidores a la tercera conexión de emisor; y medios que acoplan el electrodo colector a una entrada de uno de los circuitos repetidores.

25

30



9. - Aparato contador binario según la reivindicación 8, caracterizado porque cada dispositivo transistor semiconductor comprende un material común de sustrato de un primer tipo de conductividad; una región epitaxial de colector de un segundo tipo de conductividad, cuya región de colector presenta porciones de contacto de colector más impurificadas que el resto; una región de base contigua a la región de colector, entre las porciones de contacto, cuya región de base es del primer tipo de conductividad; y porciones discretas de emisor del segundo tipo de conductividad dispuestas en porciones espaciadas de la región de base, siendo los espacios entre las citadas porciones de electrodo emisor mayores que la longitud mínima de la vía de corriente eléctrica entre una de las porciones citadas de electrodo emisor y la región del colector.

10. - Aparato contador binario según la reivindicación 8, caracterizado porque los dispositivos semiconductores en dos de las compuertas comprenden además una cuarta conexión de emisor a la entrada de un circuito repetidor, a la cual se halla conectada la conexión de colector del citado dispositivo de la otra compuerta; y cada una de las dos compuertas tiene conectada al tercer electrodo emisor de su dispositivo semiconductor la segunda salida del circuito repetidor últimamente citado.

11. - Aparato contador binario según la reivindicación 8, caracterizado porque uno al menos de los dispositivos transistores semiconductores comprende un electrodo emisor adicional para cada salida de la citada compuerta; y medios que conectan los electrodos de base y de colector.

12. - Aparato contador binario según la reivindicación 1, caracterizado porque cada una de las compuertas de coincidencia comprende un dispositivo semiconductor que comprende una primera porción de determinado tipo de conductividad; una segunda porción contigua a la primera, de diferente tipo de conductividad; una pluralidad de porciones comple-



mentarias del dicho tipo determinado de conductividad, junto a la segunda porción, pero separadas entre sí y de la primera región, para formar con la segunda región una pluralidad de dispositivos conductores asimétricos; medios que aplican las señales entrantes, las de control y una salida de uno de los circuitos repetidores a diferentes porciones adicionales de las citadas; y medios que acoplan la primera región a una entrada de uno de los circuitos repetidores.

13. - Aparato contador binario.

Esta memoria consta de dieciocho páginas, escritas por una sola cara.

BARCELONA,

28 JUN. 1967

P. A.

342866

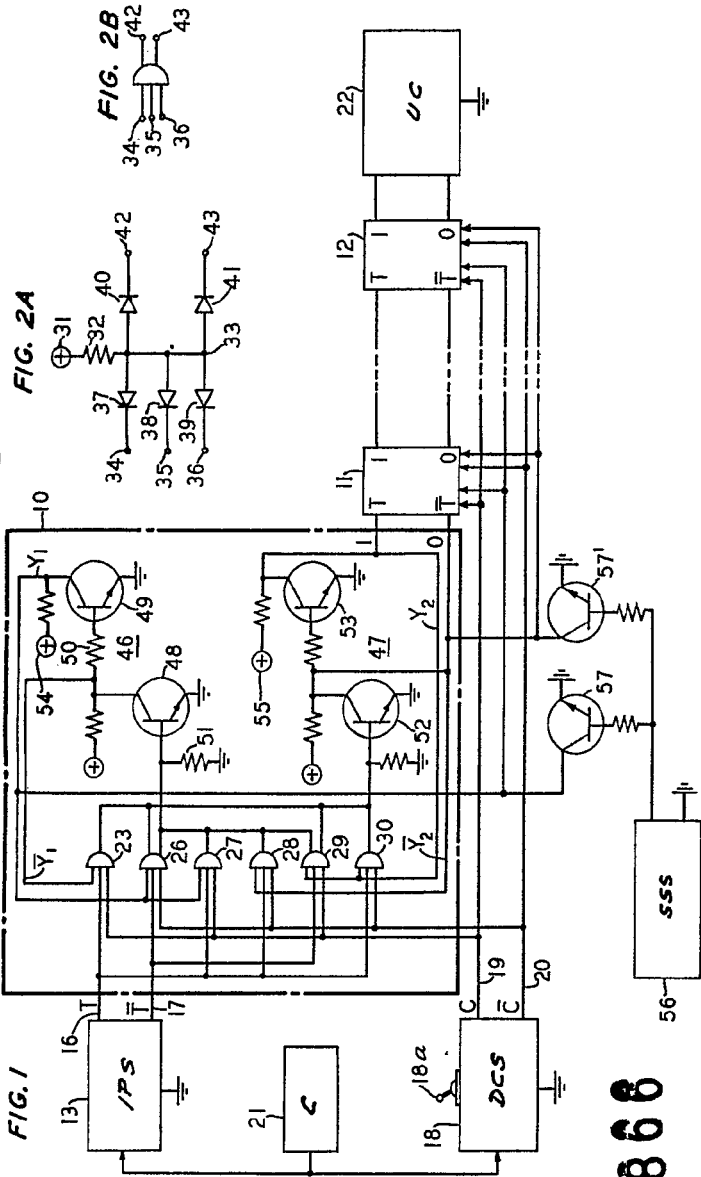


FIG. 2B

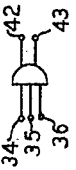
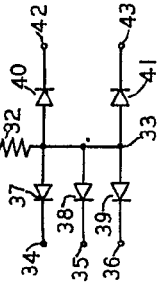


FIG. 2A



342866

FIG. 3

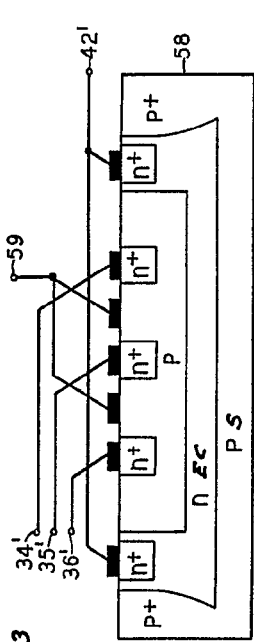


FIG. 4A

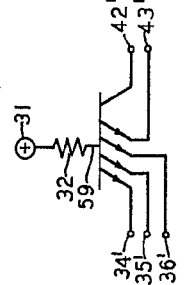


FIG. 4B

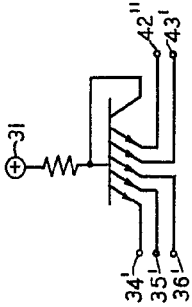


FIG. 5A

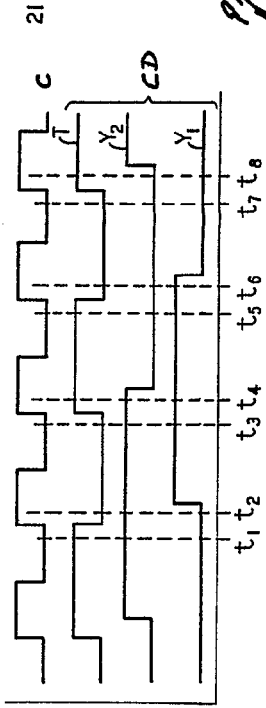
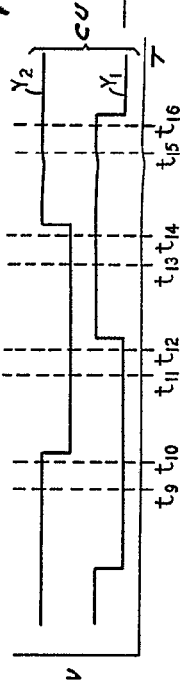
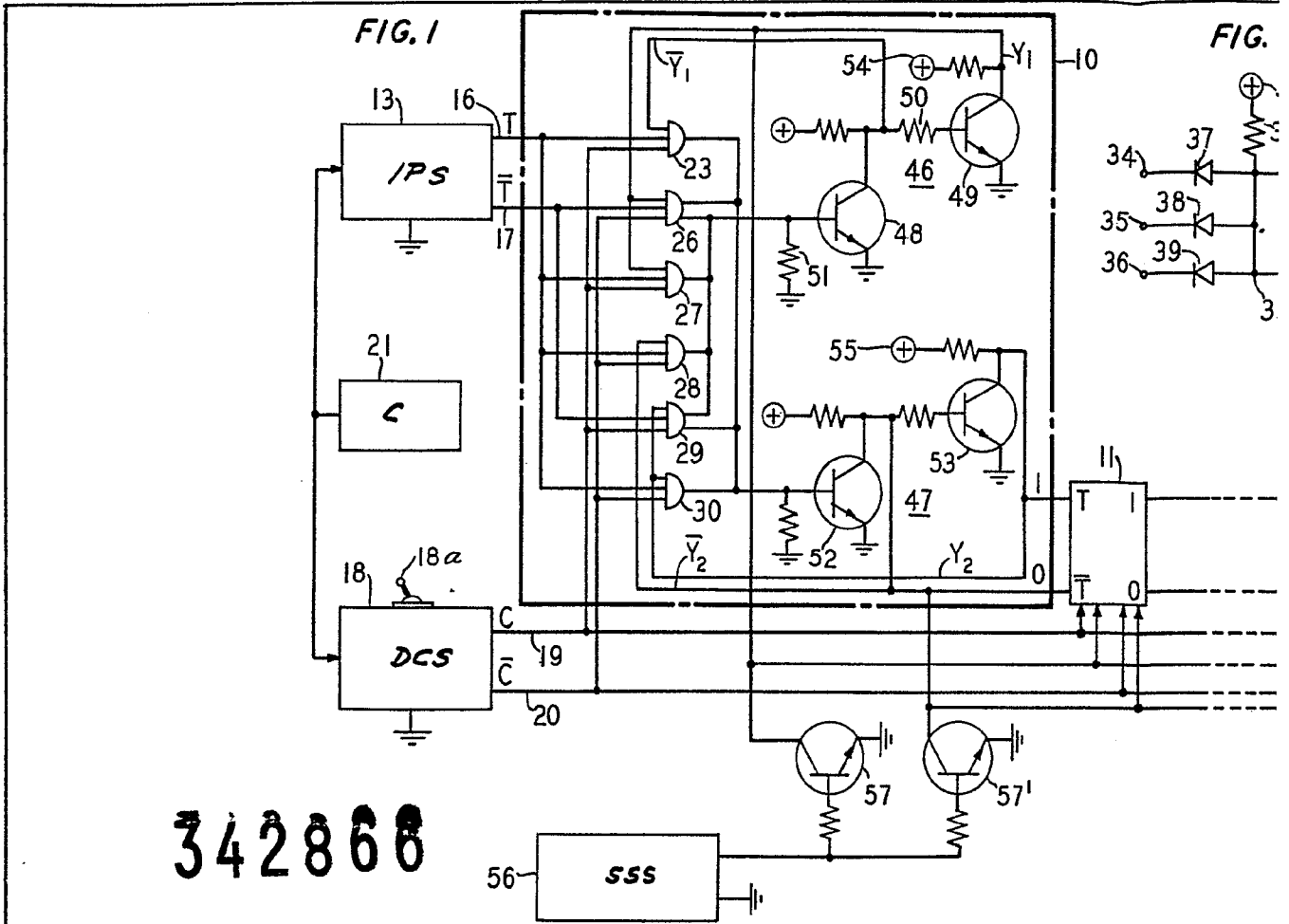


FIG. 5B





342868

FIG. 3

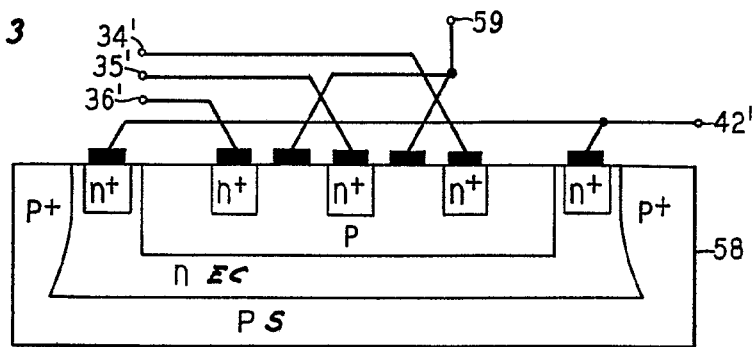


FIG. 4A

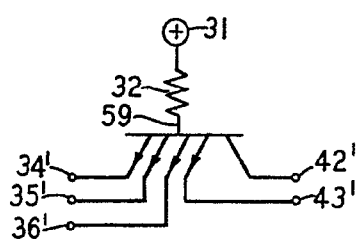
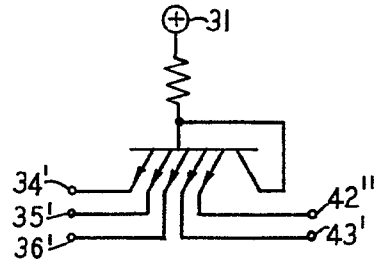


FIG. 4B



V



28

342866

FIG. 2A

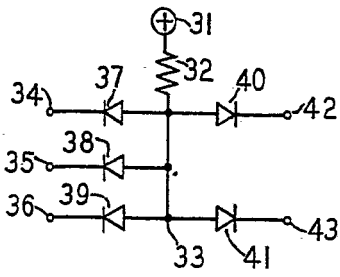


FIG. 2B

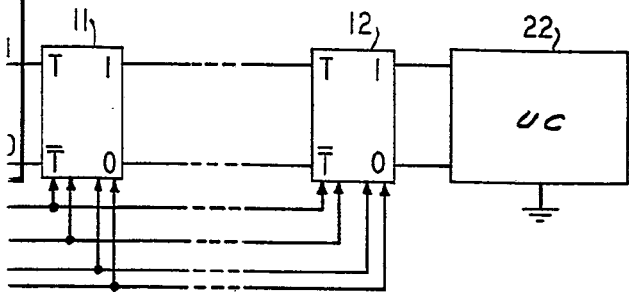
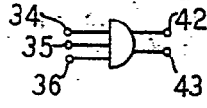


FIG. 5A

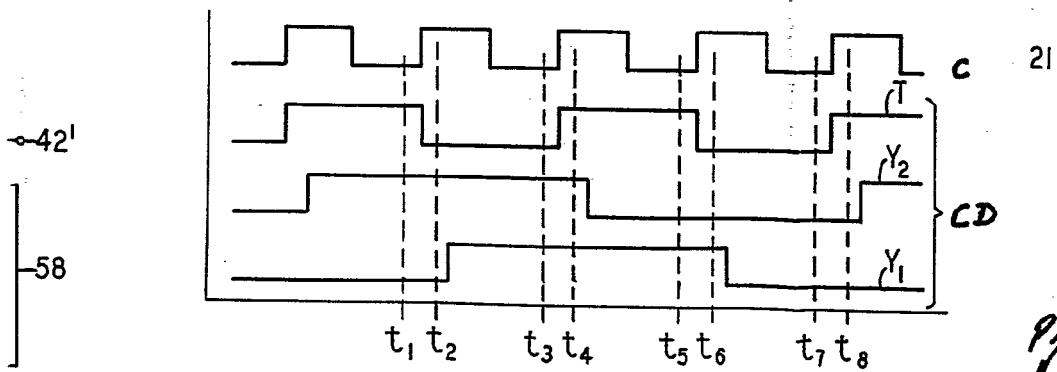
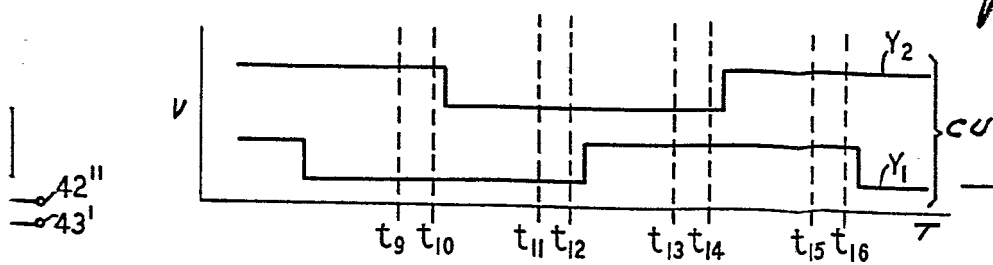


FIG. 5B



PA