



341952

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE

INVENCION EN ESPAÑA POR:

"CIRCUITO CONMUTADOR A TRANSISTORES" A

NOMBRE DE STANDARD ELECTRICA, S.A. DOMICILIADA EN MADRID,

CALLE DE RAMIREZ DE PRADO, 5.

-----

Este invento se refiere a circuitos conmutadores a transistores y en particular a circuitos integrados para utilización en sistemas que emplean lógica acoplada por transistores.

En consecuencia el invento proporciona un circuito  
5 conmutador a transistores que incluye un transistor de acoplamiento y un transistor de salida, teniendo dicho transistor de salida electrodos colector y emisor y teniendo dicho transistor de acoplamiento base, colector y por lo menos un electrodo emisor y un generador de suministro de corriente : : : : : conectado a la base del transistor de acoplamiento por medio de  
10 una primera resistencia por la que el colector de dicho transistor de acoplamiento se conecta a través de una segunda resistencia a la base de dicho transistor de salida y un tercer transistor del mismo tipo de conductividad está conectado con su electrodo base al electrodo base del transistor de acoplamiento, su  
15

./.

341952

2.



electrodo emisor al terminal de dicha segunda resistencia re-  
puesto del colector del transistor de acoplamiento y su elec-  
trodo colector al terminal de la primera resistencia remoto de  
la base de dicho transistor de acoplamiento.

20                   En circuitos conmutadores a transistores digitales  
saturados, se conmuta un transistor desde un estado conductor  
al de bloqueo y viceversa, en respuesta a corrientes o poten-  
ciales aplicados a su electrodo de control. Por la adecuada  
disposición de los circuitos asociados para controlar el paso  
25 de las señales, pueden efectuarse diferentes funciones lógicas.

Se han utilizado diferentes métodos de acoplamiento  
entre pasos en circuitos conmutadores. En conjuntos de compo-  
nentes discretos el acoplamiento de resistencia-capacidad (RCTL)  
se generalizó, pero el desarrollo de las técnicas de fabrica-  
30 ción planar y epitaxial ha permitido fabricar todos los compo-  
nentes en una sola pieza de material semiconductor en forma de  
circuito integrado. La introducción de los circuitos integrados  
introdujo limitaciones en los componentes pasivos que podrían  
incorporarse; inicialmente, la lógica de transistores acoplados  
35 directamente (DCTL) encontró acogida favorable pues utiliza  
transistores con una conexión de colector común y facilita la  
fabricación. Sin embargo, la falta de uniformidad en los dis-  
positivos dió lugar a deficiencias en el funcionamiento y la  
técnica DCTL fué sustituida por la lógica de resistencia-tran-  
40 sistor (RTL). En común con las técnicas anteriores la RTL ado-  
lece de poca inmunidad al ruido y a su vez fué sustituida por  
la lógica de transistores de acoplamiento de diodo.

La última fué la primera forma de circuito lógico  
de alta velocidad adecuado para fabricación en forma de circui-  
45 to integrado en una sola pieza con buena inmunidad al ruido,

./.



pero con el inconveniente de que para el funcionamiento óptimo se requiere suministro de energía positivo y negativo. La evolución de la lógica acoplada a transistores (TTL) evitó este inconveniente.

50 La teoría de TTL y las mejoras en la misma se describirán a continuación con referencia a los adjuntos dibujos, en los cuales:

La fig. 1 muestra un circuito de puerta NAND TTL típico.

55 La fig. 2 muestra un circuito de puerta NAND TTL equivalente.

La figura 3 muestra un desarrollo del circuito de la fig. 2 adecuado para funcionamiento a niveles más altos (lógica acoplada por transistores de alto nivel (HLTTL)).

60 La fig. 4A es una vista de planta de una versión monopieza del circuito mostrado en la fig. 3.

La fig. 4B es una sección del circuito de la fig. 4A por la línea QQ'.

65 La fig. 5 muestra potenciales en diferentes partes del circuito de la fig. 3.

La fig. 6 es una puerta TTL modificada de acuerdo con el presente invento, y

La fig. 7 muestra un circuito de puerta NAND HLTTL que contiene la característica de la fig. 5.

70 Con referencia a la fig. 1, en una forma de puerta TTL NAND se utiliza un diodo de cambio de nivel D4 para aislar una puerta diodo de entrada ( $D_1, D_2, D_3$ ) de un transistor inversor  $T_1$ . La salida se toma de la resistencia de carga  $R_3$  en el circuito colector del transistor.

75 Los diodos de entrada son normalmente activados

./.

341952

4.



desde los colectores de pasos de transistor previos. Si cualquiera de estos conduce, pasará corriente desde el suministro  $V_1$  a través de la resistencia de polarización  $R_1$  y el diodo de entrada apropiado, al colector del transistor. El punto nodal N quedará fijado entonces a un potencial igual al de saturación del transistor más la caída de potencial en el diodo de entrada. Esta queda contrarrestada por la caída de potencial en el diodo  $D_4$  que mantiene el potencial de la base a un valor que asegura que el transistor  $T_1$  no conduce.

85 Cuando todas las entradas no conducen el punto N está a un potencial más alto en el que el transistor  $T_1$  está saturado.

La resistencia  $R_2$  está conectada a un suministro de potencial negativo y acelera la supresión de portadoras de carga del diodo  $D_4$  y del transistor  $T_1$  cuando se desconecta.

90 La estructura física de un transistor es equivalente a la de dos diodos de polaridad opuesta en gran proximidad entre sí. Aplicando este concepto al circuito de la fig. 1, se verá que los diodos de entrada y acoplamiento pueden reemplazarse por un transistor que tenga un número de regiones emisoras separadas. 95 Debido a la proximidad las regiones colectoras y emisoras, en ambos estados estables, el transistor de puerta funciona en forma saturada y su potencial es solamente el de conmutación. La corriente de la base es similar en ambos estados estables y la conmutación sólo necesita una redistribución de la carga de la base 100 eliminando la necesidad de la resistencia  $R_2$  y del segundo suministro de energía. El circuito modificado se muestra en la fig. 2. Sin embargo, el efecto de la carga capacitativa en este circuito es aumentar la demora de propagación, de modo que corrientemente, como se muestra en la figura 3, se utiliza un 105 circuito en contrafase para reducir al mínimo este efecto.

./.



Con referencia a las figs. 4A y 4B muestran la disposición (no a escala) del circuito de la fig. 3 en una placa de semiconductor. El silicio es el material más adecuado, si bien también pueden usarse otros como el germanio y el arsénico de galio.

El circuito integrado, en la forma mostrada, consiste en una capa epitaxial 1 de tipo n en un sustrato de tipo p 2. Islas de material de tipo n completamente circundadas por semiconductor de tipo p se forman por regiones de difusión de aislamiento 3 (mostradas con rayado en la fig. 4A). Los diferentes elementos de circuito (designados por los mismos símbolos que en la fig. 3) se forman entonces dentro de estas islas. La superficie del cuerpo semiconductor está protegida por una capa de óxido 4 y en esta se proveen interconexiones metálicas 5, entre los electrodos de los elementos de circuito y los terminales de conexión exterior.

La estructura del transistor multiemisor se verá en la fig. 4B. Una región base de tipo p 7 se forma en una isla de tipo n 8. Incrustadas en la región base hay varias regiones emisoras de tipo n 9. Se provee una región n+ 10 como contacto de colector ohmico y la estructura incluye también una región subepitaxial n+ 11 que actúa como barra interna de cortocircuito que reduce la resistencia interna del transistor a unos ohmios.

Valores típicos de las resistencias en el circuito son como sigue:  $R_1 = 4K$ ,  $R_3 = R_4 = 1K$ ,  $R_5 = 150$ .

Como se muestra en la fig. 4a, el transistor multiemisor tiene un área relativamente grande y la capacidad parásita de su unión de aislamiento es correspondientemente grande. Esto tiene el efecto contraproducente en la velocidad de funciona-

341952

6.



miento del circuito, pues cuando la entrada se conmuta a un estado de bloqueo, esta capacidad parásita debe cargarse por medio de la resistencia  $R_1$  antes de que el transistor  $T_1$  se conmute en circuito.

140

En la rig. 5 se dan formas de onda en la entrada y salida y en la base (punto M) del transistor  $T_1$  mostrando la demora de tiempo  $t_d$ . Una solución propuesta para reducir  $t_d$  es reducir el valor de la resistencia  $R_1$  y aumentar la corriente de carga del condensador. Sin embargo, debido a la acción inversa del transistor esto causará una corriente de fuga aparentemente alta en las uniones de emisor reduciendo la posible caída.

145

150

Para contrarrestar esta dificultad, reteniendo una alta corriente de carga para la capacitancia parásita el presente invento proporciona un dispositivo de carga separado que se muestra esquemáticamente en la fig. 6. e incorporado en el circuito de logica acoplado por transistor de alto nivel de la fig. 7. En esta disposición la resistencia  $R_1$  está reemplazada por el divisor de potencial  $R_6, R_7$ . Otra resistencia de bajo valor  $R_8$  se introduce entre el colector del transistor multi-

155

160

165

emisor  $T_2$  y la base del transistor divisor de fase  $T_1$ . Un transistor  $T_5$  se conecta como se muestra entre la resistencia  $R_6$ , transistor  $T_2$  y resistencia  $R_8$ . Valores típicos de resistencias en este circuito son  $R_3=R_4=R_2=1K$ ,  $R_5=150$ ,  $R_6=3K$ ,  $R_8=200$ . Con este circuito, cuando las ontradas están bloqueadas se satura el transistor  $T_5$  proporcionando una corriente de carga aumentada para la capacitancia parásita del transistor multi-emisor, pues la resistencia en serie efectiva es  $R_7$  en vez de la equivalente  $R_6 + R_7$  del circuito de la técnica anterior. Esta modificación no perjudica la caída pues esta corriente incrementada no puede reflejarse como corriente de fuga apa-

./.



rente en el transistor multiemisor.

Otras mejoras pueden obtenerse si se forma la resistencia  $R_g$  omitiendo la difusión  $n^+$  subepitaxial del transistor multiemisor. La capacitancia parásita puede entonces distribuirse en  $R_g$  aumentando el efecto del circuito de corriente de carga adicional.

Puede obtenerse aún mejora adicional en la función conmutadora incluyendo un circuito regenerativo desde un segundo emisor en el transistor  $T_3$  al colector del transistor de carga (mostrado de puntos en la fig. 7).

Si bien se ha descrito el invento en términos de circuitos integrados, será evidente que se obtendrán también las ventajas si se aplica a circuitos que emplean componentes discretos. Del mismo modo, aunque la descripción se ha hecho en términos de dispositivos npn, son posibles también circuitos complementarios, como son los circuitos que emplean dispositivos de ambas polaridades. Además, el invento no queda limitado a la utilización de transistores bipolares; puede utilizarse ventajosamente para aliviar los efectos de almacenaje de carga cuando se utilizan otros dispositivos activos tales como transistores de efectos de campo. En este caso, por ejemplo, los electrodos de puerta suministro y drenaje serán sustituidos por los de base, emisor y colector.

Ha de quedar entendido que la anterior descripción de ejemplos específicos de este invento no ha de considerarse como limitación de su alcance.

Este invento corresponde a una solicitud de patente formulada en Inglaterra el 17 de Junio de 1966 señalada con el Núm. 27.097/66 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

341952

8.



----- NOTA -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

200 1.-Un circuito conmutador a transistores que incluye un transistor de acoplamiento y un transistor de salida, teniendo dicho transistor de salida, electrodos base, colector y emisor y teniendo dicho transistor de acoplamiento electrodos base, colector y por lo menos un electrodo emisor y un generador de suministro de corriente conectado a la base del transistor de acoplamiento por medio de una primera resistencia, en el que el colector de dicho transistor de acoplamiento se conecta a través de una segunda resistencia a la base de dicho transistor de salida y tercer transistor del mismo tipo de conductividad que dicho transistor de acoplamiento está conectado  
205 con su electrodo base al electrodo base del transistor de acoplamiento, su electrodo emisor al terminal de dicha segunda resistencia, remoto del colector del transistor de acoplamiento y su electrodo colector al terminal de la primera resistencia remota de la base de dicho transistor de acoplamiento.

215 2.-Un circuito conmutador a transistores según el punto 1 en el que dicho transistor de salida y dicho transistor de acoplamiento son el mismo tipo de conductividad.

3.-Un circuito conmutador a transistores según el punto 1 ó 2 en el que dicha segunda resistencia comprende la  
220 resistencia de saturación interna de dicha resistencia de acoplamiento.

4.-Un circuito conmutador a transistores según cualquiera de los puntos precedentes en el que dicho transistor de salida está conectado a otro par de transistores de salida en

./.



225 conexión en contrafase:

5.-Un circuito conmutador a transistores según el punto 4 en el que se provee un circuito regenerativo desde uno de dichos pares de transistores al colector de dicho tercer transistor.

230 6.-Un circuito conmutador a transistores según el punto 5 en el que dicho circuito regenerativo se provee por medio de un electrodo emisor auxiliar en uno de dicho par de transistores.

235 7.-Un circuito conmutador a transistores esencialmente según se ha descrito con referencia a las figs. 6 ó 7 de los adjuntos dibujos.

8.-Un circuito conmutador a transistores especialmente según se ha descrito con referencia a las figs. 4, 5, 6 y 7 de los adjuntos dibujos.

240 9.-Un circuito conmutador a transistores según cualquiera de los puntos precedentes, integrado en una placa monopieza.

10.-Un circuito conmutador a transistores.

245 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de nueve hojas escritas por una sola cara.

Madrid,

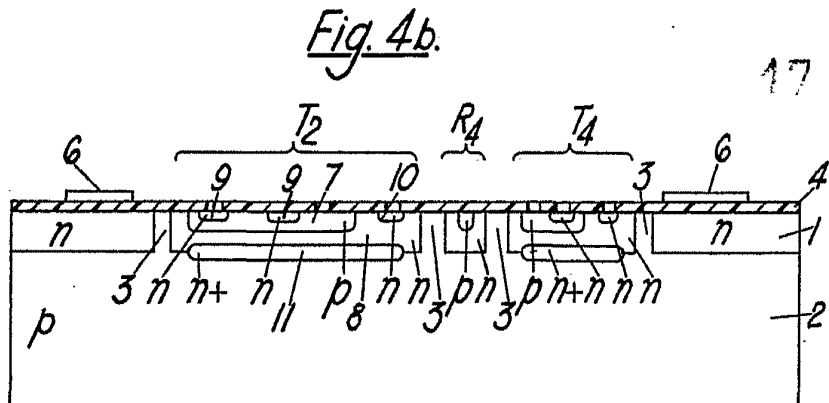
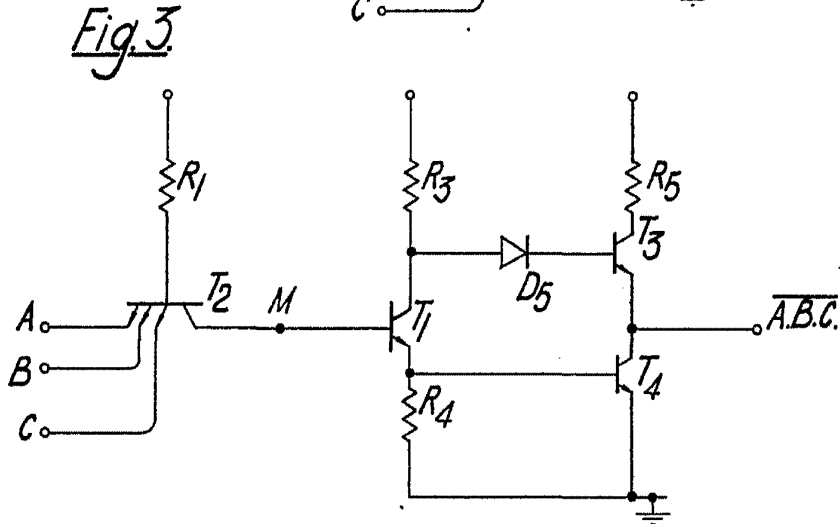
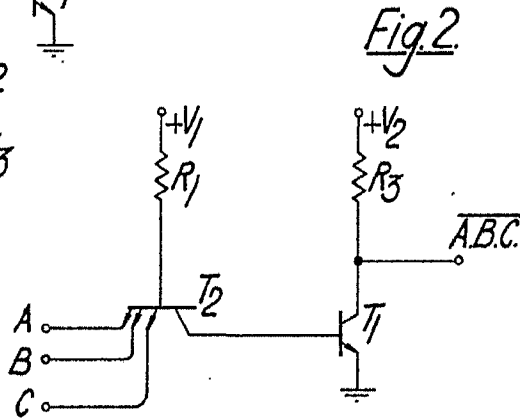
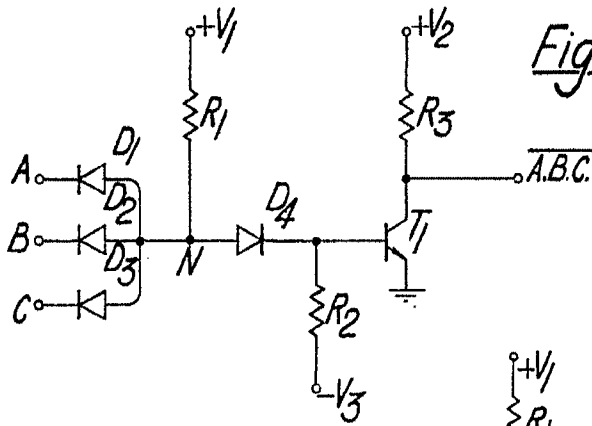
17 JUN. 1967



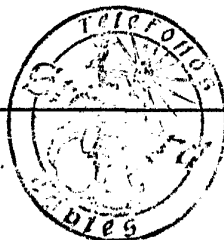
*Alcazar*  
ESCRITO Y FIRMADO  
17 JUN 1967



# 341952



17 JUN 1967



*E. Barroso*

**EUGENIO BARROSO**  
Secretario General



341952

Fig. 4a.

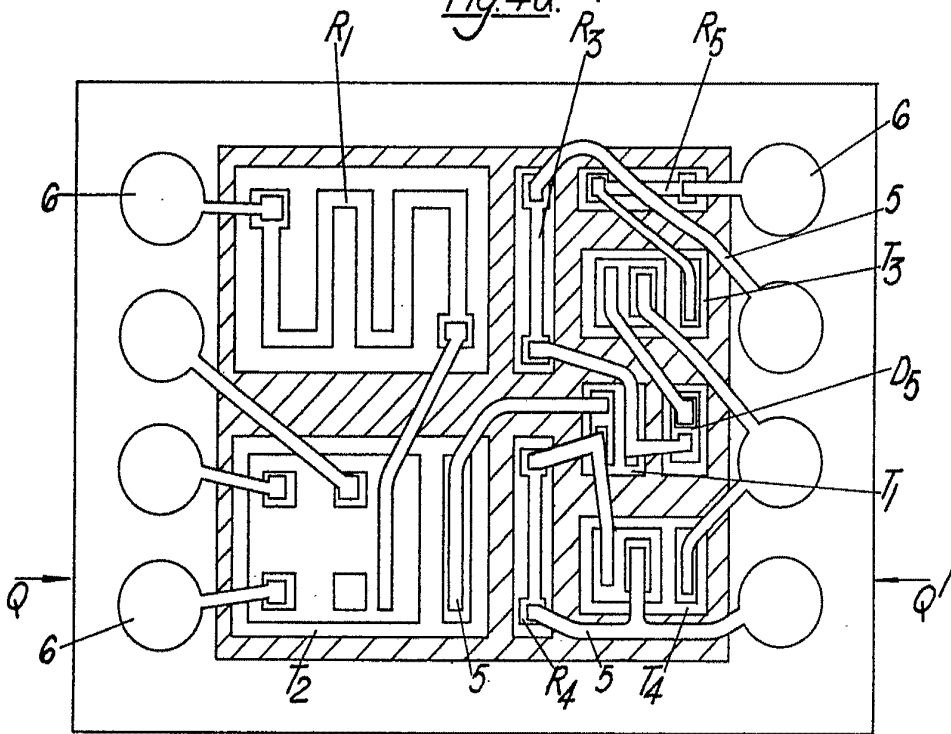
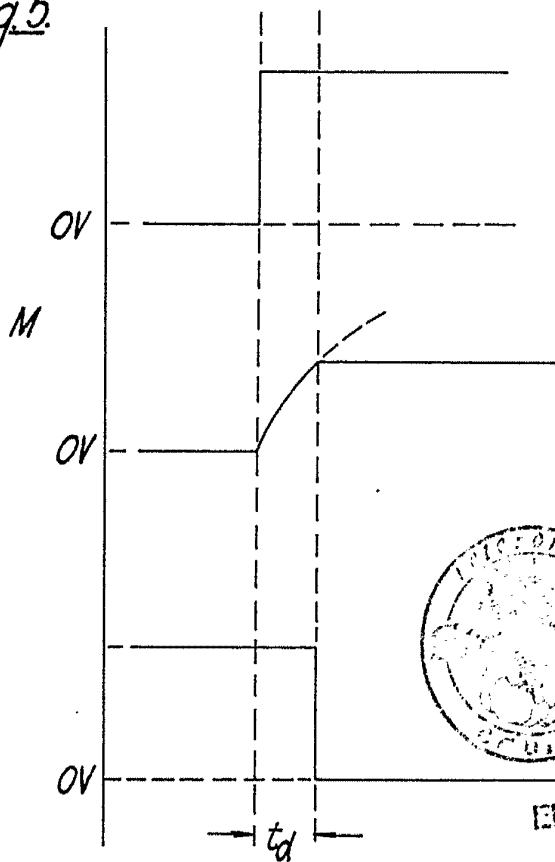
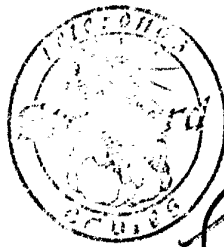


Fig. 5.



17 JUN 1957



*W. A. Williams*

EUGENIO...  
General



341952

Fig. 6.

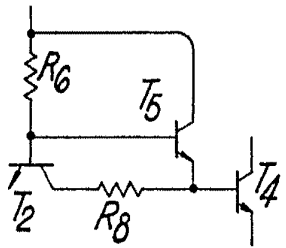
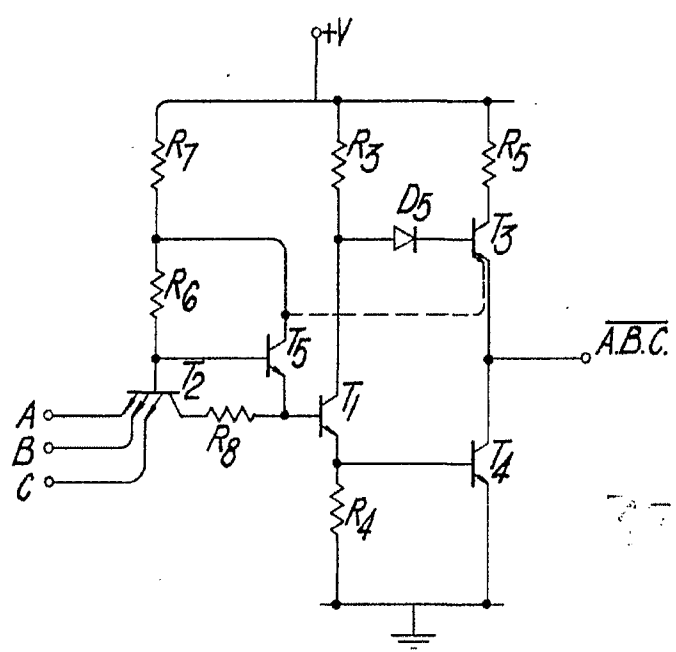


Fig. 7.



*Eugenio Barroso*

EUGENIO BARROSO  
Secretario General