

P.- 34.944

B. 1977.3 JF/MD



339307

Memoria descriptiva

para solicitar Patente de Invención por 20 años

a nombre de COMMISSARIAT A L'ENERGIE ATOMIQUE

entidad / ~~de nacionalidad~~ francesa

con domicilio en 29, rue de la Fédération, París, Francia

por: "DISPOSITIVO DE CIRCUITO LOGICO INTEGRADO DE TRANSISTORES NO SATURADOS"



El presente invento, debido a los Sres. Jacques
Lacour y Pierre Rousseau, tiene por objeto un circuito -
lógico binario y, mas particularmente, un circuito lógico
que utiliza transistores no saturados de acoplamiento por
los emisores, así como un conjunto lógico que incluye ta-
les circuitos y su alimentación. El invento persigue la
realización de un circuito que responde mejor que los an-
teriormente utilizados a las exigencias de la práctica, es-
pecialmente por que los niveles lógicos de salida que ca-
racterizan sus dos estados binarios son determinados con
una mejor constancia y, sobre todo, por que presenta un -
consumo menor a igual rapidez de conmutación.

Para mayor sencillez se designará, en la des-
cripción y las reivindicaciones que siguen, con el nombre
de "Circuito lógico del tipo definido más arriba" un cir-
cuito constituido por dos transistores de salida, estando
unida la base del primero al colector de un transistor de
polarización unido por una primera resistencia de carga a
uno de los polos de un generador de alimentación, y es-
tando unida la base del segundo a los colectores de varios
transistores centrales dispuestos en paralelo, reunidos -
por una segunda resistencia de carga al mismo polo del ge-
nerador de alimentación, estando unidos los emisores de to-
dos los transistores de entrada y del transistor de polari-
zación al otro polo del generador de alimentación por una
resistencia de entrada común; las tensiones representati-
vas de los niveles lógicos de las variables a tratar son
aplicadas en las bases de los transistores de entrada.

Según el invento, la segunda resistencia de car-
ga, colocada en el circuito colector común a los transis-

339307



tores de entrada, está derivada por un diodo que fija el potencial de la base del segundo transistor de salida en uno de los estados de equilibrio, y dicha resistencia de entrada común presenta un valor muy inferior al valor mínimo que correspondería a una característica de transferencia aceptable en ausencia de dicho diodo.

5

El invento consiste todavía en otras disposiciones ventajosamente utilizables en unión con las precedentes. Estas características aparecerán mejor por la lectura de la descripción que sigue de un circuito de tipo conocido y de un circuito según el invento, estando dado este último a título de ejemplo no limitativo. La descripción se refiere a los dibujos que la acompañan, en los cuales:

10

La figura 1 es un esquema de un circuito del tipo definido más arriba, utilizado ampliamente en la actualidad;

15

la figura 2 es un diagrama representativo de la característica de transferencia del circuito lógico de la figura 1;

20

la figura 3, similar a la figura 1, muestra un circuito según el invento;

la figura 4, similar a la figura 2, da la característica de transferencia del circuito de la figura 3;

25

la figura 5 es un esquema de principio de un conjunto lógico que comprende circuitos según el invento;

la figura 6 es un circuito utilizable como bloque de polarización; y

la figura 7 representa una variante de ejecución del circuito del invento.

30

Entre los circuitos lógicos del tipo definido -

339307



más arriba, el circuito 8 representado en la figura 1 es de un empleo frecuente. Comprende varios transistores NPN de entrada (estando representados dos transistores 10, 11) cuyos colectores están unidos a la masa por una resistencia R_{c1} y cuyos emisores están llevados a un potencial negativo por medio de una resistencia común R_e unida a una fuente de potencial conveniente $-U$. Los niveles lógicos que puede tomar cada una de las variables X , Y , etc. ... a tratar, son aplicados en forma de tensiones V_e sobre las bases de los transistores 10, 11, etc. ... Un circuito de polarización simétrico del precedente comprende un transistor NPN 12 cuyo emisor está unido igualmente por la resistencia R_e a la fuente de potencial $-U$, cuya base está llevada a una tensión constante V_p y cuyo colector está unido a la masa por una resistencia R_{c2} del mismo orden que R_{c1} .

Los colectores de los transistores 10, 11, etc. ... atacan en paralelo la base del segundo transistor de salida 14, cuyo colector está a la masa. Si se adscribe el valor lógico 1 a la tensión más alta y el valor lógico 0 a la tensión más baja, el emisor del transistor 14 proporciona en una resistencia de carga 16 una tensión V_{s1} representativa de $\overline{X + Y + \dots}$, complemento de la suma lógica de X , Y , etc. ... El colector del transistor 12 ataca igualmente el primer transistor de salida 18 que proporciona en una resistencia 20 una tensión V_{s2} representativa de la suma lógica $X + Y + \dots$ (que se escribe así $X|0|Y|0 \dots$).

La característica de transferencia del circuito 8 está esquematizada en la figura 2, donde v designa la tensión de cada del diodo (base-emisor) de los transisto-

339307



res para la corriente empleada a 25° c y donde $V_p = \frac{3}{2} v$
(-1,15 voltios a 25° C por ejemplo). Se ve que, cuando -
uno, por lo menos, de los transistores 10, 11, etc. ...
es llevado de la tensión V_{e1} a la tensión V_{e2} , las ten-
siones V_{s1} y V_{s2} pasan de un nivel lógico a otro según las
características requeridas de un circuito "0". Pero se ve
también que la parte rectilínea derecha o recta de la cur-
va representativa de V_{s1} no es horizontal, sino inclinada
en un ángulo α tal que:

$$\operatorname{tg} \alpha = \frac{R_{c1}}{R_e}$$

Para un nivel de entrada igual a v y caracterís-
tico de uno de los estados binarios, tenemos, pues, un ni-
vel de salida V_s diferente del valor $2v$ característico del
otro estado binario, lo que origina una disimetría.

No se puede actuar ya más sobre R_e para modifi-
car $\operatorname{tg} \alpha$. Pero se encuentra uno entonces frente a dos -
exigencias contradictorias:

- Estando la rapidez de conmutación directamente
relacionada con la corriente $i = \frac{U-V_p}{R_e}$ que pasa por los -
transistores 10, 11, etc. ..., es deseable adoptar un va-
lor pequeño de R_e para conservar (a rapidez dada) un va-
lor pequeño de U : en efecto, la potencia $U \times i$ disipada en
el circuito i que se ha de evacuar, ha de ser mantenida tan
pequeña como sea posible, por que constituye, uno de los
factores que limitan la integración de los circuitos.

- Para que el nivel lógico sea tan constante co-
mo sea posible, importa que $\operatorname{tg} \alpha$ sea pequeño, es decir,

339307

17 MAY 1967



Re elevada.

Se está obligado, pues, a tomar para Re un valor de compromiso que, con los valores numéricos dados - más arriba, podrá ser $Re = 1200 \Omega$, lo que corresponde a una pendiente del orden de 0,25 y a una tensión de alimentación $U = 5,2$ voltios.

El invento permite prescindir de la necesidad de este compromiso fijando el potencial de la base del transistor 14 cuando éste es conductor: para ésto, propone el circuito 8' representado en la figura 3, donde los elementos que corresponden a los de la figura 1 llevan el mismo número de referencia, con el índice prima.

El circuito de la figura 3 incluye un diodo con semiconductor 22 montado en paralelo sobre la resistencia $Rc1$. La presencia de este diodo ("clamping diode" en terminología anglosajona) que fija el potencial de base del transistor 14', permite disminuir el valor de Re, a la vez que se mejora la característica de transferencia $V's_1$, como muestra la figura 4: el ángulo α es nulo, y solo subsiste el codo terminal correspondiente a la saturación del transistor 12'. Si, por ejemplo, se toma $Re = 150 \Omega$ con $v = -1,15$ voltios y $V'p = -\frac{3}{2}$ v, basta tomar $U = 3v$, o sea 2,25 voltios aproximadamente: a título de ejemplo, se pueden utilizar entonces resistencias 16 y 20 de 1000 ohmios y una resistencia $Rc2$ de 330 ohmios, conservando $Vp = \frac{3}{2}$ v, es decir, $Vp = \frac{U}{2}$. Se puede utilizar como diodo 22 un transistor cuya base y el colector están unidos entre sí y a la masa y cuyo emisor está unido a la base de los agujeros internos 10', 11', ...

La ventaja del circuito según el invento se ve

339307



inmediatamente: la potencia disipada por el circuito 8' es muy inferior. Con las características numéricas dadas más arriba, la potencia disipada en el circuito 8' es de 12,5 mW a 25°C, contra 35 mW para el circuito 8 correspondiente, siendo disipados 12,5 mW en el circuito de alimentación de 8'; esta potencia varía evidentemente en función de la temperatura entre 6,8 mW a 125°C y 20 mW a -55°C: se ve que se produce una cierta compensación, puesto que los circuitos 8' disipan menos calor si la temperatura aumenta.

En consecuencia, será posible disminuir sensiblemente el volumen ocupado por circuitos integrados del tipo definido más arriba o, a volumen dado, simplificar el difícil problema de la evacuación del calor disipado.

La disminución de consumo es tal, que se pueden realizar conjuntos que incluyen una alimentación estabilizada, es decir, que aseguran un funcionamiento mejorado, conservando a la vez un consumo global netamente inferior al de conjuntos que utilizan circuitos 8. La figura 5 - muestra una tarjeta 24 ocupada por circuitos 8' (en número de 25 por ejemplo) y por un bloque de polarización 26. El circuito de alimentación proporciona una tensión U' - igual a $3v'$ (v' tensión de codo de diodo) y el circuito de polarización divide esta tensión para proporcionar $V'p$; este circuito de alimentación comprende una fuente que proporciona una tensión rectificada y filtrada con aproximación del 20% solamente V_{al} , de valor medio $4v'$ max. + 20% (correspondiendo v' max al valor de codo máximo, es decir, a temperatura mínima), y un estabilizador constituido por cuatro diodos 28 en serie con un transistor 30: este es-

339307

17 MAY



tabilizador permite mantener una tensión de alimentación $U' = 3v'$; basta dividir esta tensión por 2 para obtener la tensión de polarización.

5 Se puede utilizar, por ejemplo, como bloque de polarización 26, el circuito ilustrado en la figura 6, constituido por un puente divisor con dos transistores 32 y 34 en oposición. Las resistencias 36 y 38 son de valor igual, por ejemplo 400 ohmios. La resistencia 40 puede ser de 400 ohmios igualmente, mientras que las resistencias 10 42 y 44 son de 800 ohmios. La resistencia 46 puede ser entonces de 2200 ohmios.

Para los valores dados más arriba para el circuito y el estabilizador y que corresponden a una temperatura de 25° C, la potencia disipada por el estabilizador es la misma que la disipada por los circuitos; la potencia total disipada no es, pues, todavía más que de 25 mW por circuito, es decir, menor que la potencia disipada en el circuito 8 solo. Por otra parte, se sabe que la evacuación de la potencia disipada en el estabilizador de alimentación no presenta dificultad.

La variante de ejecución del invento ilustrada en la figura 7, permite obtener una tensión de salida,

$$V''_{S2} = (X_1 + X_2 + \dots) \cdot (Y_1 + Y_2 + \dots) \cdot (\dots) \quad (1)$$

que se escribe también

25 $(X_1 \ 0 \ X_2 \ 0 \ \dots) \ Y \ (Y_1 \ 0 \ Y_2 \ 0 \ \dots) \ Y \ \dots$

Este circuito comprende una pluralidad de "básculas de entrada", siendo utilizado este término para designar el conjunto constituido por los transistores de entrada, el transistor de polarización correspondiente y el transistor de salida acoplado a los transistores de entrada.

339307



da; la primera báscula de entrada del circuito mostrado en la figura 7, contenido en el cuadro 47 de trazos, lleva los mismo números de referencia que en la figura 3; la segunda báscula 47" está constituida por elementos idénticos a los de la primera: incluye una pluralidad de transistores de entrada 10", 11", ..., un transistor de polarización 12", - una resistencia común R^e que une los emisores de los transistores precedentes a la tensión -U', y una resistencia de colector R^{c1}, derivada también por un diodo 22". La báscula 47" incluye igualmente un transistor de salida 14" acoplado a los transistores de entrada 10", 11", ...

Otras básculas pueden ser previstas igualmente y montadas como la báscula 47": todas las básculas de entrada están acopladas entre sí, como se indica en la figura 7: los colectores de todos los transistores de polarización 12', 12" ... están unidos por un conductor 48. Todas las bases de estos transistores están unidas por un mismo conductor 50. Finalmente, los emisores de los transistores de salida 14', 14" ... están unidos por un conductor 52.

Dado que el ataque del colector del transistor de salida 18' se efectua por medio de una pluralidad de transistores 12', 12" ... que pueden ser todos simultáneamente conductores o todos simultáneamente estar bloqueados, está previsto un diodo 54 en paralelo sobre la resistencia - R^{c2} y cuya misión es idéntica a la del diodo 22 para la resistencia R^{c1}. Se puede prever así un número muy grande de básculas de entrada 47, 47" ... manteniendo una característica perfectamente horizontal y sin que sea necesario - dar a las resistencias R^e, R^e ... un valor elevado.

Para realizar la operación lógica (1) basta apli-

339307



car las tensiones representativas $X_1, X_2 \dots$ sobre las bases de los transistores de entrada de la báscula 47, las tensiones representativas de $Y_1, Y_2 \dots$ sobre las bases de los transistores de entrada de la báscula 47", y así sucesivamente.

5

El circuito representado en la figura 7 puede ser utilizado, bajo una forma simplificada con dos básculas, para constituir un semicircuito de adición que proporciona una tensión de salida representativa de:

10

$$X \bar{Y} + Y \bar{X} \quad (2)$$

Basta para esto aplicar a los transistores de entrada 10' y 11' tensiones representativas de X e Y y a los transistores 10" y 11" tensiones representativas de \bar{X} e \bar{Y} .

15

El invento no se limita, evidentemente, al único modo de utilización que ha sido representado y descrito a título de ejemplo: en particular, sería adaptable a transistores de tipos diferentes.

20

Esta solicitud que corresponde a la presentada en Francia, el día 15 de Abril de 1.966, con el número - PV 57862, se acoge a los beneficios del artículo 51 del - vigente Estatuto sobre Propiedad Industrial.

- N O T A -

25

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Pa-

339307



tente de Invención en España, por VEINTE años, son los siguientes:

5 1.- Dispositivo de circuito lógico integrado de transistores no saturados, de acoplamiento por los emisores, que comprende un primer transistor de salida cuya base está unida al colector de un transistor de polarización, unido por una primera resistencia de carga a una alimentación eléctrica, un segundo transistor de salida cuya base está unida a los colectores de varios transistores de entrada dispuestos en paralelo, unidos por una segunda resistencia de carga a dicha alimentación, estando unidos los emisores de todos los transistores de entrada y del transistor de polarización a una resistencia común de entrada, caracterizado por que dicha segunda resistencia de carga, colocada en el circuito colector común a los transistores de entrada, está derivada por un diodo que, en uno de los estados de equilibrio del segundo transistor de salida, fija el potencial de su base, y por que dicha resistencia de entrada común presenta un valor muy inferior al valor mínimo que correspondería todavía a una característica de transferencia aceptable en ausencia de dicho diodo.

10 15 20 25 2.- Dispositivo de circuito lógico integrado según la reivindicación 1, caracterizado por que la tensión de polarización fija aplicada a la base del transistor de polarización es igual a la mitad de la tensión de alimentación de los transistores de salida.

30 3.- Dispositivo de circuito lógico integrado según la reivindicación 2, caracterizado por una alimentación común a varios circuitos estabilizada por un estabi-

339307



lizador al valor de la tensión de alimentación y por un bloque de polarización que divide por dos dicha tensión de alimentación.

5

4.- Dispositivo de circuito lógico integrado según las reivindicaciones 1 ó 2, caracterizado por que comprende varias básculas de entrada en paralelo, comprendiendo cada una de dichas básculas varios transistores de entrada, un transistor de polarización correspondiente, un transistor de salida acoplado a los transistores de entrada, una resistencia de carga y una resistencia de entrada, y por que dicha primera resistencia de entrada está derivada por un diodo.

10

5.- Dispositivo de circuito lógico integrado de transistores no saturados.

15

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de doce hojas escritas a máquina por una sola cara.

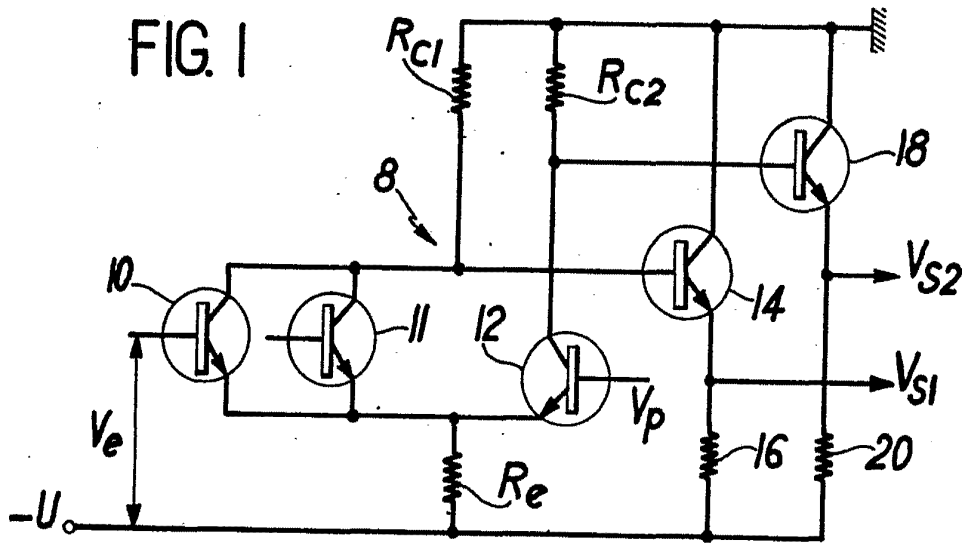
Madrid,

17 MAY 1967

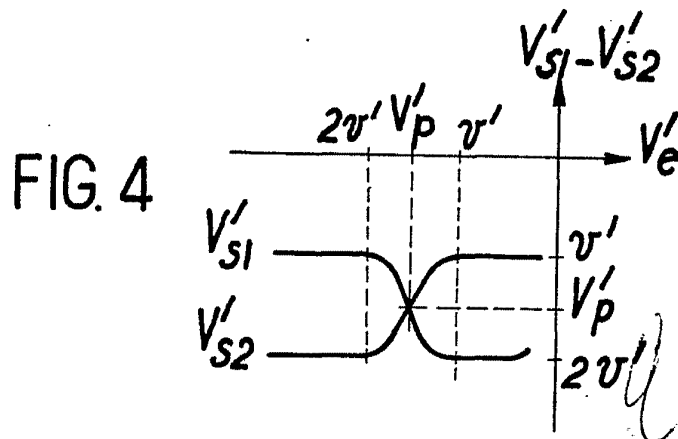
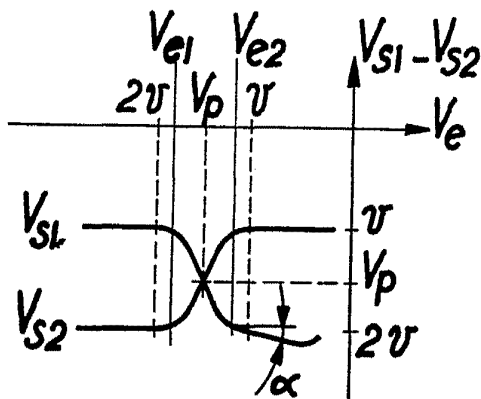
P. A.

Alberto de Elizabeta
Por Poder

339307



339307



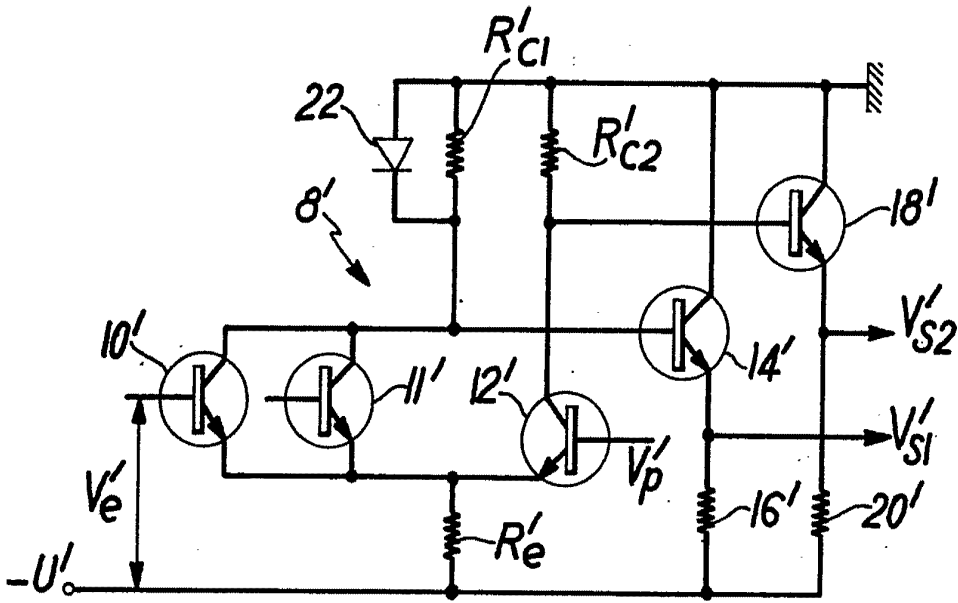


FIG. 3 339307

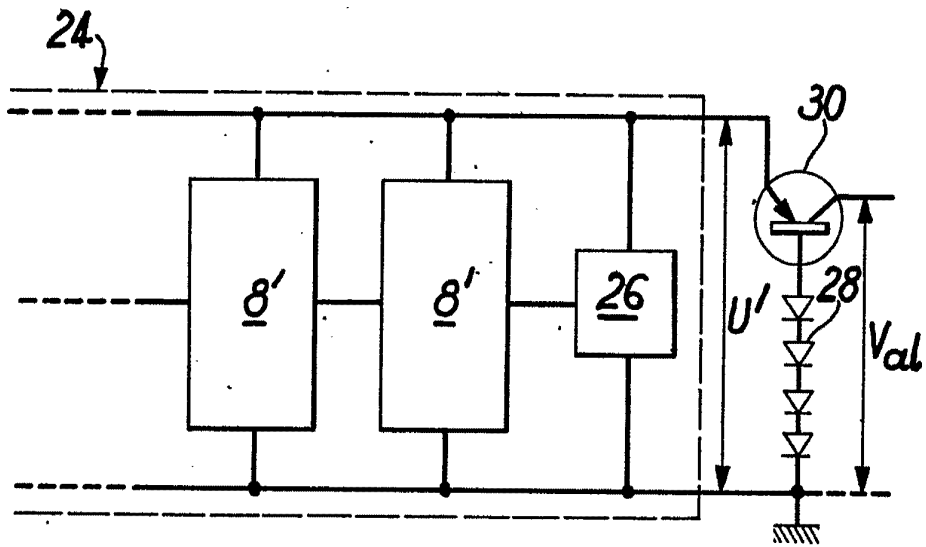


FIG. 5

www

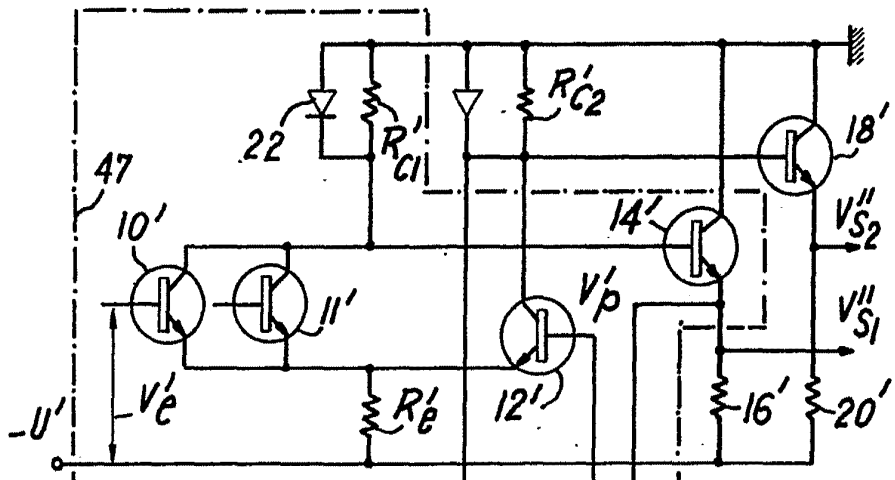
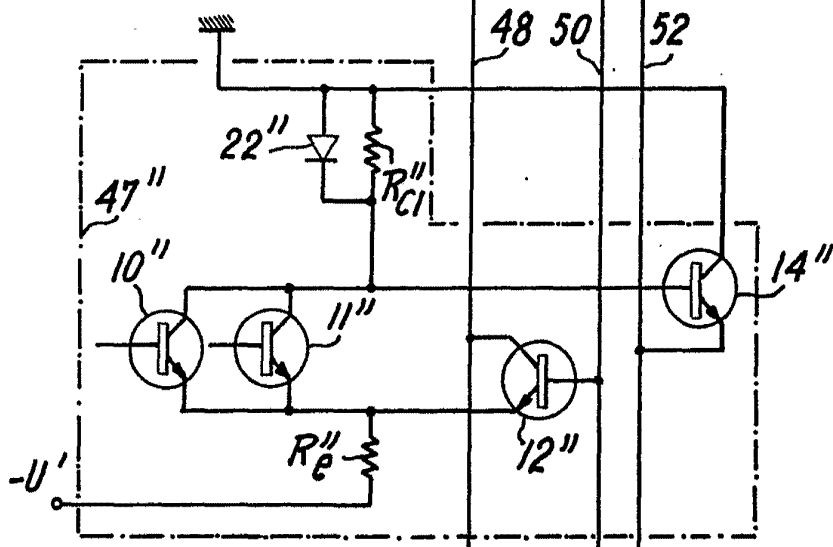
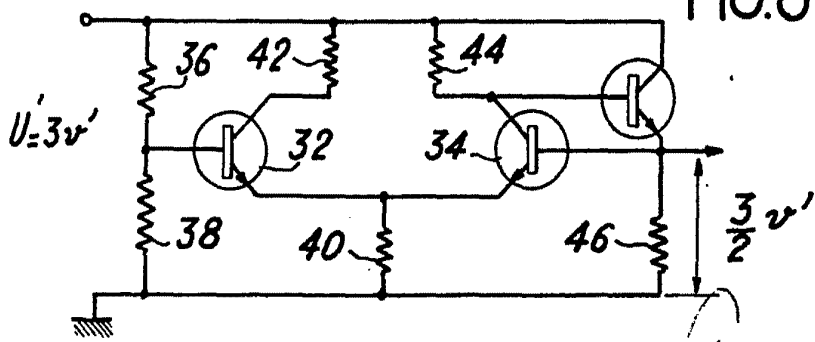


FIG. 7



339307

FIG. 6



Arw