

P.- 34.539

=====

Docket 14.481



3386211

Memoria descriptiva

para solicitar PATENTE DE INVENCION por 20 años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION,

entidad / de nacionalidad ~~XXXXXXXXXX~~ norteamericana

con domicilio en Armonk, N. Y., Estados Unidos de América

por:

" UNA DISPOSICION DE MEMORIA INTEGRADA
MONOLITICA "

20-5-67



La presente invención se refiere en general a estructuras monolíticas integradas, incluida su fabricación y ensamble en conjuntos o "paquetes", y, más especialmente, a una célula de memoria, integrada y monolítica, expansible hasta obtener una disposición ordenada o formación de memoria de un número $q.2^n \times m.2^n$ de células de memoria integradas, donde q y m son números enteros, y n es cero o un número entero mayor que cero.

Los núcleos de ferrita se han ganado a lo largo de los años una reputación envidiable, por poseer características eléctricas que no son función del tiempo. Ahora bien, los hilos metálicos que se enfilan o hacen pasar por los núcleos están sujetos a corrosión, y deben ser protegidos según la atmósfera en la que vaya a funcionar la formación de memoria. En algunos casos, la vibración de los núcleos de la formación puede originar daños físicos, que den lugar a un mal funcionamiento.

Una formación de memoria monolítica que contenga 64.000 vocablos de 72 bitios trae consigo un número importante de componentes y de interconexiones. Una disposición de memoria monolítica de 5 millones de bitios a base de utilizar la célula unitaria de esta invención, tendría 25 millones de transistores y 20 millones de otros componentes, en la formación de almacenaje propiamente dicha. La adición de los excitadores y de los circuitos de interrogación y descodificación probablemente añadiría otro 20% a esta cuantía de componentes. Por tanto, para determinar las dimensiones de la memoria operativa básica (BOM) es preciso tener en cuenta las consideraciones de fabricación y seguridad funcional.

338621



La clave para la formación de una disposición de memoria monolítica es la célula de memoria monolítica.

5 Idealmente, una célula de memoria monolítica que haya de ser expandida hasta obtenerse una formación o disposición ordenada de memoria, ha de poseer las siguientes cualidades y características:

1) La célula ha de ser susceptible de expansión hasta llegar a una formación en un plano, de dimensiones prudenciales, con un mínimo de degradación de funcionamiento.

2) Ha de constar de dispositivos que ocupen una pequeña área en un plano, para así obtener un máximo de formaciones por cada "oblea" tratada.

15 3) El circuito celular ha de consumir muy poca energía, para así permitir elevadas densidades de "empaquetado" de circuitos y reducir al mínimo las necesidades de suministro de energía y líneas de alimentación.

4) La célula ha de tener una aptitud de lectura rápida, al ser expandida hasta llegar a la formación o disposición ordenada.

5) La célula ha de poseer una capacidad de inscripción rápida, al ser expandida en una formación o disposición ordenada.

25 6) La célula ha de presentar impedancias internas reducidas, para poder obtener rapidez de conmutación.

7) La célula ha de tener un tiempo de recuperación rápida tras las operaciones de lectura o inscripción, para poder tener así velocidades de repetición rápida.



das.

5 8) La célula ha de tener capacidad de lectura no destructiva, permitiendo así un funcionamiento más rápido de la memoria, ya que los ciclos de lectura no han de ir seguidos de un ciclo de inscribir.

10 9) El estado de memoria de la célula, en una formación o disposición ordenada, ha de estar aislado de la línea de interrogación o percepción, respecto a la corriente alterna y a la corriente continua, y por tanto no debe ser sensible a las señales espurias ni otros ruidos o perturbaciones generados por las operaciones de lectura o inscripción, ni a los impulsos de ruido o perturbación que haya en la línea de percepción.

15 10) La célula de memoria, en una formación o disposición ordenada, ha de ser accesible de modo aleatorio, como opuesto a las fuentes de almacenaje de información seriadas, para así permitir un ciclo de máquina más rápido.

20 11) La célula ha de constar de dispositivos componentes que permitan un alivio de interconexiones topológicas (de paso inferior), de tal modo que la disposición final pueda ser fabricada e interconectada con sencillez. Con esto se evita la necesidad de un costoso segundo nivel conductivo, o capa de enterconexión, y se reduce la cantidad de elementos de conexión de paso inferior necesarios.

30 12) La célula y la formación, de preferencia, no han de tener componentes reactivos (tales como condensadores y/o reactancias inductivas), ya que son difíciles de fabricar en una estructura monolítica.

13) La célula y la formación han de tener



unas especificaciones de dispositivos y de fabricación fácilmente obtenibles con métodos de fabricación discontinua o por lotes monolíticos.

5 14) La célula y la formación han de poderse hacer funcionar en todo un amplio margen o intervalo de variación de temperaturas, sin degradación de su funcionamiento.

10 15) La célula ha de tener una salida complementaria, que permita, si es necesario, la interrogación diferencial en grandes formaciones, o con fines lógicos.

16) La célula ha de necesitar un número mínimo de tensiones de valor reducido, y ser compatible con las tensiones empleadas en los circuitos lógicos.

15 17) Para lograr una utilización de tipo universal, la célula y la formación han de ser capaces de trabajar en todo un amplio margen de variación de voltajes, sin degradación de su funcionamiento. Esta característica permite también una mayor duración útil y mayor seguridad funcional, ya que es menos sensible a la degradación de los dispositivos con el tiempo. Asimismo, puede resistir fuertes transitorios de tensión sin sufrir efectos perjudiciales.

20 18) La célula, de preferencia, no ha de contener dispositivos complementarios (NPN y PNP), haciendo así la estructura monolítica más fácil de fabricar.

25 19.- Los circuitos de formación, excitación, interrogación y descodificación, que eventualmente se vayan a incorporar al micro fragmento integrado monolítico, deben tener unos requisitos de dispositivo compatibles con la célula, de preferencia sin necesidad de eta



pas de tratamiento adicionales.

5 20) Las especificaciones de dispositivo de los circuitos de formación, excitación, interrogación y descodificación han de ser tales que se aprovechen en ellas los perfeccionamientos de la tecnología, tales como la mayor estrechez de tolerancias en fotoprotección y difusión, que dan una reducción de espacio en el plano, y/o la mayor rapidez de dispositivos, que simultáneamente mejoran el funcionamiento y el coste de la memoria.

10 21) La célula puede modificarse fácilmente con vistas a aplicaciones de memoria asociativa.

15 22) La célula puede modificarse fácilmente para el funcionamiento bi o tridimensional. En el funcionamiento tridimensional se aprovecha la última etapa de descodificación de direcciones de acceso. Una matriz de células tridimensional y cuadrada, con líneas de interrogación o percepción complementarias da lugar a un mínimo de conexiones de contacto exteriores.

20 23) La célula y la formación han de tener un número mínimo de conductores de señal de entrada y salida.

24) La célula no ha de tener potencia de interrogación estática.

25 25) La célula ha de poseer uno o más modos de señal de una elevada impedancia de entrada, que permita la adición en serie de elementos de conexión de paso inferior.

30 26) La célula y la formación han de tener una elevadísima relación de señal de "1" a señal de "0" y, además, ha de tener un mínimo de señal de ruido espurio.



27) La potencia de lectura es independiente de la potencia de retención de información en la célula.

28)- La señal de salida es una salida de energía constante durante la operación de leer. Con ello se elimina la necesidad de una interrogación y marcación reactivas. Esto facilita el proyecto del amplificador de percepción o interrogación, y hace la señal de salida insensible a los tiempos de ataque de la interrogación.

29) La señal de salida ha de ser una fuente de intensidad de corriente (o tensión) con una capacidad de corriente tipo de 1 a 5 miliamperios (mA).

30) Cada célula y la formación entera han de ser susceptibles de poder ensayarse independientemente de los estados de conducción de "1" o "0" de otras células. Esto permite abreviar el ciclo de ensayo o prueba de la formación entera.

31) Al subir la temperatura de la estructura monolítica, la célula ha de aprovechar la mayor ganancia de corriente (β) del transistor.

32) Las señales de interrogación de la formación han de necesitar tensiones y velocidades idénticas a las de los niveles de los circuitos lógicos o compatibles con éstos.

33) La célula interconectada en una disposición o formación ordenada ha de tener un número mínimo de etapas de proceso monolíticas.

34) La célula y la formación han de facilitar la distribución o instalación de las líneas de señales, y permitir el uso de cargas de percepción de baja impedancia, para reducir al mínimo el acoplamiento de ruidos



o perturbaciones.

5 35) Los componentes de la célula y de la formación han de ser compatibles con los procedimientos o métodos de PN, dieléctricos, y otros de aislamiento o seccionamiento monolítico.

Por todo ello, es objeto de esta invención una estructura integrada monolítica perfeccionada.

Otro objeto de esta invención reside en una estructura de memoria monolítica.

10 Otro objeto más de esta invención reside en un método de fabricación perfeccionado para hacer estructuras monolíticas integradas.

Otro objeto de esta invención reside en una célula de memoria perfeccionada, adaptable para su interconexión en una formación o disposición ordenada de memoria.

15 Otro objeto de esta invención consiste en una célula de memoria y/o una formación o disposición de memoria capaz de satisfacer todas las características convenientes, arriba citadas, que son importantes para una célula de memoria.

Otro objeto más de esta invención reside en un "paquete" perfeccionado, para una estructura monolítica integrada.

25 Con arreglo a una de las formas de ejecución de este invento, la estructura de semiconductor monolítica integrada comprende una pluralidad de células individuales, funcionalmente aisladas o separadas, que están interconectadas eléctricamente. Cada una de las células
30 es objeto de una célula correspondiente o imagen de sime-



tria especular que está desplazada vertical, horizontal y diagonalmente de la célula objeto. La pluralidad de células habilita una formación o disposición ordenada de memoria, en la que los componentes eléctricos de cada célula de memoria están compuestos de dispositivos semiconductores activos y pasivos.

Los indicados y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo de la siguiente descripción pormenorizada de una forma preferida de ejecución del invento, ilustrada en los dibujos adjuntos, en los cuales:

- la figura 1 es un esquema orgánico de la totalidad del procedimiento de fabricación, para hacer la estructura monolítica integrada e interconectarla a un diseño de distribución de rellanos conductivos formados en un substrato cerámico;

- la figura 1C es un esquema orgánico, en sección transversal, de las etapas de fabricación del elemento de conexión de paso inferior para la estructura monolítica integrada de esta invención;

- la figura 2C es un esquema del circuito representado por el elemento de conexión de la fig. 1C;

- la figura 3C es una vista parcial por la parte superior, que ilustra mediante líneas de trazo interrumpido las diversas regiones de semiconductor del elemento de conexión;

- la figura 1D es un esquema orgánico en sección transversal de las etapas de fabricación del diis- tor (diodo-transistor) de la estructura monolítica integrada de esta invención;



- la figura 1G es un esquema orgánico de las etapas de fabricación de una estructura monolítica integrada, con arreglo a una forma de ejecución, de drogado con oro, de esta invención;

5

- la figura 2G es un cuadro que ilustra la ganancia de corriente β del transistor y la vida o duración útil τ (en nanosegundos) de los portadores de cargas, según el tiempo y la temperatura del ciclo de difusión de destructores de la duración o vida útil y la operación de recocido en la forma de ejecución de la fig. 1G;

10

- la figura 3G es un esquema orgánico de otra forma de realización de drogado con oro;

15

- la figura 1R es un esquema orgánico, en sección recta, de las etapas de fabricación del elemento resistivo de la estructura monolítica integrada de esta invención;

20

- la figura 1T es un esquema orgánico, en sección recta, de las etapas de fabricación del transistor de la estructura monolítica integrada de esta invención;

- la figura 2 es una vista en un plano de una "pizca" o micro fragmento monolítico de 4 x 4 de memoria, que tiene 16 células de memoria;

25

- la figura 2A es una vista fragmentaria ampliada de una de las células de memoria de la "pizca" de 4 x 4 ilustrada en la fig. 2;

- la figura 2U es una vista ampliada, en un plano, de la parte superior de la "pizca" de memoria de 4 x 4, de la fig. 2;

30

- la figura 2L es una vista ampliada, en



un plano, de la parte inferior de la "pizca" de memoria de 4 x 4, de la fig. 2;

5 - la figura 3 es una vista en esquema eléctrico de la "pizca" de memoria monolítica de 4 x 4, de la fig. 2;

- la figura 4 es una vista esquemática de la manera en que está dispuesta la formación de memoria de 4 x 4, indicando cada una de las 16 células y el modo en que van interconectadas;

10 - la figura 5 es un cuadro ilustrativo de la relación de simetría especular entre cada una de las células indicadas en la vista en un plano de la fig. 2;

15 - la figura 6 es un esquema eléctrico de una célula de memoria simple tridimensional, como la que se representa en forma integrada en el esquema eléctrico de la fig. 3;

- la figura 6A es un esquema eléctrico de una célula de memoria simple bidimensional, para su aplicación a una estructura de memoria monolítica;

20 - la figura 7A es una gráfica ilustrativa de las características eléctricas logradas durante una operación de leer;

25 - la figura 7B es una gráfica ilustrativa de las características eléctricas logradas durante una operación de inscribir;

30 - las figuras 8, 9, 10, 11, 12, 13, 14, 15 y 16 son otras tantas vistas en un plano de las máscaras de ocultación o protección utilizadas en el procedimiento de fabricación para hacer la estructura monolítica integrada de esta invención;

338621



- la figura 17 es una vista fragmentaria en perspectiva de despiezo ordenado de una parte de cada máscara, en una disposición de superposición;

5 - la figura 17A es una representación con líneas de trazo y punto que ilustra una disposición de superposición de la totalidad de las máscaras utilizadas en el procedimiento de fabricación;

10 - la figura 18 es una vista en un plano de un "paquete" que contiene la estructura monolítica integrada montada en "rellanos" impresos, situados en la superficie de un substrato dieléctrico;

15 - la figura 18A es una vista en alzado, con partes desprendidas, que ilustra la interconexión entre la estructura integrada monolítica y los rellanos conductivos que hay en el substrato dieléctrico;

- la figura 18B es una vista en sección transversal de uno de los terminales de contacto de la estructura integrada monolítica;

20 - la figura 19 es una vista en un plano de una "pizca" de memoria monolítica de 2 x 8, hecha con arreglo al procedimiento de fabricación del presente invento;

25 - la figura 19L es una vista en un plano ampliada, de la parte izquierda de la "pizca" de memoria monolítica de la fig. 19;

- la figura 19R es una vista en un plano ampliada de la parte derecha de la "pizca" de memoria monolítica de la fig. 19;

30 - la figura 20 es una vista en esquema eléctrico de la estructura monolítica integrada de la fig. 19; y

338621



- la figura 21 es una vista en esquema eléctrico de una estructura monolítica integrada de 8 x 8, hecha con arreglo al procedimiento de fabricación de este invento.

5

METODO DE FABRICACION (FIG. 1)

En el estudio del método de fabricación de semiconductores se empleará la terminología usual, ya conocida en el campo de los transistores. Al estudiar las concentraciones, se hará referencia a portadores mayoritarios o minoritarios. Por "portadores" se entienden los huecos libres o los electrones a quienes se debe el paso de corriente por un material semiconductor. El término "portadores mayoritarios" se utiliza al hacer referencia a los portadores que hay en el material sometido a estudio: es decir, los huecos en el material de tipo P o los electrones en el material de tipo N. Mediante el empleo del término "portadores minoritarios" se quieren dar a entender los que hay en minoría: es decir, los huecos en el material de tipo N o los electrones en el material de tipo P. En el tipo más corriente de los materiales semiconductores utilizados en la estructura de transistores de hoy en día, la concentración de portadores se debe generalmente a la concentración de la "impureza significativa", esto es, a las impurezas que dan la característica de conductividad a los materiales semiconductores extrínsecos.

Aún cuando, a los fines de describir esta invención, se haga referencia a una configuración de semiconductor en la que se utiliza como substrato una región

30



de tipo P^- , formándose sucesivas regiones semiconductoras de la estructura de semiconductor compuesta, en el tipo de conductividad descrito, fácil es comprender que las mismas regiones que se mencionan como de un determinado tipo de conductividad pueden ser del tipo de conductividad opues-
5 to y, además, que algunas de las operaciones que se citan o describen como de difusión pueden hacerse por formación o "crecimiento" epitaxial, y que algunas de las regiones de formación epitaxial pueden fabricarse también por métodos de difusión.
10

Como material inicial o de partida, se uti liza una oblea de conductividad tipo P^- , preferiblemente de una resistividad de 10 a 20 ohmios.centímetro. La oblea es de preferencia una estructura monocristalina de silicio que puede fabricarse por métodos usuales, tales
15 como por extracción de un miembro semiconductor de silicio de una masa en fusión que contenga la concentración de impureza deseada, y subdividiendo o cortando en obleas el miembro monocristalino extraído. Las obleas se cortan,
20 bruñen y pulen químicamente hasta darles un espesor de 0,20 ($\pm 0,02$)mm. Las obleas se orientan a 4° ($\pm 0,5^\circ$) fuera del eje (111), en dirección al eje (110).

En la oblea se forma o desarrolla una capa o recubrimiento inicial de óxido, preferiblemente de di-
25 óxido de silicio y de un espesor de 5200 Å (5200 Å), por tratamiento térmico usual en atmósfera de O_2 seco durante 10 minutos, seguido de caldeo en atmósfera húmeda o de vapor de agua a 1050°C durante 60 minutos. Si así con viene, la capa de óxido puede formarse por depósito piro-
30 lítico o por un método de bombardeo de radiofrecuencia,



las regiones N^+ y de sólo 3000 \AA en el resto de la superficie de la oblea. Por tanto, la retirada de la capa de óxido con una solución de HF tamponada deja una depresión en las regiones superficiales de semiconductor N^+ .

5 Tras de eliminar la capa de óxido, se forma o desarrolla de manera epitaxial, en la superficie de la oblea, una región de conductividad de tipo N que tenga, de preferencia, una resistividad de alrededor de $0,2 \text{ ohm}\cdot\text{cm}$. La región epitaxial de tipo N es una capa activada con arsénico, aproximadamente de $5,5$ a $6,5$ micras de
10 espesor. En la fabricación real y efectiva de los dispositivos, las impurezas de arsénico de las regiones N^+ , que ahora están "enterradas", salen por difusión aproximadamente una micra, durante la formación del depósito
15 epitaxial.

 En la superficie de la región de desarrollo epitaxial se forma otra capa de óxido de aproximadamente 5200 \AA , bien por el mismo procedimiento de oxidación térmica, bien por formación de depósito pirolítica,
20 o bien por métodos de bombardeo con radiofrecuencia.

 En áreas concretas de la capa de óxido se forma un número de aberturas, por métodos normales de ocultación y grabado fotolitográficos, utilizando como máscara una capa de foto-reserva, y una solución de HF tamponada para quitar las partes de óxido. La estructura queda
25 ahora preparada para una segunda operación de difusión, destinada a aislar o separar los dispositivos activos y pasivos a formar y, si así conviene, a formar unos elementos de conexión de paso inferior como los que más adelante se
30 describen, y se mencionan también en la solicitud de paten



te americana titulada "elemento de conexión de paso inferior de baja resistividad para semiconductores, y método de fabricación del mismo", cedida al mismo cesionario de la presente invención y presentada al mismo tiempo que ésta.

5 ta.

Se realiza una etapa de difusión de tipo P, preferiblemente utilizando una fuente de suministro de boro, para formar regiones de tipo P⁺ en la capa de tipo N de formación epitaxial. Esta operación de difusión se realiza a una temperatura de 1200°C y durante un período de 95 minutos, formando una C₀ (concentración de superficie) de 5 x 10²⁰ cm⁻³. Es evidente que las regiones P⁺ difundidas tendrán cada una, una región de superficie de baja resistividad que se extiende hacia abajo, a partir de la superficie de la estructura del semi-conductor. En la formación de difusiones de separación o aislamiento, las regiones de tipo P⁺ difundidas llegan al substrato primitivo o material de partida de tipo P⁻ y forman continuidad con éste.

20 Tras la operación de difusión del separador o elemento de conexión, se forma otra capa de óxido. Esta capa de óxido es, preferiblemente, de 4300 Å de espesor, y puede formarse por un procedimiento de oxidación térmica, tal como por caldeo a 1050°C durante un período de 5 minutos en O₂ seco, seguido de 15 minutos en vapor de agua y 5 minutos en O₂ seco.

A la superficie de esta capa de óxido se le aplica un revestimiento de foto-reserva, y por métodos de ocultación y grabado fotolitográfico se quitan las partes deseadas de la capa de SiO₂, utilizando una solución de

338621



HF tamponada.

5 A continuación se efectúa una difusión de base y/o de resistencia óhmica, utilizando preferiblemente el boro como fuente de suministro de impurezas. Esta operación de difusión se realiza durante 70 minutos a 1075°C, y forma regiones de tipo P con una concentración superficial de impurezas de $5 \times 10^{19} \text{ cm}^{-3}$.

10 En la etapa de difusión de base y resistencia se forman también diodos, llevando a cabo esta difusión de tipo P en una parte de la misma región de tipo N, de desarrollo epitaxial, separada cerca de la región de base del transistor. La etapa de difusión de base y resistencia va seguida de una operación de reoxidación e introducción. Se forma o desarrolla así otra capa de SiO_2 ,
15 de un espesor aproximado de 3600 Å, en las regiones de base, de diodo y de resistencia óhmica. Durante este tratamiento térmico, las impurezas de boro se redistribuyen, aumentando así la profundidad de la unión y reduciéndose la C_0 (concentración superficial). El ciclo de introducción
20 o penetración de la oxidación es de 25 minutos en O_2 seco y 10 minutos en vapor, seguidos de 15 minutos en O_2 seco a 1150°C.

25 En la formación de los dispositivos de transistores, se aplica un revestimiento de fotoprotección sobre la capa de óxido, y por métodos de ocultación y grabado fotolitográficos se quitan partes de esta capa de óxido sobre las regiones de base difundidas, permitiendo que se formen regiones de emisor por una operación de difusión.

30 Las regiones de emisor de tipo N se forman

338621



en las regiones de base de tipo P utilizando de preferen-
cia una fuente de impurezas fosforosa, tal como el POCl_3 ,
y calentando la oblea en una atmósfera que contiene 700
partes por millón (ppm) de POCl_3 a una temperatura de
5 970°C y durante un período de 35 minutos. De preferencia,
las regiones de emisor y de base se forman sobre la región
 N^+ enterrada, permitiendo que esta región actúe como sub-
colector enterrado, de poca resistividad.

Si así conviene, la región de subcolector
10 de poca resistividad puede sacarse a la superficie del
dispositivo de transistor, y puede hacerse contacto eléc-
trico con ella en una estructura de transistor dieléctri-
camente separada, con arreglo a las enseñanzas contenidas
en una solicitud de patente de EE.UU. identificada como
15 SN 454.257, presentada el 10 de Mayo de 1965 con el títu-
lo de "Disposición de semiconductores y método de fabrica-
ción de la misma", a nombre de Doo y Regh, y cedida al mis-
mo cesionario de la presente invención.

A continuación, se ejecuta una operación
20 final de oxidación y penetración o introducción de emisor,
utilizando un ciclo de 5 minutos de O_2 seco y 55 minutos
de vapor de agua, seguido de tratamiento térmico en O_2 se-
co (durante un período que depende de la profundidad del
colector), a 970°C. Durante esta operación de tratamien-
25 to térmico, se forma en la superficie del semiconductor la
capa final de óxido. Es en este período crítico del proce-
dimiento, después de formarse la capa de óxido final, cuan-
do se efectúa la etapa de inyección de los destructores de
la duración útil de portadores. Más adelante, en la sección
30 titulada "Inyección de destructores de la duración útil de



los portadores" se describe una variante de método para
inyectar en la estructura de semiconductor los destructo-
res de la duración útil de los portadores, variante que
se describe también en la solicitud de patente americana
5 titulada "Procedimiento de drogado perfeccionado de des-
tructores de la duración útil de los portadores, para es-
tructuras de semiconductor, así como el producto obtenido
por él", cedida al mismo cesionario de la presente inven-
ción y presentada al mismo tiempo que ésta.

10 Los destructores de la vida o duración útil
de los portadores se inyectan en la oblea por una abertura
practicada en el óxido, de preferencia en el lado dorsal
de la oblea. De preferencia, se aplica en la oblea por
evaporación una capa de 200 Å de oro, difundiéndose el
15 oro en la estructura monolítica de semiconductor mediante
una operación de caldeo a 1000°C, preferiblemente de 20
minutos de duración, en una atmósfera no oxidante, tal co-
mo de nitrógeno. Esta operación de difusión del oro va
seguida de un ciclo de recocido de dos horas a 560°C en
20 atmósfera no oxidante (por ejemplo, de nitrógeno), que
sirve también para aumentar la ganancia de corriente
del transistor.

Mediante el uso de procedimientos de ocul-
tación y grabado fotolitográficos, se abren unos huecos o
25 agujeros en la capa de óxido, en áreas seleccionadas, pa-
ra fabricar el circuito deseado. Por encima de toda la
superficie de la oblea se aplica una capa de aluminio eva-
porado, quitándose luego por grabado unas partes de esta
capa, para obtener el diseño de interconexiones deseado.

30 La capa de aluminio aplicada por evaporación tiene un es-

338621



pesor de 6000 Å, formada depositando aluminio a razón de
45 Å por segundo en un vacío de 5×10^{-6} Torr. Un espesor
de 1500 Å se deposita a una temperatura de oblea de 200°C,
y los 4500 Å restantes a una temperatura de oblea menor de
5 100°C. A continuación se aplica a la oblea una capa de
foto-reserva, que es luego secada, impresionada, revela-
da y fijada. Las interconexiones de aluminio se forman
mediante una operación de grabado sustractiva, utilizando
una solución caliente de $H_3PO_4 + HNO_3 + H_2O$. La capa de
10 fotoprotección se quita luego, y se limpia y seca la oblea.

Las obleas se sinterizan en atmósfera de
nitrógeno a 450°C durante 15 minutos, para permitir que
el aluminio efectúe buenos contactos óhmicos con las re-
giones de semiconductor de la oblea con las que se ha pues
15 to en contacto.

Por bombardeo iónico o de emisión secunda-
ria de radiofrecuencia se aplica una película de cuarzo
(SiO_2) de 1,5 micras de espesor en el lado frontal o anvers
so de las obleas, con arreglo a las enseñanzas contenidas
20 en la solicitud de patente de EE.UU. identificada como
SN 428.733, presentada el 28 de Enero de 1965 a nombre de
Davidse y Maissel, y cedida al mismo cesionario de la pre-
sente invención. Como cátodo, en el sistema de bombardeo,
se utiliza un disco de cuarzo de 30,5 cm de diámetro. Las
25 obleas se colocan sobre discos de cuarzo que se reponen en
un ánodo de cobre situado aproximadamente a 2,54 cm de dis-
tancia del cátodo. En el sistema se hace el vacío, y se
vuelve éste a llenar de argón a una presión de 20 micras.
En unos 50 minutos aproximadamente, y a un nivel de poten-
30 cia de entrada de 3 kW, se deposita en las obleas una mi-



5 cra y media de cuarzo. La máxima temperatura de las obleas durante la formación del depósito es de unos 350°C. Esta película aislante encapsula o cierra herméticamente los dispositivos semiconductores subyacentes y las inter-
5 conexiones de aluminio, protegiéndolos de la corrosión química y de otros contaminantes de superficie perjudiciales. El coeficiente de dilatación térmica del SiO₂ aplicado de este modo es menor que el del silicio, y la consiguiente fuerza compresiva de inadaptación de películas
10 de cuarzo extremadamente fuertes.

En la superficie de cuarzo aplicada por bombardeo sobre la oblea se aplica a su vez una capa de fotoprotección, que es luego secada, impresionada, revela
15 da y fijada. Las partes de la capa de SiO₂ donde se van a formar las áreas de agujeros de terminales se quitan por grabado o acción corrosiva, utilizando HF tampomado. Se separa luego o elimina la capa de foto-reserva, y se limpia y seca la oblea. La oblea es luego tratada a
20 450°C durante 30 minutos en atmósfera de nitrógeno.

Se monta cada oblea en unos soportes de evaporación, y se alinean las máscaras de los rellanos metálicos con los agujeros de terminales. Los soportes se introducen en un evaporador, en el que se hace al vacío a una presión de 5×10^{-6} Torr. A continuación, se
25 vuelve a llenar la cámara aproximadamente a una presión de 30×10^{-5} Torr, y se limpian los soportes por bombardeo iónico con corriente continua durante 15 minutos, con arreglo a las enseñanzas descritas en la solicitud de patente de EE.UU. titulada "Limpieza por bombardeo iónico", SN
30 502.986, presentada el 23 de Octubre de 1965 y cedida al



mismo cesionario de la presente invención. En la cámara se vuelve luego a hacer el vacío, a una presión de 5×10^{-6} Torr, y se aplican por evaporación 1500 \AA de Cr, seguidos de 5000 \AA de Cu y 1500 \AA de oro, a través de la máscara metálica.

5 Las obleas se montan luego en otro soporte de evaporación, y con los rellanos limitadores de Cr-Cu-Au evaporados se alinea una máscara que tiene agujeros más grandes que la anterior. En el evaporador se hace el vacío a una presión de 5×10^{-6} Torr, y por evaporación a través de la máscara se aplican 0,04 mm de Pb/Sn al 95%/5%.

10 Cada oblea se coloca luego sobre un hornillo purgado con nitrógeno y calentado a 340°C . Las almohadillas de Pb/Sn sobredimensionadas se funden y, como ésta aleación de soldadura blanda no moja la superficie de cuarzo tratada por bombardeo iónico, se produce un reflujo que vuelve a los rellanos limitadores. Este proceso de reflujo da unas áreas de aplicación o almohadillas de Pb/Sn que tienen aproximadamente 0,076 mm de altura y 0,10 mm de diámetro.

15 La oblea queda ahora dispuesta para ser cortada en microfragmentos cuadrangulares o "pizcas", cada uno de los cuales contiene la estructura monolítica integrada. Una de las maneras de fragmentar así las obleas es la descrita en la patente de EE.UU. nº 3.241.265.

20 De preferencia, cada "pizca" o microfragmento monolítico integrado se monta en partes de rellano impreso de un substrato cerámico. La manera de formar un rellano impreso en el substrato cerámico consiste en aplicar o "imprimir" sobre la superficie cerámica un primer

338621



dibujo eléctricamente conductivo. Las partes de superficie de este diseño eléctricamente conductivo están separadas eléctricamente de las partes de superficie restantes del diseño eléctricamente conductivo, preferiblemente por medio de un material dieléctrico, tal como el vidrio, al que no pueda adherirse, o que no pueda ser mojado por la aleación de soldadura. El substrato cerámico se sumerge luego en un baño de soldadura blanda, formándose una capa de aleación de soldadura sobre los rellanos del diseño impreso, eléctricamente conductivos, pero no sobre las partes divisorias de vidrio. De preferencia, la aleación de soldadura es la misma mezcla de plomo y estaño utilizada para las almohadillas, o áreas de toma, del microfragmento monolítico integrado. Cada microfragmento o "pizca" monolítica integrada se coloca sobre el rellano de soldadura formado en la superficie cerámica, con las almohadillas de plomo/estaño de la "pizca" en contacto con los rellanos de aleación de soldadura del substrato cerámico. Calentando el conjunto compuesto de la "pizca" y el substrato cerámico, cada una de las almohadillas de plomo/estaño formadas en la "pizca" moja al correspondiente rellano de plomo/estaño del substrato cerámico, y la contención o separación de vidrio impide que se formen cortocircuitos entre los rellanos de plomo/estaño y la "pizca" o microfragmento. Este método de interconectar el área de soldadura de una "pizca" con un área de soldadura de un substrato cerámico se describe en una solicitud de patente de EE.UU. titulada "Estructuras y métodos de formación de circuitos", SN 465.034, presentada el 18 de junio de 1965 y cedida al mismo cesionario de esta invención.

338621



Cada célula de la memoria monolítica de 4 x 4 contiene 3 transistores, 2 resistencias, 2 diodos (diodo y transistor combinados) y un elemento de conexión de paso inferior. Los componentes individuales se describen más adelante, y las dimensiones de cada uno en un plano horizontal son las siguientes:

1) TRANSISTOR:

Base	0,0381 x 0,0356 mm
Emisor	0,0152 x 0,0254 mm
Subcolector	0,0584 x 0,0406 mm

2) DIODOS:

Base	0,0381 x 0,0356 mm
Emisor	0,0152 x 0,0254 mm
Diodo	0,0152 x 0,0356 mm
Subcolector	0,0890 x 0,0406 mm
Separación diodo-base	0,0305 mm

3) ELEMENTOS DE RESISTENCIA Y CONEXIÓN DE PASO INFERIOR:

Resistencia	0,0152 x 0,0940 mm
Paso inferior	0,0076 x 0,0737 mm
Subcolector	0,1091 x 0,1294 mm

Existe una distancia de separación de 0,0127 mm entre todos los subcolectores y las regiones de seccionamiento o separación.

La geometría en vertical de la memoria monolítica de 4 x 4 es como sigue:

Profundidad de colector del transistor	2,03 micras ± 5%
Profundidad de emisor del transistor	1,60 micras ± 5%
Profundidad de base del transistor	0,43 - 0,56 micras



Profundidad del diodo	2,05 micras \pm 5%
Resistencia en lámina del subcolector	10,5 ohmios por cuadrado \pm 10%
Resistencia en lámina de la base	155 ohmios por cuadrado \pm 10%
Resistencia en lámina del emisor	10,5 ohmios por cuadrado \pm 10%
Espesor epitaxial	5,5 - 6,5 micras
Resistividad epitaxial	0,2 ohm·cm \pm 10%

5

10

INYECCION DE DESTRUCTORES DE LA DURACION
UTIL DE LOS PORTADORES

15

20

25

30

Ya en el pasado era conocido, en la técnica de manufactura de los semiconductores, el recurso de "activar" las estructuras semiconductoras con elementos destructores ("killers") de la duración o vida útil de portadores, tales como el oro, el platino, etc., a fin de reducir la vida útil de los portadores. Estas impurezas destructoras de la vida útil de los portadores formaban en el cuerpo semiconductor unas regiones de recombinación que, al reducir la vida útil de los portadores, permitían sea rápidas operaciones de conmutación en los transistores, sea un rápido corte de la conducción. Ahora bien, se descubrió que al hacer uso de estos destructores de la vida útil de los portadores, se formaban de algún modo, entre regiones del mismo tipo de conductividad, unos canales o "tubos", por ejemplo, entre el emisor difundido y las regiones de colector de un transistor, poniéndose así en cortocircuito estas dos regiones e invalidándose el funcionamiento del dispositivo de transistor. En la fabricación de gran multitud de dispositivos de transistor de-



5 sunidos o individuales en una sola oblea semiconductor
 (esto es, de 1100 dispositivos en una oblea), no era esen
 cial que se controlara este fenómeno de formación de "tu
 bos", debido al hecho de que, caso de que algunos de los
 dispositivos no se pudieran hacer funcionar a causa de la
 formación de "tubos", siguiera existiendo un número sufi
 ciente de dispositivos individuales disponibles para el
 uso, sin llegar a ser crítica, aunque fuera apreciable,
 la pérdida de rendimiento resultante.

10 Ahora bien, en la formación de la estruc
 tura de memoria monolítica integrada en la que, en un so
 lo cuerpo semiconductor monocristalino, se hayan fabrica
 do multitud de dispositivos activos (transistores y dio
 dos) y pasivos (resistencias), interconectados formando
15 microfragmentos o "pizcas" individuales que comprendan
 hasta 144 componentes, se hacía extremadamente crítico
 controlar la formación de "tubos", ya que un solo "tubo"
 de cortocircuito formado en una estructura de "pizca" in
 tegrada y densamente poblada invalidaría no sólo el fun
20 cionamiento del dispositivo individual donde se formó el
 "tubo" sino, además, destruiría o haría inoperante la es
 tructura monolítica en su totalidad. El rendimiento en
 la producción de estructuras monolíticas integradas, al
 no resolverse este problema de los "tubos", era aproxima
25 damente de cero por ciento.

 La mayoría de las operaciones de difusión
 de oro realizadas en tiempo pasado en la fabricación de
 estructuras semiconductoras de silicio, desunidas o mono
 líticas, solía efectuarse bien antes de la difusión de ti
30 po del emisor o inmediatamente después de la difusión de

338621



tipo del emisor, pero antes de la etapa de oxidación final, en el procedimiento de manufactura o fabricación de los semiconductores. La formación de estructuras semiconductoras desunidas o monolíticas, utilizando las enseñanzas de esa técnica ya conocida, la difusión de destructores de la vida útil de los portadores, efectuaba realmente una función destructora de la vida útil de los portadores; pero, según se descubrió, se formaban también de algún modo unos "tubos" de cortocircuito que daban origen a un rendimiento de esencialmente cero por ciento para las estructuras semiconductoras monolíticas densamente pobladas.

Con referencia a la fig. 1G, se realiza una operación final de oxidación y penetración o introducción de emisor, como se ha descrito más arriba, para formar la capa final de óxido en la superficie de la estructura semiconductora monolítica integrada, después de formados en ella los dispositivos activos y pasivos. Es en este período crítico cuando se efectúa la etapa de inyección de destructores de la vida útil de los portadores. Los destructores de la vida útil de los portadores se inyectan en la oblea a través de una abertura practicada en el óxido, de preferencia en el dorso de la oblea. Preferiblemente, se aplica por evaporación en la oblea una capa de oro de 200 Å, y el oro se difunde en la estructura semiconductora monolítica mediante una operación de caldeo de 20 minutos a 1000°C en una atmósfera no oxidante, tal como de nitrógeno. Esta operación de difusión de oro va seguida de un ciclo de recocido de 2 horas a 560°C, en una atmósfera no oxidante, tal como de nitrógeno, ciclo



que sirve también para aumentar la ganancia de corriente o β del transistor.

Con referencia a la fig. 2G, se dá en ella un cuadro que relaciona la temperatura con el tiempo total de difusión de destructores de la vida útil de los portadores (en minutos), tiempo que incluye el de recuperación del horno, debido al hecho de que el horno necesita tiempo para calentarse a su temperatura primitiva, después de introducidas en él la oblea o las obleas relativamente frías. Este cuadro indica los valores de β (ganancia de corriente de los transistores) y de τ (vida útil de los portadores, en nanosegundos) para determinadas temperaturas y tiempos de horno. Los valores de β y τ indicados son los valores medidos a continuación del ciclo de recocido arriba citado. El dispositivo de transistor para la estructura monolítica arriba descrita para aplicaciones de memoria necesita una β mayor de 20, y una τ de menos de 10 nanosegundos (10 ns). Por tanto, la combinación óptima de temperatura y tiempo crítico de horno es el tiempo de 20 minutos de difusión de destructores de la vida útil de los portadores a 1000°C, ya que esto dá un valor de β comprendido entre 30 y 40, y de τ comprendido entre 7,5 y 8 ns. Un valor marginal de β y de τ es el que dá un tratamiento térmico de 20 minutos a 1025°C. Aún cuando el período de tratamiento térmico de 5 minutos a 1025°C parece dar valores satisfactorios de β y de τ , este período es menos conveniente, debido al hecho de que el tiempo de recuperación del horno es aproximadamente de 8 minutos, lo que significa que es difícil de obtener valores uniformes de β y de τ de una oblea a otra, ya que el horno



no ha alcanzado el nivel de temperatura deseado. Por tanto, al retirar del horno algunas de las obleas a pocos segundos de diferencia de otras, tras el ciclo de 5 minutos de difusión a 1025°C, los valores de β y de τ serán diferentes, para aquellas obleas que se hayan sacado del horno con períodos o intervalos de tiempo ligeramente distintos.

Con referencia a la fig. 3G, se ilustra en ella, en forma de esquema funcional orgánico, otro procedimiento de inyección o drogado con oro. En esta forma de ejecución, todas las etapas de difusión y oxidación se realizan del modo arriba descrito, excepto la etapa final de difusión del tipo de conductividad de emisor.

De la capa final de óxido formada en la superficie de la oblea tras la difusión del tipo de base se quita una parte seleccionada para permitir la operación de difusión de oro arriba citada. Esta operación de difusión del oro destructor de la vida útil de los portadores se realiza en una atmósfera no oxidante, tal como de nitrógeno o posiblemente de argón.

Finalmente, se realiza la operación de difusión del tipo de emisor, y si bien ésta no va seguida de una etapa de oxidación y penetración de las impurezas de emisor difundidas, puede lograrse en atmósfera no oxidante, tal como de nitrógeno. Esta forma de ejecución alternativa no necesita ciclo de recocido, ya que la difusión del tipo de emisor sigue a la inyección de los destructores de la vida útil de los portadores en la oblea. Además, pueden utilizarse mayores temperaturas de difusión del oro, que reducirían la vida útil de los portado

338621



res, ya que la difusión de emisor sigue a la etapa de difusión del oro. Por tanto, la etapa de difusión del oro no degrada el funcionamiento de los circuitos ni daña la estructura del dispositivo semiconductor.

5

CONEXION DE PASO INFERIOR DEL SEMICONDUCTOR, DE
BAJA RESISTIVIDAD

10 En la fabricación de estructuras integradas, se efectúan apreciables economías de coste si todos los elementos de conexión o rellanos formados en una capa aislante dispuesta sobre la superficie de la estructura integrada están en un mismo plano. Es ésta una meta extremadamente difícil de alcanzar cuando se trabaja con estructuras integradas muy densamente "pobladas", en las que se emplea gran número de dispositivos activos y pasivos. Por consiguiente, a fin de prevenir el empleo de multitud de capas de rellanos conductivos separadas por capas aislantes, es necesario habilitar, en la estructura integrada, unos elementos conectadores de paso inferior, de poca resistividad, que conectan los dispositivos de la estructura integrada y permiten también el paso superior de multitud de elementos conectadores, por encima de la región de paso inferior.

15 En el pasado se propusieron diversos planes de paso inferior, basados en utilizar una región difundida sea de base, sea de emisor, formada en un área desunida o separada de la estructura semiconductor integrada, para así obtener un paso inferior entre dispositivos cuando se les conectaran dos contactos espaciados. Uno de los problemas asociados a semejante método de obtener una estructura de paso inferior era el de que la conductivi-



dad de la región de paso inferior y, por tanto, su resistividad, dependían de la conductividad de la difusión de base o emisor utilizada para formar los dispositivos en la estructura semiconductor integrada. Por tanto, los cambios de conductividad de las difusiones de emisor o de base efectuadas daban lugar a cambios de resistividad en el elemento conectador. Por consiguiente, en la fabricación de una estructura semiconductor integrada es conveniente formar un elemento de conexión de poca resistividad, que pueda hacerse sin añadir etapas al procedimiento y, sin embargo, formarse independientemente respecto a la formación de los dispositivos activos o pasivos en la estructura semiconductor integrada. Además, es conveniente obtener un elemento conectador de paso inferior de poca resistividad, que tenga un elevado factor de calidad, definido como el valor recíproco de la resistencia multiplicada por la capacidad. Por consiguiente, disponiendo de un elemento conectador de muy poca resistencia y muy poca capacidad se logra un elevado factor de calidad.

En estructuras integradas en las que se empleen métodos de seccionamiento o separación por uniones PN para aislar o separar los dispositivos activos y pasivos, es necesario aplicar un potencial negativo a una región separadora de tipo P o un potencial positivo a una región separadora de tipo N, a fin de crear la condición de polarización inversa esencial para esta separación o aislamiento. Por todo ello, es importante disponer de un elemento conectador eléctricamente separado de las regiones separadoras de la estructura integrada, de tal manera que la tensión del elemento conectador pueda estar a un poten

338621



cial sea inferior, sea superior, al de los potenciales aplicados a la región de separación.

Además, el elemento conector ha de ocupar en un plano la menor área posible, reduciéndose así la magnitud del área de semiconductor necesaria para aquél, lo que dará por resultado también una reducción en la capacidad y, con ello, un aumento en el factor de calidad.

En la formación de elementos conectadores de paso inferior, es esencial prevenir todo posible cortocircuito de la región del conector a una región que tenga el mismo tipo de conductividad que el conector. Por consiguiente, el uso de un conector formado por difusión de base o de emisor, o por una combinación de ambas difusiones en una región epitaxial no da un buen elemento de conexión, porque el valor de la resistividad suele estar por encima del que se necesita para obtener propiedades conductivas óptimas y, además, porque al estar la región del elemento conector formada por una operación de difusión, ello podría dar lugar a la formación de "tubos" que crearan cortocircuitos con una región del mismo tipo de conductividad que el elemento de conexión. Al hablar de "tubos" se quiere dar a entender los canales de material difundido que se suelen formar en áreas defectuosas de una estructura de semiconductor, y que llegan a regiones no deseadas de la estructura.

Aun cuando, a los fines de la descripción de este elemento de conexión, se hace referencia a una configuración de semiconductor en la que se utiliza una región de tipo P^- como sustrato, y las sucesivas regiones de semiconductor de la estructura semiconductor compues-



ta se forman de los tipos de conductividad indicados en los dibujos, fácil es apreciar que las mismas regiones indicadas en los dibujos pueden ser de conductividades de tipo opuesto y que, además, algunas de las operaciones que se citan como de difusión pueden hacerse por desarrollo epitaxial, y algunas de las regiones de desarrollo epitaxial pueden fabricarse también por métodos de difusión. En una solicitud de patente americana por separado, titulada "Elemento de conexión de paso inferior de poca resistividad para semiconductores, y método de fabricación para el mismo", cedida al mismo cesionario de la presente invención y presentada simultáneamente con ésta, se expone y reivindica el elemento de conexión de paso inferior.

Con referencia a la fig. 1C, etapa 1, se ilustra en ella un substrato 10C de conductividad de tipo P⁻, que tiene de preferencia una resistividad de 10 a 20 ohm·cm. El substrato 10C es de preferencia una estructura de silicio monocristalina que puede fabricarse por métodos usuales, tales como el de extraer un miembro semiconductor de silicio de una masa en fusión que contenga la concentración de impurezas deseada, y subdividir luego el miembro extraído en una pluralidad de obleas. El substrato 10C es parte de una de estas obleas.

Con referencia a la etapa 2, se desarrolla térmicamente, o bien se deposita por pirólisis, un revestimiento de óxido 12C, preferiblemente de dióxido de silicio y de un espesor de 5200 Å.

En la etapa 3, y por métodos normales de ocultación y grabado fotolitográfico, se deposita una ca-



5 pa de fotoprotección (no representada en el dibujo) sobre el sustrato que incluye la superficie de la capa de óxido 12C; y utilizando la capa de fotoprotección como máscara, se deja al descubierto una región 14C de la superficie del sustrato 10, quitando la parte deseada de la capa 12C de SiO₂ por corrosión, con una solución de HF tamponada. A continuación se quita la capa de fotoprotección, para permitir el ulterior tratamiento.

10 En la etapa 4 se realiza una operación de difusión, para difundir en la superficie 14C del sustrato 10C una región 16C de tipo N⁺ que tenga una C₀ (concentración de superficie) de 2 x 10²⁰ cm⁻³ de portadores mayoritarios de tipo N. La capa de óxido 12C sirve de máscara para impedir que la región 16C de tipo N⁺ se forme
15 en toda la superficie del sustrato 10C. De preferencia, la operación de difusión se realiza en cápsula de cuarzo, en la que se ha hecho el vacío, utilizando como impureza polvo de silicio degenerado, activado con arsénico. Como alternativa o variante, la región 16C de tipo N⁺ puede formarse practicando por acción corrosiva un canal en el sustrato 10C de tipo P⁻ y desarrollando a continuación, epitaxialmente, una región N⁺.
20

25 En la etapa 5, tras de quitar la capa de óxido 12C con una solución de HF tamponada, se produce por desarrollo epitaxial, en la superficie del sustrato, una región 18C de conductividad tipo N, que tenga de preferencia una resistividad de 0,2 ohm·cm. La región epitaxial 18C es una capa activada con arsénico, aproximadamente de 5,5 a 6,5 micras de espesor. En la fabricación efectiva de
30 los dispositivos, la impureza de arsénico de la región 16C,

338621



ahora enterrada, sale por difusión aproximadamente en una micra durante la formación del depósito epitaxial.

5 En la etapa 6, en la superficie de la región 18C epitaxial se forma, sea por procedimientos de oxidación térmica, por depósito pirolítico o por métodos de bombardeo de radiofrecuencia, una capa de óxido 20C de aproximadamente 5200 Å de espesor.

10 En la etapa 7, y por métodos normales de ocultación y grabado fotolitográfico, se forman unas aberturas 22C y una abertura central 24C, utilizando como máscara una capa de foto-reserva, y una solución de HF tamponada para eliminar las partes de óxido a voluntad. La estructura queda entonces preparada para la sucesiva operación de difusión.

15 En la etapa 8 se efectúa una difusión de tipo P⁺, de preferencia usando una fuente de suministro de boro, para formar en la región 18C de desarrollo epitaxial de tipo N una región central 28C y una región circundante 26C. Esta operación de difusión se realiza a
20 una temperatura de 1200°C durante un periodo de 95 minutos, formando una C_o (concentración de superficie) de $5 \times 10^{20} \text{ cm}^{-3}$. Del dibujo se desprende evidentemente que la región P⁺ central 28C se extiende continuamente desde la superficie de la estructura semiconductor a la región
25 16C de tipo N⁺ de poca resistividad, enterrada. La región N⁺ enterrada actúa de barrera, impidiendo que la región 28C de tipo P⁺ atraviese hasta la región de substrato 10C. Además, es evidente que la región difundida 28C de tipo P⁺ tendrá una región de superficie de poca resistividad
30 que se extiende bajando desde la superficie de la estruc-



tura de semiconductor y cruzando hasta el límite interno de la región 18C de tipo N. Es esta región óptima de alta conductividad, o de baja resistividad, la que permite la formación sucesiva de un elemento conector de paso inferior, de poca resistividad, en la región semiconductor 28C.

En la etapa 9 se desarrolla térmicamente sobre la superficie del sustrato, después de formados los dispositivos activos y pasivos, una capa de óxido 30C que tiene de preferencia un espesor aproximado de 4300 Å. Esta etapa es necesaria para permitir la sucesiva formación de contactos con las regiones de diversa conductividad de la estructura semiconductor.

En la etapa 10 y mediante el uso de métodos fotolitográficos de ocultación y grabado, se abren en la capa de óxido 30C un par de agujeros, encima de la región central 28C de tipo P⁺, para permitir la formación de contactos óhmicos metálicos 32C y 34C. Los contactos óhmicos 32C y 34C se forman de preferencia evaporando una capa de aluminio, y quitando luego por medios sustractivos las partes no deseadas, hasta dejar en la superficie de la capa de óxido 30C el diseño de distribución de rellanos metálicos deseado. Unas flechas 36C y 38C muestran respectivamente el paso de corriente por el contacto 32C, de un lado a otro de la parte de baja resistividad de la región semiconductor 28C, y por el contacto 34C hacia arriba. Por medio de una abertura practicada en la capa de óxido 30C se hace otro contacto óhmico 40C, con la región 18C de tipo N que rodea la región central 28C de tipo P⁺. Este contacto 40C permite la aplicación de una

338621



5 tensión positiva a la región 18C de tipo N, tensión que
actúa de polarización inversa para con las uniones PN 39C
y 41C definidas por las regiones 18C, 16C de tipo N, N⁺,
y las regiones 28C y 26C de tipo P⁺ y la región 10C de
tipo P⁻. La región 26C de tipo P⁺ que rodea la región 18C
de tipo N se confunde con la región de substrato 10C, de
tal modo que un contacto óhmico 42C con la región 26C per-
mite poner a un potencial de polarización inverso, tal co-
mo el de masa, la región de tipo P en su totalidad (includi-
10 das las regiones 26C y 10C). La unión PN 41C separa las
regiones de tipo P 26C y 10C de las regiones 18C y 16C de
tipo N. La unión PN 39C separa la región 28C de tipo P⁺
de las regiones 18C y 16C de tipo N.

15 De esta manera se obtiene una estructura
de paso inferior del semiconductor, de poca resistividad,
que permite a una pluralidad de conductores o rellanos
44C formados en la capa de óxido 30C pasar entre los con-
tactos 32C y 34C del elemento conector de paso inferior.
Los conductores 44C van conectados a otras áreas o dispo-
20 sitivos de la estructura integrada, de la cual forma parte
te el elemento conector de paso inferior. Por tanto,
los conductores 44C son sensiblemente perpendiculares a
los rellanos conectados a los contactos óhmicos 32C y 34C.
La región central 28C de tipo P⁺ está aislada o separada
25 por unas regiones 18C y 16C de tipo N y, por tanto, puede
recibir un potencial positivo, con tal que no sea más al-
to que el potencial positivo aplicado a las regiones 18C
y 16C de tipo N. Si las regiones de semiconductor del ele-
30 mento conector de paso inferior representado en los di-
bujos fueran de una conductividad de tipo opuesto, se in-

338621



vertirían también, en ese caso, los signos de los potenciales aplicados a las regiones semiconductoras.

5 Con referencia a la fig. 2C, se da en ella un esquema del elemento conector aislado, de paso inferior del semiconductor, de la etapa 10 de la fig. 1C. Las flechas 36C y 38C de la fig. 2C se corresponden con las flechas 36C y 38C de la fig. 1C. Por consiguiente, la entrada de corriente se aplica al contacto óhmico 32C, y la salida se toma del contacto óhmico 34C, siendo la región anular 28C de la fig. 2C equivalente a una resistencia de muy poco valor (aproximadamente de 2 ohmios por cuadrado). El contacto óhmico 40C conectado a la región 18C de tipo N se muestra en la fig. 2C como estando a un potencial positivo y eléctricamente conectado entre dos diodos 50C y 52C. El diodo 50C es la configuración de diodo formada por la región 28C de tipo P^+ y las regiones 18C y 16C de tipo N. El diodo 52C está formado por las regiones 18C y 16C de tipo N y las regiones 26C y 10C de tipo P. Como se indica en esta figura, la región de tipo P, que incluye la región de substrato 10C y la región 26C de tipo P^+ , está conectada a un potencial de polarización inversa, tal como el de masa.

10

15

20

La fig. 3C muestra, visto por arriba, el elemento conector de paso inferior de la etapa 10 de la fig. 1C, identificándose con las líneas de trazo interrumpido cada una de las regiones de semiconductor que componen el conector de paso inferior. Como se vé por esta figura, la región 16C enterrada de tipo N^+ tiene mayor anchura y longitud que la región 28C de tipo P^+ , de toma de contacto. Además, la región 28C de tipo P^+ es rectangular,

25

30

338021



de longitud bastante mayor que su anchura, para permitir el cruce de tantos conductores 44C como convenga por encima de la región de paso inferior, entre los contactos 32C y 34C. Si así conviene, puede añadirse una difusión de tipo de base en las proximidades de las regiones difundidas que rodean a los contactos 32C y 34C, para aumentar el área de toma de contacto con la región 28C. Esto daría, en lugar de la configuración rectangular de la fig. 3C, una configuración esencialmente semejante a la de las pesas de hacer gimnasia.

En un ejemplo concreto de elemento de conexión de paso inferior de poca resistividad para semiconductores, según lo arriba descrito, la región 10C de sustrato P⁻ tenía una profundidad aproximada de 0,2 mm; la región de desarrollo epitaxial tenía una profundidad aproximada de 5 micras y, por consiguiente, las regiones 26C 28C de tipo P⁺ tenían también una profundidad aproximada de 5 micras. La profundidad de la región N⁺ enterrada 16C era aproximadamente de 2 micras. La anchura de la región 28C de tipo P⁺ era aproximadamente de 0,0076 mm, y la longitud era de 0,025 mm en algunas aplicaciones, mientras en otras era hasta de 0,25 mm. La anchura de la región 18C de tipo N entre la región 28C de tipo P⁺ y la región 26C de tipo P⁺ era aproximadamente de 0,0178 mm. La anchura de la región 26C de tipo P⁺ era aproximadamente de 0,051 mm, y la anchura de la región 28C de tipo P⁺ era aproximadamente de 0,0076 mm. La región 28C de tipo P⁺ es la región de aislamiento o separación P⁺ formada en torno a los dispositivos activos o pasivos, en la estructura semiconductor integrada. La región 16C de tipo N⁺

338621



impide que los "tubos" que puedan formarse desde la región 28C difundida P^+ lleguen a la región 10C de substrato P^- .

DIISTOR (Diodo-transistor)

5 AÚN cuando a los fines de descripción del presente invento se hace referencia a una configuración de semiconductor en la cual se utiliza como substrato una región de tipo P^- , formándose luego las sucesivas regiones de la estructura de semiconductor compuesta según los tipos de conductividad indicados en los dibujos, fácilmente se desprende que las mismas regiones indicadas en los 10 dibujos pueden ser de conductividades de tipo opuesto; y además, algunas de las operaciones que se citan como de difusión pueden hacerse por desarrollo o "crecimiento" epitaxial, mientras algunas de las regiones indicadas como 15 de desarrollo epitaxial pueden fabricarse también por métodos de difusión.

Con referencia a la fig. 1D, en la etapa 1 se representa un substrato 10D de conductividad de tipo P^- , de preferencia con una resistividad de 10 a 20 ohm.cm. 20 El substrato 10D es de preferencia una estructura de silicio monocristalina que puede fabricarse por métodos usuales, tales como el de extraer un miembro semiconductor de silicio de una masa en fusión que contenga la concentración de impurezas deseada, y seccionar o subdividir luego el 25 miembro extraído, en una pluralidad de obleas. El substrato 10D forma parte de una de estas obleas.

Con referencia a la etapa 2, se desarrolla térmicamente, o bien se deposita por pirólisis, un revestimiento de óxido 12D, preferiblemente de dióxido de silicio 30 y de un espesor de 5200 Å. Como alternativa se puede

338621



utilizar, para formar la capa 12D de dióxido de silicio, un método de bombardeo con radiofrecuencia como el descrito en la solicitud de patente de EE.UU. identificada como SN 428.733, presentada el 28 de enero de 1965 a nombre de Davidse y Maissel y cedida al mismo cesionario de la presente invención.

En la etapa 3, y por métodos normales de ocultación y grabado fotolitográfico, se deposita una capa de foto-reserva (no representada en el dibujo) sobre el substrato que incluye la superficie de la capa de óxido 12D; y utilizando la capa de foto-reserva como máscara, se deja al descubierto una región 14D de la superficie del substrato 10D, quitando la parte deseada de la capa 12D de SiO_2 por corrosión, con una solución de HF tamponada. A continuación se quita la capa de fotoprotección, para permitir el ulterior tratamiento. Se realiza una operación de difusión, para difundir en la superficie 14D del substrato 10D una región 16D de tipo N^+ que tenga una C_0 de $2 \times 10^{20} \text{ cm}^{-3}$ de portadores mayoritarios de tipo N. La capa de óxido 12D sirve de máscara para impedir que la región 16D de tipo N^+ se forme en toda la superficie del substrato 10D. De preferencia, la operación de difusión se realiza en una cápsula de cuarzo, en la que se ha hecho el vacío, y utilizando como impureza polvo de silicio degenerado, activado con arsénico. Como alternativa o variante, la región 16D de tipo N^+ puede formarse practicando por acción corrosiva un canal en el substrato 10D de tipo P^- y desarrollando a continuación una región epitaxial de tipo N^+ .

En la etapa 4, tras de quitar la capa de



5 óxido 12D con una solución de HF tamponada, se produce por
desarrollo epitaxial en la superficie del sustrato una
región 18D de conductividad tipo N, que tenga de preferen-
cia una resistividad de 0,2 ohm·cm. La región epitaxial
18D es una capa activada con arsénico, aproximadamente de
5,5 a 6,5 micras de espesor. En la fabricación efectiva
de los dispositivos, las impurezas de arsénico de la re-
gión 16D, ahora enterradas, asoman por difusión aproxima-
damente en una micra durante la formación del depósito
10 epitaxial.

En la etapa 5, tras de formarse por oxida-
ción post-epitaxial la capa de óxido 20D, se forma una a-
bertura continua 22D por métodos de ocultación y grabado
fotolitográfico. A continuación se efectúa la etapa de di-
15 fusión del aislamiento separador de tipo P, utilizando de
preferencia una fuente de suministro de boro, hasta formar
unas regiones de separación 24D, de tipo P⁺, en la capa
de desarrollo epitaxial de tipo N. Esta operación de di-
fusión se realiza a una temperatura de 1200°C durante un
20 período de 95 minutos, formando una C_o (concentración de
superficie) de 5 x 10²⁰ cm⁻³. Es evidente que las regio-
nes difundidas de tipo P⁺ tendrán cada una una región de
superficie de poca resistividad que se extiende bajando
desde la superficie de la estructura semiconductor. En
25 la formación de difusiones de separación o aislamiento,
las regiones de tipo P⁺ difundidas llegan hasta el substra-
to 10D primitivo de tipo P⁻, estableciendo continuidad con
el mismo.

En la etapa 6 se forma otra capa de óxido
30 26D, después de la operación de difundir los separadores o



elementos de conexión. La capa de óxido 26D es preferiblemente de 4300 \AA de espesor, y puede formarse por un procedimiento de oxidación térmica como, por ejemplo, el de calentar a 1050°C durante un periodo de 5 minutos en O_2 seco, seguido de 15 minutos en vapor de agua y 5 minutos en O_2 seco.

A la superficie de esta capa de óxido se le aplica un revestimiento de fotoprotección, y por métodos fotolitográficos de ocultación y grabado se quitan dos porciones convenientes 28D y 30D de la capa de SiO_2 , utilizando una solución de HF tamponada.

Se efectúa a continuación una difusión de tipo de base, preferiblemente utilizando como fuente de suministro de impurezas el boro. Esta operación de difusión se realiza durante 70 minutos a 1075°C , y forma unas regiones 32D y 34D de tipo P, con una concentración superficial de impurezas de $5 \times 10^{19} \text{ cm}^{-3}$. El diodo 31D se forma mediante la etapa de difusión de base, ya que esta difusión de tipo P forma una región 32D de tipo P en una parte de la misma región aislada 18D, de desarrollo epitaxial, de tipo N, próxima a la región de base del transistor.

En la etapa 7, la operación de difusión de base va seguida de una operación de reoxidación y penetración simultáneas. De ese modo se desarrolla otra capa 36D de SiO_2 , de un espesor aproximado de 3600 \AA , en las regiones de base y de diodo. Durante este tratamiento térmico se redistribuyen las impurezas de boro, aumentándose con ello la profundidad de la unión, y reduciéndose la concentración superficial C_o . El ciclo de penetración de

338621



la oxidación es de 25 minutos en O_2 seco y 10 minutos en vapor de agua, seguido de 15 minutos en O_2 seco a $1150^{\circ}C$.

En la formación del dispositivo de transistor 37D, se aplica sobre la capa de óxido un revestimiento de foto-reserva, y por medio de operaciones fotolitográficas de ocultación y grabado se quita una parte 38D de esta capa de óxido, por encima de la región de base difundida, permitiendo que se forme luego una región de emisor 40D por medio de una operación de difusión.

La región de emisor de tipo N se forma en la región de base 34D de tipo P utilizando de preferencia una fuente de suministro de impurezas fosforosa, tal como el $POCl_3$ y calentando la oblea en una atmósfera que contenga 700 ppm (partes por millón) de $POCl_3$ a una temperatura de $970^{\circ}C$ y durante un período de 35 minutos. Como las regiones de tipo de base y emisor se forman sobre la región 16D enterrada de tipo N^+ , esta región N^+ enterrada actúa de subcolector de poca resistividad enterrado, para con el dispositivo de transistor, y funciona también dando un camino de conexión eléctrica para la corriente del diodo.

A continuación de la operación de difusión del emisor, se ejecuta una etapa de tratamiento térmico de oxidación y penetración del emisor. El ciclo de penetración es de 5 minutos en O_2 seco seguidos de 55 minutos de vapor de agua, y un período o intervalo de tiempo en atmósfera de O_2 seco (según la profundidad de la región de colector), a una temperatura de $970^{\circ}C$.

Mediante el uso de métodos fotolitográficos de ocultación y grabado, se abren en la capa de óxido 42D unos agujeros, en áreas seleccionadas, para fabricar el



circuito deseado. Se aplica por evaporación una capa de aluminio sobre la superficie entera de la oblea, y se qui-
tan por acción corrosiva unas porciones de esta capa, pa-
ra obtener el diseño de interconexiones deseado. La capa
5 evaporada de aluminio tiene un espesor de 6000 Å, formado
depositando aluminio a razón de 45 Å por segundo en un va-
cío de 5×10^{-6} Torr. Se depositan 1500 Å a una tempera-
tura de oblea de 200°C, y los 4500 Å restantes a una tem-
peratura de oblea menor de 100°C. A continuación se apli-
10 ca a la oblea una capa de foto-reserva, que es secada, im-
presionada, revelada y fijada. Las interconexiones de a-
luminio se forman mediante una operación de grabado sus-
tractiva, utilizando una solución caliente de $H_3PO_4 +$
 $HNO_3 + H_2O$. La capa de fotoprotección se quita luego, y
15 la oblea se limpia y se seca.

Las obleas son sinterizadas en atmósfera
de nitrógeno a 450°C durante 15 minutos, para que el alu-
minio produzca buenos contactos óhmicos con las regiones
semiconductoras de la oblea con las cuales hay que tomar
20 contacto. De esta manera se forman unos contactos óhmi-
cos 44D, 46D y 48D en las regiones 32D, 40D y 34D, respec-
tivamente, obteniéndose así un dispositivo de diistor, o
diodo y transistor combinados.

ELEMENTO DE RESISTENCIA

25 Aun cuando a los fines de descripción de es-
te elemento de resistencia se hace referencia a una confi-
guración de semiconductor en la cual se utiliza como subs-
trato una región de tipo P⁻, formándose luego las sucesivas
regiones semiconductoras de la estructura de semiconductor
30 compuesta según los tipos de conductividad indicados en los

338621



dibujos, fácilmente se desprende que las mismas regiones indicadas en los dibujos pueden ser de conductividades de tipo opuesto; y además, algunas de las operaciones que se citan como de difusión pueden hacerse por desarrollo o "crecimiento" epitaxial, mientras algunas de las regiones indicadas como de desarrollo epitaxial pueden fabricarse también por métodos de difusión.

Con referencia a la fig. 1R, en la etapa 1 se ilustra un substrato 1OR de conductividad de tipo P, de preferencia con una resistividad de 10 a 20 ohm·cm. El substrato 1OR es de preferencia una estructura de silicio monocristalina que puede fabricarse por métodos usuales, tales como el de extraer un miembro semiconductor de silicio de una masa en fusión que contenga la concentración de impurezas deseada, y seccionar o subdividir luego el miembro extraído, en una pluralidad de obleas. El substrato 1OR forma parte de una de tales obleas.

Con referencia a la etapa 2, se forma un revestimiento de óxido 12R, preferiblemente de dióxido de silicio y de un espesor de 5200 Å, bien por desarrollo térmico mediante caldeo usual en una atmósfera húmeda a 1050°C durante 60 minutos, o bien por formación de depósito pirolítico de una capa de óxido en la superficie del substrato 1OR. Como alternativa, se puede utilizar, para formar la capa 12R de dióxido de silicio, un método de bombardeo con radiofrecuencia como el descrito en la solicitud de patente de EE.UU. identificada como SN 428.733, presentada el 28 de Enero de 1965 a nombre de Davidse y Maissel, y cedida al mismo cesionario de la presente invención.

338621



En la etapa 3, y por métodos normales de ocultación y grabado fotolitográfico, se deposita una capa de foto-reserva (no representada) sobre el sustrato que incluye la superficie de la capa de óxido 12R; y utilizando la capa de foto-reserva como máscara, se deja al descubierto una región 14R de la superficie del sustrato 10R, quitando la parte deseada de la capa 12R de SiO_2 con una solución de HF tamponada. A continuación se quita la capa de foto-reserva, para permitir el ulterior tratamiento. Se realiza una operación de difusión, para difundir en la superficie 14R del sustrato 10R una región 16R de tipo N^+ que tenga una C_0 de $2 \times 10^{20} \text{ cm}^{-3}$ de portadores mayoritarios de tipo N. La capa de óxido 12R sirve de máscara para impedir que la región 16R de tipo N^+ se forme en toda la superficie del sustrato 10R. De preferencia, la operación de difusión se realiza en una cápsula de cuarzo en la que se ha hecho el vacío, y utilizando como impureza polvo de silicio degenerado, activado con arsénico. Como alternativa, la región 16R de tipo N^+ puede formarse practicando por acción corrosiva un canal en el sustrato 10R de tipo P^- , y desarrollando a continuación una región epitaxial de tipo N^+ .

En la etapa 4, tras de quitar la capa de óxido 12R con una solución de HF tamponada, se produce por desarrollo epitaxial en la superficie del sustrato una región 18R de conductividad de tipo N, que tenga de preferencia una resistividad de $0,2 \text{ ohm}\cdot\text{cm}$. La región epitaxial 18R es una capa drogada con arsénico, aproximadamente de 5,5 a 6,5 micras de espesor. En la fabricación efectiva de los dispositivos, las impurezas de arsénico

338621



de la región 16R, ahora enterradas, asoman por difusión aproximadamente en una micra durante la formación del depósito epitaxial.

5 En la etapa 5 se forma una capa de óxido 2CR de aproximadamente 5200 Å de espesor, sobre la superficie de la región de desarrollo epitaxial 18R, sea por un procedimiento de oxidación térmica, por formación de depósito pirolítico o por métodos de bombardeo con radiofrecuencia. En la capa de óxido 2CR se forma una abertura
10 ra continua 22R, por métodos fotolitográficos de ocultación y grabado, utilizando como máscara una capa de fotoreserva, y una solución de HF tamponada para quitar las partes de óxido convenientes. La estructura queda entonces preparada para la sucesiva operación de difusión de
15 la separación o aislamiento. Se realiza entonces una difusión de P⁺, de preferencia utilizando una fuente de suministro de boro, hasta formar la región de separación 24R circundante. Esta operación de difusión se efectúa a una temperatura de 1200°C durante un período de 95 minutos,
20 formando una C_o (concentración de superficie) de 5 x 10²⁰ cm⁻³. Es evidente, según se desprende del dibujo, que la región 24R de separación de tipo P⁺ se extiende continuamente desde la superficie de la estructura semiconductor a la región de substrato 10R de tipo P. Además, es evidente
25 que la región difundida 24R de tipo P⁺ tendrá una región de superficie de poca resistividad que se extiende bajando desde la superficie de la estructura semiconductor.

30 En la etapa 6, se forma otra capa de óxido 26R, después de la operación de difundir los elementos de



conexión o separadores. Esta capa de óxido es preferible
mente de 4300 \AA de espesor, y puede formarse por un proce-
dimiento de oxidación térmica tal como, por ejemplo, el
de calentar a 1050°C durante un periodo de 5 minutos en
5 D_2 seco, seguido de 15 minutos en vapor de agua y 5 minu-
tos en O_2 seco.

A la superficie de esta capa de óxido se
le aplica un revestimiento de foto-reserva, y por métodos
fotolitográficos de ocultación y grabado se quita la par-
10 te conveniente de la capa de SiO_2 , utilizando una solución
de HF tamponada. La abertura 28R practicada en la capa
de óxido 26R permite efectuar una difusión sucesiva, del
tipo de base.

Se efectúa a continuación la difusión del
15 tipo de base o resistencia óhmica, de preferencia utili-
zando boro como fuente de suministro de impurezas para
formar la región resistiva 30R. Esta operación de difu-
sión se hace durante 70 minutos a 1075°C , y forma unas
regiones de tipo P, con una concentración superficial de
20 impurezas de $5 \times 10^{19} \text{ cm}^{-3}$.

En la etapa 7, la difusión de base o resis-
tencia óhmica va seguida de una operación de reoxidación
y penetración simultáneas. De ese modo se desarrolla otra
25 capa 32R de SiO_2 . Durante este tratamiento térmico se re-
distribuyen las impurezas de boro, aumentándose con ello
la profundidad de la unión y reduciéndose la concentración
superficial C_0 . El ciclo de penetración de la oxidación
es de 25 minutos en O_2 seco, y de 10 minutos en vapor de
agua, seguidos de 15 minutos en O_2 seco a 1150°C .

En la formación de los dispositivos de tran-
30 sistor, se aumenta el espesor de la capa de óxido 32R debido

370621



a la etapa de oxidación que sigue a la formación de la región de emisor. Mediante operaciones fotolitográficas de ocultación y grabado se quitan unas partes de esta capa de óxido por encima de la región resistiva difundida.

5 En la capa de óxido 32R se forman dos agujeros encima de la región resistiva 30R de tipo P, para permitir la formación de los contactos metálicos óhmicos 34R y 36R. Los contactos óhmicos 34R y 36R se forman de preferencia por evaporación de una capa de aluminio, quitándose luego sustractivamente las partes no deseadas, hasta dejar el diseño distributivo de rellanos metálicos en la superficie de la capa de óxido 32R. De este modo se forma la estructura de resistencia.

10

TRANSISTOR

15 Aun cuando a los fines de descripción del transistor se hace referencia a una configuración de semiconductor en la que se utiliza como substrato una región de tipo P⁻, formándose luego las sucesivas regiones semiconductoras de la estructura de semiconductor compuesta según el tipo de conductividad indicada en los dibujos, fácilmente se desprende que las mismas regiones indicadas en los dibujos pueden ser de conductividades de tipo opuesto; y además, algunas de las operaciones que se citan como de difusión pueden hacerse por desarrollo o "crecimiento" epitaxial, mientras algunas de las regiones indicadas como de desarrollo epitaxial pueden fabricarse también por métodos de difusión .

20

25

 Con referencia a la fig. 1T, la etapa 1 ilustra un substrato 10T de conductividad de tipo P⁻, de preferencia con una resistividad de 10 a 20 ohm.cm. El

30

330021



5 substrato 10T es de preferencia una estructura de silicio monocristalina que puede fabricarse por métodos usuales, tales como el de extraer un miembro semiconductor de silicio de una masa en fusión que contenga la concentración de impureza deseada, y seccionar o subdividir luego el miembro extraído, en una pluralidad de obleas. El substrato 10T forma parte de una de estas obleas. Por desarrollo térmico, o bien por depósito pirolítico se forma un revestimiento de óxido 12T, preferiblemente de dióxido de silicio y de un espesor de 5200 Å. Como alternativa, se puede utilizar, para formar la capa 12T de dióxido de silicio, un método de hombardeo con radiofrecuencia como el descrito en la solicitud de patente de EE.UU. identificada como SN 428.733, presentada el 28 de Enero de 15 1965 a nombre de Davidse y Maissel, y cedida al mismo cesionario de la presente invención.

20 En la etapa 2, y por métodos normales de ocultación y grabado fotolitográfico, se deposita una capa de foto-reserva (no representada) sobre el substrato que incluye la superficie de la capa de óxido 12T; y utilizando la capa de foto-reserva como máscara, se deja al descubierto una región 14T de la superficie del substrato 10T, quitando la parte deseada de la capa 12T de SiO₂ con una solución de HF tamponada. A continuación se quita la 25 capa de fotoprotección, para permitir el ulterior tratamiento. Se realiza una operación de difusión, para difundir en la superficie 14T del substrato 10T una región 16T de tipo N⁺ que tenga una concentración superficial C₀ de $2 \times 10^{20} \text{ cm}^{-3}$ de portadores mayoritarios de tipo N. 30 La capa de óxido 12T sirve de máscara para impedir que la



región 16T de tipo N^+ se forme en toda la superficie del
substrato 10T. De preferencia, la operación de difusión
se realiza en una cápsula de cuarzo en la que se ha hecho
el vacío, y utilizando como impureza polvo de silicio de-
5 generado, activado con arsénico. Como alternativa, la
región 16T de tipo N^+ puede formarse practicando por ac-
ción corrosiva un canal en el substrato 10T de tipo P^- ,
y desarrollando a continuación una región epitaxial de
tipo N^+ .

10 En la etapa 3, tras de quitar la capa de
óxido 12T con una solución de HF tamponada, se produce por
desarrollo epitaxial en la superficie del substrato una
región 18T de conductividad de tipo N, que tenga de pre-
ferencia una resistividad de 0,2 ohm-cm. La región epita-
15 xial 18T es una capa activada con arsénico, aproximadamen-
te de 5,5 a 6,5 micras de espesor. En la fabricación
efectiva de los dispositivos, las impurezas de arsénico
de la región 16T, ahora enterradas, asoman por difusión
aproximadamente en una micra durante la formación del de-
20 pósito epitaxial. Por un procedimiento de oxidación tér-
mica, por depósito pirolítico o por métodos de bombardeo
con radiofrecuencia se forma, en la superficie de la re-
gión 18T de desarrollo epitaxial, una capa de óxido 20T
de aproximadamente 5200 Å de espesor.

25 En la etapa 4, se forma una abertura con-
tínua 22T en la capa de óxido, por métodos normales de
ocultación y grabado fotolitográfico, utilizando una ca-
pa de foto-reserva como máscara, y una solución de HF tam-
ponada, para quitar las partes de óxido convenientes. La
30 estructura queda entonces preparada para la sucesiva ope-



ración de difusión de la separación o aislamiento. Se realiza entonces una difusión de tipo P⁺, de preferencia empleando una fuente de suministro de boro, para formar la región circundante 24T en la región 18T de desarrollo epitaxial de tipo N. Esta operación de difusión se efectúa a una temperatura de 1200°C durante un periodo de 95 minutos, formando una C_o (concentración de superficie) de $5 \times 10^{20} \text{ cm}^{-3}$. Es evidente que la región 24T de separación de tipo P⁺ difundida tendrá una región superficial de poca resistividad que se extiende hacia abajo desde la superficie de la estructura semiconductor, y la región de aislamiento o separación completa se extiende continuamente desde la región de substrato 10T de tipo P a la superficie de la estructura semiconductor.

En la etapa 5 se forma una capa de óxido 26T, de preferencia, por desarrollo térmico en la superficie del semiconductor. Mediante el uso de métodos fotolitográficos de ocultación y grabado se abre un agujero en la capa de óxido 26T por encima de la región 18T de tipo N aislada, para así permitir una difusión de tipo de base. Se efectúa entonces la operación de difusión de tipo de base, a través de una parte 28T de la superficie del semiconductor, para formar una región de base 30T. Se utiliza el boro como fuente de suministro de impurezas, y esta operación de difusión se hace durante 70 minutos a 1075°C, y forma una región de tipo P que tiene una concentración superficial de impurezas de $5 \times 10^{19} \text{ cm}^{-3}$.

En la etapa 6, la de difusión de base va seguida de una operación de reoxidación y penetración simultáneas. De ese modo se desarrolla otra capa 32T de SiO₂,

338621



de un espesor aproximado de 3600 \AA . Durante este tratamiento térmico, se redistribuyen las impurezas de boro, aumentándose con ello la profundidad de la unión y reduciéndose la concentración superficial C_o . El ciclo de penetración de la oxidación es de 25 minutos en O_2 seco, y de 10 minutos en vapor de agua, seguidos de 15 minutos a 1150°C en O_2 seco.

Encima de la capa de óxido 32T se aplica una capa de foto-reserva, y mediante operaciones fotolitográficas de ocultación y grabado se quitan dos partes de esta capa de óxido, para permitir que se formen unas regiones de tipo de emisor, por una operación de difusión. En la región 18T de colector de tipo N se forma una región 34T de tipo de emisor N^+ , para dar una región de buen contacto eléctrico. También se forma una región 36T de emisor de tipo N^+ en la región de base 30T.

Las regiones de emisor de tipo N se forman en las regiones de base de tipo P utilizando de preferencia una fuente de impurezas fosforosa, tal como el $POCl_3$, y calentando la oblea en una atmósfera que contiene 700 ppm de $POCl_3$, a una temperatura de 970°C y durante un período de 35 minutos. De preferencia, las regiones de emisor y de base se forman sobre la región N^+ enterrada, permitiendo que esta región actúe como subcolector enterrado, de poca resistividad.

Después de formada una capa de óxido, durante el ciclo de penetración de emisor, se efectúa la operación de difusión de oro. Mediante el uso de métodos fotolitográficos de ocultación y grabado, se abren unos huecos o agujeros en la capa de óxido, en áreas seleccionadas.

338621



nadas, para fabricar el circuito deseado. Por encima de toda la superficie de la oblea se aplica una capa de aluminio por evaporación, quitándose luego mediante acción corrosiva unas porciones de esta capa, para obtener el diseño de interconexiones deseado. La capa de aluminio aplicada por evaporación tiene un espesor de 6000 \AA . En continuación se aplica a la oblea una capa de foto-reserva, que es luego secada, impresionada, revelada y fijada. Las interconexiones de aluminio se forman mediante una operación de grabado sustractiva, utilizando una solución caliente de $\text{H}_3\text{PO}_4 + \text{HNO}_3 + \text{H}_2\text{O}$. La capa de foto-reserva se quita luego, y se limpia y seca la oblea.

Las obleas se sinterizan en atmósfera de nitrógeno a 450°C durante 15 minutos, para permitir que el aluminio efectúe buenos contactos óhmicos con las regiones semiconductoras de la oblea con las que se ha de hacer el contacto. Los contactos óhmicos 38T, 40T y 42T dan conexión eléctrica con las regiones de colector 18T, de emisor 36T y de base 30T, respectivamente.

MASCARAS DE OCULTACION

Las figs. 8, 9, 10, 11, 12, 13, 14, 15, 16, 17 y 17A representan las máscaras de metal y vidrio que se utilizan en la fabricación de la estructura monolítica integrada de esta invención. Las figuras 17 y 17A ilustran de qué modo se colocan las máscaras durante las sucesivas operaciones de ocultación o protección fotolitográfica.

La fig. 8 es una vista ampliada de la máscara A que se utiliza para las difusiones de subcolector en los dispositivos activos y pasivos, y también para la

338621



barrera destinada a los elementos conectadores de paso inferior. Las partes sombreadas de todas las máscaras, incluida la máscara representada en la fig. 8, sirven para impedir que llegue la luz a una emulsión fotosensible que ha sido aplicada como revestimiento sobre la oblea.

5 Por tanto, se impide la polimerización de las áreas de la oblea protegidas por las áreas sombreadas u oscuras de la máscara y, por consiguiente, estas áreas protegidas desaparecen durante el revelado. En cambio, las áreas fotosensibles de la capa de foto-reserva a las que ha llegado

10 la luz, no se quitan, actuando así de máscara protectora para prevenir la sucesiva corrosión química del óxido de debajo de estas partes de la capa de foto-reserva. Los grandes rectángulos oscuros 80C representan las regiones

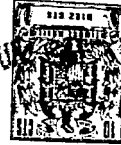
15 de barrera para el elemento conectador. Por tanto, la di fusión de tipo N^+ en la región de substrato definida por los rectángulos negros grandes 80C sirve para actuar como región de barrera para la sucesiva difusión de elemento conectador de tipo P^+ . Además, las sucesivas regiones di-

20 fundidas de resistencia se forman en la región epitaxial, encima de las regiones N^+ definidas por los rectángulos negros grandes 80C. Los rectángulos negros 80T representan las áreas difundidas de subcolector para los dispositivos de transistor descritos en la fig. 1T. Los rectán-

25 gulos negros 80D, que son sensiblemente normales a los rectángulos negros 80T, representan las regiones de subcolector para el diistor (diodo-transistor) descrito en la fig. 1D.

Con referencia a la fig. 9, que representa

30 la máscara B para las difusiones de separación o aislamien



to y elemento conector, las regiones 90C que tienen sen-
siblemente forma de I ilustran las regiones de difusión
de elemento conector descritas en la fig. 1C. El núme-
ro de referencia 90I designa las restantes áreas negras,
5 que definen las regiones de aislamiento o separación para
todos los dispositivos individuales que incluyen las re-
giones de elemento de conexión de paso inferior.

La fig. 10 representa la máscara C, para
las difusiones de base, diodo y resistencia, y también
10 para los contactos de conector. El número de referen-
cia 100A identifica los pequeños rectángulos negros que
representan la difusión de tipo P utilizada para hacer la
parte de diodo de los dispositivos de diistor (diodo-tran-
sistor) descritos con referencia a la fig. 1D. El número
15 de referencia 100B designa los cuadrados negros que defi-
nen la difusión de base para los dispositivos de transis-
tor, descritos con referencia a la fig. 1T. El número de
referencia 100BT designa las regiones de base formadas en
la parte de transistor de los dispositivos de diistor
20 (diodo-transistor). Los números de referencia 100R defi-
nen las difusiones que forman las regiones de resistencia
de la estructura monolítica integrada. Con los números
de referencia 100C se definen las difusiones adicionales
que permiten la formación de contactos con los elementos
25 conectadores de paso inferior. El número de referencia
100I designa el área de contacto de aislamiento o separa-
ción, para facilitar la ejecución uniforme, por grabado o
corrosión, de los agujeros de contacto.

Con referencia a la fig. 11, los caracte-
30 res 111DE representan las regiones de emisor para el



diistor. Los números 111TC representan las regiones de contacto de colector para el diistor. Los números 111RB representan las áreas de difusión para reforzar el contacto eléctrico con la región epitaxial de tipo N que rodea a cada región de elemento conector.

Con referencia a la fig. 12, se utiliza la máscara E para formar los agujeros de contacto. Los números de referencia 120E indican las regiones de la máscara que se utilizan para formar los agujeros de contacto de aislamiento o separación. Los números de referencia 120DB indican las áreas de oscuro de la máscara utilizadas para formar los agujeros de contacto para las regiones de base de las partes de transistor de los dispositivos de diistor. Los números de referencia 120DE representan las áreas de oscuro de la máscara utilizadas en la formación de los agujeros de contacto para la parte de emisor del transistor de los dispositivos de diistor. Los números de referencia 120A designa las áreas de oscuro de la máscara, utilizadas en la formación de los agujeros de contacto para las regiones de tipo P empleadas en la formación de las partes de diodo de los diistores. Los números de referencia 120TE designan las regiones de oscuro de la máscara utilizadas para formar los agujeros de contacto para las partes de emisor de los dispositivos de transistor (fig. 1T). Los números de referencia 120TC designan las áreas de oscuro de la máscara utilizadas en la formación de los agujeros de contacto con la parte de colector de los dispositivos de transistor. Los números de referencia 120TB indican las áreas de oscuro de la máscara utilizada en la formación de agujeros de contacto para las

338621



partes de base de los dispositivos de transistor. Los números de referencia 12ORH designan las áreas de oscuro de la máscara utilizada en la formación de agujeros de contacto con los dispositivos de resistencia. Los números de referencia 12ORB indican las áreas de oscuro de la máscara utilizada en la formación de agujeros de contacto con las regiones epitaxiales de tipo N que rodean a los dispositivos conectadores, para así permitir que se les hagan sucesivos contactos óhmicos a las mismas, a fin de polarizar en sentido inverso estas regiones. Los números de referencia 12OCH señalan las áreas de oscuro de la máscara utilizada en la formación de agujeros de contacto para los dispositivos de conectadores.

Con referencia a la fig. 13, se muestra en ella máscara F para las interconexiones de aluminio. Las áreas de oscuro de la máscara se utilizan para permitir la formación de un diseño de rellanos de aluminio, correspondientes a las partes de oscuro de la máscara. Este diseño de interconexión de rellanos de aluminio sirve para interconectar las diversas partes de la estructura monolítica integrada.

Con referencia a la fig. 14, se representa en ella una máscara G para la formación de agujeros de terminales en la capa de cuarzo (dióxido de silicio) formada por bombardeo iónico sobre el diseño de rellanos de interconexión de aluminio. Los números de referencia 140 indican las áreas de oscuro de la máscara, que permiten la formación de agujeros de terminales para las regiones de terminales de la estructura monolítica integrada. Todas las máscaras representadas en las figs. 8, 9,



10, 11, 12, 13 y 14 están hechas de vidrio, y en ellas van las regiones de oscuro en opaco.

5 Con referencia a la figura 15, se ilustra en ella una máscara metálica para permitir la formación de rellanos limitadores de Cr-Cu-Au, por medio de aberturas 150. Como se desprende de la inspección de la fig. 15, en relación con la fig. 14, los rellanos limitadores de Cr-Cu-Au para el microfragmento de oblea se forman en los agujeros de terminales practicados en la capa de cuarzo aplicada por bombardeo iónico.

10 Con referencia a la fig. 16, se representa en ella la máscara metálica final, para formar la estructura monolítica integrada. La máscara de la fig. 16 es para permitir la formación de las almohadillas o áreas de contacto de Pb/Sn. Los números de referencia 160 indican los agujeros de la máscara que permiten la formación de las almohadillas de Pb/Sn sobre los rellanos limitadores de Cr-Cu-Au formados en el microfragmento o "pizca". Como se observará al inspeccionar la fig. 16 en relación con la fig. 15, los agujeros 160 de la fig. 16 son mucho mayores en diámetro que los agujeros 150 de la fig. 15, lo cual es necesario para la operación de reflujo de la almohadilla de Pb/Sn descrita en la sección titulada "Método de fabricación".

15 Con referencia a la vista en superposición de las máscaras, de la fig. 17, las vistas parciales representan una porción de esquina de cada una de las máscaras que se ilustran de modo completo en las figs. 8, 9, 10, 11, 12, 13, 14, 15 y 16. La fig. 17 ilustra de qué modo se alinean unas partes de las máscaras respecto a otras, y faci-



lita la comprensión de la manera de formar la estructura
monolítica integrada. La fig. 17A muestra, con líneas de
trazo y punto, que las partes de las máscaras indicadas
en la fig. 17 no son sino partes de las máscaras comple-
5 tas que se utilizan en la formación de la estructura mono-
lítica integrada. Cada una de las máscaras individuales
representadas en la fig. 17A se ilustra respectivamente
en las figs. 8, 9, 10, 11, 12, 13, 14, 15 y 16.

Para asegurar un buen rendimiento se em-
10 pleó una tolerancia de 5 micras para todas las máscaras
de difusión, y una anchura y separación de 7,6 micras pa-
ra los rellanos de aluminio.

FUNCIONAMIENTO DE LAS CELULAS DE MEMORIA

Con referencia a la fig. 6, se dá en ella
15 un esquema de la célula de memoria individual de la es-
tructura monolítica integrada. La célula de memoria cons-
ta de: dos transistores T y dos resistencias R de 1000
óhmios, conectadas como circuito disparador de acoplamien-
to directo, que proporciona la función de almacenaje; dos
20 transistores combinados con dos diodos y designados con
la letra D (definidos anteriormente como diistores) que
funcionan a modo de conmutador de corriente dando las fun-
ciones de interrogación (lectura-inscripción); y un tran-
sistor de modo común T' que suministra la capacidad de se-
25 lección X-Y de la formación o disposición ordenada, para un
funcionamiento de célula de memoria tridimensional. En el
funcionamiento de célula bidimensional de la fig. 6A, se
elimina el transistor T' de modo común, que es sustituido
por una resistencia R'.

30 La operación de lectura de un bitio deter-



minado en particular se efectúa por excitación coincidente de las líneas X-Y, que hace que una corriente representativa de aproximadamente 3 mA circule por el diodo eléctricamente conectado al colector del diistor D conmutador de corriente que tiene el potencial de base más alto.

Como la percepción se obtiene por la línea de bitios de diodo, denominada línea BOS, la presencia de corriente indica el estado de "uno" y, recíprocamente, la ausencia de corriente indica el estado de "cero". El circuito está

proyectado de manera que impide que se saturen el diistor D, conmutador de corriente, y el transistor T' que suministra la corriente, dando lugar de ese modo a un funcionamiento de lectura no destructiva, de gran velocidad. En general se necesita una anchura mínima de impulsos de excitación coincidentes de 8 nanosegundos (8 ns) para asegurar la completa lectura de todas y cada una de las células de almacenaje en la disposición de memoria de 4 x 4, en la de 2 x 8, en la de 8 x 8, etc.

La operación de inscribir se realiza mediante la multicoincidencia de la excitación de líneas X-Y y una disminución de la respectiva línea de bitio (cero o uno) a un nivel de 0,5 voltios. Estas condiciones obligan al correspondiente diistor D conmutador de corriente a ir a la saturación; y si la célula se halla en el estado complementario, ocurre lo siguiente: la corriente de base saturada, de aproximadamente 2 mA, es inicialmente suministrada por los portadores mayoritarios de base almacenados en el transistor T de cerrojo o disparador, saturado, y finalmente a través de la resistencia R de un kilohmio que inicia el ciclo de regeneración que invierte el

338621



estado de conducción del disparador de corriente continua. Durante el ciclo de inscripción, el punto de emisor común 60 tiene un potencial de aproximadamente 0,2 voltios por bajo del de masa (potencial negativo). Esto permite unir a masa la región de separación de tipo P de la célula monolítica, con una corriente de fuga insignificante. Para efectuar con la debida seguridad la inscripción en cada célula de la "pizca" o microfragmento monolítico integrado, se necesita una anchura mínima de impulsos de excitación coincidentes de aproximadamente 15 nanosegundos.

La carga de diodo en las líneas de percepción que forman parte del diistor D proporcionan una caída de tensión constante, insensible a la corriente de lectura, asegurándose de ese modo una condición no saturante, de la parte de transistor del diistor, perceptora de la conmutación de corriente, durante la operación de lectura y en un amplio margen de corriente de trabajo. En cambio, la carga de diodo en la línea de percepción que forma parte del diistor D permite una caída de tensión de magnitud suficiente para hacer que la parte de transistor del diistor D, perceptora y seleccionada, se sature durante el ciclo de inscripción. Además, la carga de diodo reduce al mínimo la carga capacitiva en las líneas comunes de percepción de otras células, conectadas en una formación o disposición integrada, por su poca acción de capacidad en serie. Es más, la carga de diodo previene asimismo toda inscripción errónea en células no seleccionadas, para bajos niveles de tensión de percepción, sirviendo así como separador de corriente continua para las células de memoria no seleccionadas. Un circuito de memoria semejante a la célula de



memoria arriba descrita es el expuesto en una solicitud de patente de EE.UU. identificada como SN 449.093, presentada el 19 de Abril de 1965 a nombre de Farber y Schlig, y cedida al mismo cesionario de esta invención.

5 En el circuito de célula de memoria bidimensional ilustrado en la fig. 6A, el transistor T' de la fig. 6 está sustituido por la resistencia R'. La resistencia R' sirve de fuente de alimentación de corriente, al activarse la línea de vocablos. La parte restante del
10 circuito funciona de la misma manera arriba descrita respecto a la fig. 6. Como se desprende de la fig. 6A, el circuito de célula de memoria bidimensional tiene sólo una línea de selección (línea de vocablos), en tanto que el circuito de célula de memoria tridimensional de la fig.
15 6 tiene dos líneas de selección (X e Y).

El diseño de célula individual, de 0,25 x 0,25 mm, de la memoria monolítica dispuesta en forma de matriz de 4 x 4, consta de 16 células de memoria interconectadas, como las arriba descritas. La región de desarrollo epitaxial de tipo N que separa o aísla las resistencias y los elementos conectadores, está ligada a la ten
20 sión más positiva (1,8 V), para reducir al mínimo la capacidad parásita de la unión, y asegurar una condición de polarización inversa para las resistencias formadas por
25 difusión de boro. La separación entre dispositivos se obtiene conectando las regiones separadoras de tipo P a masa, que es el potencial de corriente continua más negati
vo de que se dispone.

El elemento conectador de paso inferior arriba descrito con referencia a la fig. 10 permite utili-
30



zar una sola capa de cuarzo de encapsulamiento, ya que el elemento de conexión de paso inferior permite cruzar la línea conductiva Y con otras líneas conductivas. Para eliminar la necesidad de otro elemento conector de paso inferior y ahorrar así área de silicio, se utiliza la región separadora de tipo P para la conexión de la polarización de masa al emisor común del disparador de corriente continua. Esto añade aproximadamente un ohmio de resistencia común.

10 CARACTERÍSTICAS ELECTRICAS DE LOS DISPOSITIVOS

Los diodos del diistor tienen una $V_f = 0,95$ voltios a 3 mA. El tiempo de recuperación de almacenaje, con una $I_f = 3$ mA y una I_r igual a 0,3 mA es de 2 nanosegundos. La capacidad de la unión es de 0,2 picofaradios (0,2 pF) a cero voltios.

Las características eléctricas de los transistores son las siguientes:

$f_t = 250$ mc/s mínima a 1,0 mA, que sube como máximo a 290 Mc/s a 3 mA;

resistencia de colector (R_c) = 30 ohmios;

resistencia de base ($I_e = 1$ mA, saturación = 1) = 80 ohmios;

capacidad colector-separación a -1,0 V = 1,2 pF;

capacidad colector-base a cero voltios = 0,7 pF;

capacidad emisor-base a cero voltios = 0,5 pF;

$BV_{ebo} > 5,0$ voltios;

$BV_{cbo} > 15$ voltios;

BV_{ceo} a 3 mA $> 6,0$ voltios;

BV_{ci} (perforación colector-separador) > 20 voltios;

V_{be} ($I_e = 3$ mA; c-b en corto) = 0,82 voltios;



β ($I_e = 1$ a 3 mA; c-b en corto) > 20 voltios;

V_{ce} ($I_c = 1$ mA, $I_b = 0,3$ mA) = $0,11$ voltios;

V_{be} (a saturación) ($I_c = 1$ mA, $I_b = 0,3$ mA) = $0,81$ voltios;

5 V_{ce} ($I_c = 0$; $I_b = 2$ mA) = 44 mV;

I_{cex} ($V_{be} = 0,5$ V, $V_{cb} = +1,0$ V) < 100 nanoamperios; y

β inversa, aproximadamente igual a $0,4$.

10 Cada una de las resistencias de 1000 ohmios tiene una capacidad de $1,0$ pF a cero voltios. El coeficiente de temperatura, positivo, es de 800 ppm por grado centígrado.

15 Los elementos de conexión de paso inferior largos y cortos tienen una resistencia total de 18 y 45 ohmios respectivamente, y una capacidad de $2,5$ y $6,2$ pF, respectivamente, a 2 voltios de polarización inversa.

20 Con referencia a la fig. 2, se representa, vista en un plano, la disposición ordenada de células de memoria monolítica de 4×4 , designada en general con el número 20 , después de completado el procedimiento de fabricación y aplicado el cuarzo por bombardeo iónico a la superficie del diseño de rellanos de aluminio. A lo largo del perímetro exterior de la "pizca" monolítica 20 se disponen trece almohadillas de contacto. Como se describe
25 con referencia a la fig. 6, que es la representación en esquema de una célula de memoria, se prevén unas líneas X (en número de cuatro) y unas líneas Y (también cuatro) para conexión a las 16 regiones de emisor y a las 16 regiones de base del transistor T' que hace de fuente de
30 suministro de corriente. Como se indica por medio de es

338621



ta figura, y también mediante las figuras ampliadas 2U y 2L, que son unas vistas amplificadas, de las partes superior e inferior de la fig. 2, cada línea X está conectada a cuatro regiones de emisor, y cada línea Y está conectada a cuatro regiones de base, del transistor T' de alimentación de corriente. De esta manera, es posible efectuar operaciones de lectura e inscripción mediante aplicación simultánea de señales a unas líneas X e Y seleccionadas. El terminal de contacto B1 es el de línea de percepción de bitio 1, que está conectado a las partes de diistor de las 16 células de memoria, como se indica en la fig. 6, y que se identifican en general con los números de referencia 1 a 16 inclusive indicados en la figura. El terminal EOS es el de línea de percepción de bitio 0, que está conectado a los diistores de las 16 células de memoria. El terminal de masa GND va conectado al emisor común del circuito disparador o de cerrojo directamente acoplado, que consta de los dos transistores T y las dos resistencias R, como se indica en la fig. 6. Los terminales +V están conectados a las dos resistencias R de cada célula de la disposición de 16 células de memoria, y sirve para suministrar la energía para la función cerrojo.

Con referencia a las figs. 2U y 2L, los componentes individuales de cada célula de memoria están designados por medio de los caracteres de referencia D (diistor, o diodo-transistor), R (resistencia), T (transistor), T' (transistor de alimentación de corriente), C (elemento conector de paso inferior) y U (paso inferior formado por la región de separación o aislamiento).

Con referencia a la fig. 2A, se muestra en



ella una vista ampliada de la célula de memoria 1, de la
vista en un plano de la figura 2. En esta figura 2A, el
diistor (diodo-transistor), la resistencia, el transistor
y el paso inferior de separación o aislamiento están iden-
5 tificados por las letras de referencia D, R, T o T' y U.
Dentro de cada recuadro identificativo de los diistores,
resistencias, transistores, las diversas regiones semicon-
ductivas designadas con los caracteres de referencia E,
B, CO y A, representan respectivamente: la difusión de
10 emisor que forma las regiones de emisor; la difusión de
base que forma las regiones de base; las regiones de co-
lector; y la difusión del tipo de base que forma las re-
giones de tipo P para la parte de diodo del diistor,

Con referencia a las figs. 4 y 5, la "pizca"
15 o microfragmento 20 de 16 células de memoria se muestra
en la fig. 4 en forma de disposición esquemática. La in-
terconexión de los dispositivos con las líneas que vienen
del terminal exterior están claramente indicadas en esta
representación esquemática. Las líneas curvas C de esta
20 figura ilustran ocho regiones de elementos de conexión de
paso inferior. Las líneas curvas designadas con la letra
U señalan ocho pasos inferiores del tipo de separación o
aislamiento. De esta manera, la estructura monolítica in-
tegrada se fabrica sin necesidad de establecer varias ca-
25 pas de metalización,

Con referencia al cuadro de la fig. 5, se
ilustran las células de memoria individuales tal como es-
tán representadas en la vista en un plano de la fig. 2.
Como puede verse por este cuadro, utilizando las células
30 de memoria 1, 5, 9 y 11 como células objeto, existe un



efecto de simetría especular en cuanto al plano vertical, el plano horizontal y también respecto a la diagonal.

Es este diseño de simetría especular el que permite fabricar la estructura monolítica integrada economizando un área valiosa de semiconductor. Este diseño de simetría especular permite asimismo establecer caminos de interconexión más pequeños, lo que aumenta las velocidades de circuitos y, además, facilita la interconexión entre las células.

10 Con referencia a las figs. 7A y 7B, se muestran en ellas los perfiles de onda de respuesta para los ciclos de lectura e inscripción de la célula de memoria del presente invento.

En la figura 7A, la curva designada DOS es la salida de percepción de bitio "cero" durante un ciclo de lectura de "uno". El perfil de honda indica una amplitud de 60 mV, y un período de 20 ns. Este perfil de onda muestra que el circuito invierte aproximadamente 8 ns en lograr una salida sensiblemente próxima a su valor máximo. La salida B1 de bitio "uno" indicada por el perfil de onda de la parte inferior de la fig. 7A es la salida de la línea B1 durante el ciclo de lectura, e indica que la señal de ruido o perturbación indicada entre el intervalo de tiempo de 0 a 20 ns es mínima. Las curvas o perfiles Y y X de la fig. 7A ilustran respectivamente las señales de entrada de Y y X. Como se desprende de estas curvas, las señales de entrada de X e Y son coincidentes.

Con referencia a la fig. 7B, la línea BOS representa la señal de la línea de percepción de bitio "cero" durante un ciclo de inscripción de "cero". Como



puede verse por este perfil de onda, la amplitud de tensión es de 1,3 voltios. El perfil de onda Bl, que es la salida de la línea de bitio "uno" durante el ciclo de inscripción de "cero" indica, considerado con los perfiles de onda de entrada coincidentes X e Y, que se necesita un período de 15 ns para inscribir un "cero" en la célula de memoria. Es evidente que éste sería el mismo período necesario para inscribir en la célula de memoria un "uno".

5
10
15
Con referencia a la fig. 3, se representa en ella un esquema eléctrico de la disposición de 4 x 4 células de memoria de la figura 2. Cada uno de los dispositivos individuales está designado con las letras de referencia anteriormente utilizadas en relación con las figuras 2A, 2U y 2L. Las 16 células de memoria individuales se identifican por medio de los números de referencia 1 a 16 inclusive.

20
25
30
Con referencia a la fig. 19, se muestra en ella una disposición de memoria de 2 x 8 células, vista en un plano mirando hacia abajo a través de una capa de encapsulamiento aplicada por bombardeo iónico, situada sobre el diseño metalizado. Lo mismo que en la fig. 2, las líneas de puntos representan las regiones difundidas por debajo de los diseños de distribución de rellanos de aluminio; y donde no hay rellanos de aluminio que bloqueen las regiones difundidas, éstas se representan con línea llena. Hay 15 terminales, que constan de 8 líneas de entrada de Y, cada una de éstas conectada a dos regiones de base del transistor T' de alimentación de corriente. Hay solo dos líneas de entrada de X, cada una de ellas conectada a las 8 regiones de emisor del transistor T' de alimentación de

338621



corriente, por medio de excitadores de energía indepen-
dientes, que comprenden el transistor TD y la resisten-
cia RD que está conectada al terminal (-V) de suministro
de tensión negativa. Este circuito de excitadores de po-
5 potencia, excitados por una tensión aplicada en la línea de
X, suministrará el necesario nivel de corriente al emisor
del transistor de alimentación de corriente de la célula
de memoria seleccionada. La configuración de circuitos
de este excitador se ilustra en la fig. 20, identificada
10 por los números de referencia 200 y 202. El resto de los
terminales de esta disposición o formación de memoria se
corresponde con los terminales similares utilizados en la
disposición de memoria de 4 x 4 células de la fig. 2. Por
tanto, el funcionamiento de la célula de memoria de 2 x 8
15 es esencialmente igual al de la célula de memoria de 4 x 4.

Las figs. 19L y 19R representan unas vis-
tas ampliadas de las partes izquierda y derecha de la fig.
19. Los componentes individuales de la disposición de me-
moria de 2 x 8 de la fig. 19 se identifican en las figs.
20 19L y 19R igual que se hizo antes con respecto a las fi-
guras 2U y 2L.

La fig. 20 representa con detalle el esque-
ma de la disposición de memoria de 2 x 8 ilustrada en la
fig. 19, o en las figs. 19L y 19R. Los diversos componen-
25 tes indicados en las figs. 19L y 19R se representan tam-
bién en la fig. 20. La forma de realización ilustrada por
las figs. 19, 19L, 19R y 20 enseña el empleo de una dispo-
sición de memoria monolítica en la que hay circuitos exci-
tadores de microfragmentos integrados para la disposición.

30 Para las personas versadas en la materia se



desprende fácilmente que, conforme a las enseñanzas de este invento, es posible formar disposiciones de memoria mayores o más pequeñas.

La fig. 21 ilustra una representación esquemática de una disposición de 8 x 8, o sea de 64 células de memoria. Cada una de las 64 células de memoria se identifica por medio de un número de referencia, de 1 a 64 inclusive, y los componentes individuales para una de las células de memoria se designan en la célula 1 con los mismos caracteres de referencia anteriormente aplicados a las otras figuras. En esta configuración existe un total de 8 circuitos excitadores para cada una de las líneas de X. Los terminales restantes desempeñan la misma función anteriormente descrita.

FUNCIONAMIENTO DE LECTURA-INSCRIPCIÓN PARA DISPOSICIÓN DE MEMORIA TRIDIMENSIONAL

Para inscribir, por ejemplo, un "cero" en la célula de memoria 16 de la fig. 3, se aplica corriente al terminal de X exterior situado junto al terminal de BOS, se aplica una tensión al terminal de Y de la izquierda del dibujo, situado junto al terminal +V, y se aplica también una tensión a la línea de BOS. Todas estas señales se aplican simultáneamente, como antes se ha descrito en relación con el epígrafe "Célula de memoria". La célula de memoria 16 se lee por medio de la salida procedente del terminal exterior de BCS conectado al diistor D más bajo indicado en la célula de memoria 16. Esto se hace mediante selección de X-Y simultánea, como antes se ha descrito con referencia al citado epígrafe "Célula de memoria".



De igual modo, con referencia a la disposición esquemática de 2 x 8 indicada en la fig. 20, la célula de memoria 16 de esta disposición de memoria se lee mediante aplicación de corriente al terminal exterior de X situado en la parte superior derecha de la figura. La corriente aplicada a este terminal de X lo es a la base del transistor excitador TD, lo que hace que este transistor conduzca y excite al transistor T' de alimentación de corriente de la célula de memoria 16. Se aplica una tensión simultáneamente al terminal de Y situado junto al terminal de masa, y también al terminal de BOS. La lectura de la célula de memoria 16 de la fig. 20 aparece como señal de salida en la línea de BOS, que está conectada al diistor superior indicado en la célula de memoria 16 de la fig. 20. Esto ocurre después de la adecuada selección de X-Y arriba descrita.

Para inscribir en la célula de memoria 16 de la fig. 21, se lleva corriente al terminal de X asociado a la célula de memoria 16. Simultáneamente se suministran señales de tensión a la línea de Y asociada a la célula de memoria 16 y a la línea de BOS. El terminal de Y asociado a la línea de memoria 16 está situado en la parte extrema inferior derecha del dibujo. El terminal de X asociado a la célula de memoria 16 es el segundo terminal X bajando desde la parte superior del lado izquierdo del dibujo. La operación de lectura puede percibirse desde la línea de BOS, que está eléctricamente conectada al diistor situado en la parte izquierda de la célula de memoria 16. Esto se hace tras de la adecuada selección de X-Y, arriba citada.

338621



En relación con las dimensiones de las "pizcas" o microfragmentos, la de disposición de memoria de 4 x 4 se fabrica preferiblemente en una "pizca" de 1,4 mm en cuadro; la de disposición de memoria de 2 x 8 tiene de preferencia unas dimensiones rectangulares de 1,3x1,9 mm. Los microfragmentos de disposición de memoria de 8x8 pueden fabricarse, con arreglo a esto, de unas dimensiones convenientes;

EMPAQUETADO

Con referencia al "empaquetado", o formación de "paquetes", con los microfragmentos monolíticos integrados, las figs. 18 y 18A ilustran la manera de montar los microfragmentos o "pizcas" en un diseño de distribución de rellanos conductivos, de preferencia formado en un substrato cerámico.

Con referencia a la fig. 18, se representa en ella un par de microfragmentos monolíticos integrados 180 y 182 situados en un diseño de distribución de rellanos impresos, correspondientes a las posiciones de almohadilla de contacto del microfragmento. El diseño de rellanos impresos está colocado en una superficie 184 de un módulo cerámico 185. De una punta a otra de varios rellanos impresos se forma una pluralidad de diques de contención de vidrio 188. La formación de los rellanos y los diques de vidrio se ha citado ya bajo el epígrafe precedente titulado "Método de fabricación". Unos apéndices o "dedos" 189 de los rellanos de la superficie cerámica 184 se utilizan para tener contacto eléctrico entre los rellanos del substrato cerámico y las almohadillas de plomo/estaño de cada "pizca". El rellano conductivo 190 conecta



los terminales de contacto de masa de las "pizcas" 180 y 182 a un terminal exterior común designado como de masa (GND), situado en la superficie 184 del módulo 185. Los terminales exteriores de la superficie 184 del módulo cerámico 185 están en su mayoría eléctricamente conectados a unas patillas 191, que se extienden a través del módulo cerámico y permiten la interconexión, según convenga, a una placa exterior de circuitos impresos (no representada). De igual modo, los terminales exteriores designados con letras de referencia en la superficie 184 del módulo cerámico 185 están en su totalidad conectados a los microfragmentos integrados 180 y 182, de la misma manera que los terminales exteriores del mismo símbolo de cada microfragmento están conectados a los rellanos metálicos, de aluminio, de la estructura monolítica. Por consiguiente, el terminal exterior de masa situado en la superficie cerámica está conectado a los terminales de masa de cada microfragmento, y los terminales designados B1 y B1' van eléctricamente conectados a los terminales B1 de los microfragmentos o "pizcas" 180 y 182, respectivamente. En este último caso, el terminal B1' no se extiende a través del módulo cerámico 185, sino que va eléctricamente conectado al terminal B1 de la superficie del módulo cerámico por medio de un camino conductivo (no representado) situado en la parte dorsal del módulo cerámico. Por tanto, el terminal exterior B1' no tiene patilla alguna que se extienda en contacto con él. De igual modo, los terminales BOS y BOS' van interconectados a las "pizcas" 182 y 180, respectivamente, de la misma manera descrita respecto a B1 y a B1'. En ambos casos, el terminal que tiene el in-

338621



5 dice o apóstrofo (') es el que no lleva conectada ninguna patilla. En la disposición de paquete indicada en las figs, 18 y 18A se utilizan "pizcas" de memoria de 4x4, para las designadas con los números 180 y 182. La inter-
10 conexión formada en el substrato cerámico entre terminales de microfragmentos y terminales de substrato da lugar a una formación de memoria tridimensional, que consta de 8 terminales de selección X y 4 terminales de selección Y. El terminal X₀ (no representado a causa de haberse desprendido en la figura la parte que lo lleva), está conectado al microfragmento integrado 180 por medio del rellano conductivo 192. El módulo tiene un total de 16 regiones terminales, conectadas a 16 patillas; y los 6 terminales identificados con un número provisto de apóstrofo
15 no están conectados a patilla, sino que van interconectados a unos terminales designados con el mismo símbolo, pero sin el apóstrofo.

20 Con referencia a la fig. 18A, el microfragmento monolítico integrado 182 se representa colocado en el módulo cerámico 185. Las partes 193 indican las regiones de contacto eléctrico formadas por la unificación de las almohadillas de plomo/estaño del microfragmento con el revestimiento de plomo/estaño formado en los apéndices 189 de la parte de rellano formada en la superficie cerámica 184. Como claramente se desprende de esta figura, la
25 "pizca" 182 está dotada de un apoyo saliente positivo que la mantiene a cierta distancia de separación de la superficie de los diques de vidrio 188.

30 La figura 18B es una vista en sección detallada que ilustra una de las conexiones de terminal del microfragmento, antes de la conexión a uno de los apéndices



189. La letra de referencia S (figs. 18A y 18B) indica el silicio del microfragmento monolítico integrado 182. Con la letra de referencia O se indica el revestimiento de óxido aplicado térmicamente a la superficie del silicio. La letra de referencia L indica el rellano de aluminio formado sobre la capa de óxido O. Con la letra de referencia Q se designa la capa de cuarzo formada por bombardeo iónico en la capa de óxido O, y también en el rellano de aluminio L. El contacto terminal viene dado por la capa de cromo 194, la capa de cobre 195 y la capa de oro 196. La almohadilla de plomo 197 completa el conjunto de terminal para el microfragmento integrado 182.

Lo que acaba de describirse es una estructura de memoria integrada que contiene una pluralidad de consideraciones de proyecto y de procedimiento relacionadas entre si y que, en combinación, permiten el logro de todas las características de proyecto expuestas en la primera parte de esta descripción, y que admiten perfeccionamientos individuales en la fabricación y en el funcionamiento de los dispositivos. El método arriba descrito permite incorporar lo último en el funcionamiento de los dispositivos, sin una revisión radical de la filosofía estructural del elemento integrado.

Si bien la invención se ha ilustrado y descrito en particular con referencia a unas formas preferidas de ejecución de la misma, se sobrentiende, para las personas versadas en la materia, que pueden hacerse en ellas los indicados y otros cambios de forma y de detalle sin por ello salirse del ámbito ni apartarse del espíritu de la invención.

338621



Esta solicitud, que corresponde a la pre-
sentada en Estados Unidos de América, el 31 de Marzo de
1966, bajo el nº 539.210, se acoge a los beneficios del
artículo 51 del vigente Estatuto sobre Propiedad Indus-
5 trial.

- N O T A -

Los puntos de invención propia y nueva que
se presentan para que sean objeto de esta Patente de In-
vención en España, por VEINTE años, son los siguientes:

10 1.- Una disposición de memoria integrada
monolítica que comprende, en combinación, una pluralidad
de células de memoria individuales, funcionalmente aisla-
das y eléctricamente interconectadas, en la que cada una de
dichas células de memoria, es objeto o correspondiente de
15 otra célula de memoria imagen de simetría especular, en
dirección vertical, horizontal y diagonal.

2.- La disposición de memoria integrada
monolítica de la reivindicación 1, en la que cada una de
dichas células de memoria imagen de simetría especular
20 contiene los mismos componentes eléctricos, situados en
la misma configuración geométrica que los componentes
eléctricos de dicha célula de memoria objeto.

3.- La disposición de memoria integrada



monolítica de la reivindicación 2, en la que dichos compo-
nentes eléctricos de cada célula de memoria comprenden
dispositivos activos y pasivos.

5 4.- La disposición de memoria integrada
monolítica de la reivindicación 3, en la que cada región
de semiconductor necesaria que forma cada uno de dichos
dispositivos activos para cada una de las células de memo-
ria individuales y funcionalmente aisladas de dicha plura-
lidad, está provista de un solo contacto eléctrico.

10 5.- La disposición de memoria integrada
monolítica de la reivindicación 4, en la que se habilita
un elemento conectador de semiconductor de paso inferior,
para interconectar eléctricamente unas células de memoria
seleccionadas.

15 6.- La disposición de memoria integrada
monolítica de la reivindicación 5, en la que dicho elemen-
to conectador de paso inferior comprende: una estructura
de semiconductor compuesta que tiene una región de substra-
to de un determinado tipo de conductividad; una región de
20 baja resistividad, enterrada, de un tipo de conductividad
opuesto, y situada en una parte de superficie de dicha re-
gión de substrato; una región central del mismo tipo de
conductividad que dicha región de substrato, que tiene una
parte de baja resistividad y se extiende desde una parte
25 de la superficie de dicha estructura de semiconductor com-
puesta hasta tomar contacto con dicha región enterrada de
baja resistividad y del tipo de conductividad opuesto; una
primera región separadora o de aislamiento, del mismo tipo
de conductividad que dicha región enterrada de baja resis-
30 tividad que rodea dicha región central, estando dicha pri-

338621



5 mera región separadora en contacto con dicha región ente-
rrada de baja resistividad, mientras dicha parte de baja
resistividad de la región central se extiende hacia abajo
desde la totalidad de la parte de superficie de dicha es-
10 tructura de semiconductor compuesta definida por el lími-
te interno de dicha primera región separadora; una segun-
da región separadora, de igual tipo de conductividad que
dicha región de sustrato, en contacto con dicha región
de sustrato y rodeando dicha primera región separadora,
15 del tipo de conductividad opuesto; y dos contactos metá-
licos espaciados, eléctricamente conectados a dicha parte
de baja resistividad de dicha región central, de tal modo
que permite hacer una conexión de paso inferior de poca
resistencia, usando dicha parte de baja resistividad como
camino conductivo;

15 7.- La disposición de memoria integrada
monolítica de la reivindicación 4, en la que uno de dichos
dispositivos activos comprende un diodo y un transistor,
estructural y eléctricamente interconectados por medio de
la región de colector de dicho transistor.

20 8.- La disposición de memoria integrada
monolítica de la reivindicación 7, en la que solo se pre-
vén tres contactos eléctricos para dicha estructura de dio-
do y transistor interconectados.

25 9.- Una disposición de memoria integrada
monolítica que comprende, en combinación: una pluralidad
de células de memoria individuales, funcionalmente aisla-
das y eléctricamente interconectadas, siendo dicha dispo-
sición de memoria expansible hasta un número $q2^n \times m2^n$ de
células de memoria integradas, donde q y m son números
30 enteros, y n es cero o un número entero mayor que cero,

338621



comprendiendo cada una de dichas células de memoria un
elemento de almacenaje dotado de unos terminales de entra
da primero y segundo y que presenta unos estados de alma-
cenaje primero y segundo, unos pares primero y segundo,
5 de diodo y transistor eléctricamente interconectados, es-
tando dichas bases de dichos pares de diodo y transistor
conectadas a dichos terminales de entrada primero y segun
do, respectivamente, unos medios de polarización conecta-
dos a cada uno de dichos emisores de transistor y de di-
10 chas partes de diodo de dichos pares de diodo y transis-
tor, para funcionamiento normal como transistor y para
funcionamiento saturado, inhibiéndose la conducción en di-
cho primer par de diodo y transistor cuando dicho elemen-
to de almacenaje esté en dicho primer estado de almacena-
15 je, y favoreciéndose la conducción cuando dicho elemento
de almacenaje se halle en dicho segundo estado de almacena-
je, inhibiéndose la conducción en dicho segundo par de dio-
do y transistor cuando dicho elemento de almacenaje esté
en dicho segundo estado de almacenaje y favoreciéndose la
20 conducción cuando dicho elemento de almacenaje se halle en
dicho primer estado de almacenaje, siendo dicho elemento
de almacenaje capaz de responder a dichos pares primero y
segundo de diodo y transistor, cuando están saturados, en
el sentido de cambiar o conmutar a dichos estados de ten-
25 sión primero y segundo, respectivamente, y medios percep-
tores conectados a cada uno de dichos pares de diodo y
transistor, respectivamente, para averiguar el estado de
almacenaje de dicho elemento de almacenaje, viniendo di-
chos estados de almacenaje indicados por la conducción en
30 dichos pares primero y segundo, respectivamente de diodo



y transistor.

5 10.- La disposición de memoria integrada monolítica de la reivindicación 9, en la que se prevé un transistor alimentador de corriente que tiene un colector eléctricamente conectado a cada uno de dichos emisores de dichos pares de diodo y transistor, para funcionamiento de células de memoria en tridimensional, mediante la adecuada excitación coincidente de las regiones de emisor y de base de dicho transistor alimentador de corriente.

10 11.- La disposición de memoria integrada monolítica de la reivindicación 10, en la cual se preveñ medios excitadores para excitar dicho transistor alimentador de corriente.

15 12.- La disposición de memoria integrada monolítica de la reivindicación 11, en la que dichos medios excitadores excitan las regiones de emisor de dicho transistor alimentador de corriente.

20 13.- Una disposición de memoria integrada monolítica que comprende, en combinación, una pluralidad de células de memoria individuales, funcionalmente aisladas y eléctricamente interconectadas, siendo dicha disposición de memoria expansible hasta un número $q2^n \times m2^n$ de células de memoria integradas, donde q y m son números enteros y n es cero o un número entero mayor que cero, y por lo menos un excitador incorporado a dicha estructura y eléctricamente conectado a por lo menos una de dichas células de memoria, para darle el necesario poder de selección.

25 30 14.- Una disposición de memoria integrada monolítica que comprende, en combinación: una pluralidad de células de memoria individuales, funcionalmente aisladas



5 das y eléctricamente interconectadas, siendo dicha dispo-
sición de memoria expansible hasta un número $q2^n \times m2^n$ de
células de memoria integradas, donde q y m son números en
10 teros y n es cero o un número entero mayor que cero; unas
líneas receptoras eléctricamente conectadas a cada una
de dichas células de memoria; y medios conectados a di-
chas líneas receptoras de cada célula para aislar o se-
parar cada una de dichas células de memoria de las seña-
les de corriente alterna y de corriente continua, cuando
dicha célula de memoria no esté operando funcionalmente.

15 15.- La disposición de memoria integrada
monolítica de la reivindicación 14, en la que dichos me-
dios separadores consisten en un diodo.

15 16.- "UNA DISPOSICION DE MEMORIA INTEGRA-
DA MONOLITICA"

Tal y como se ha descrito en la Memoria
que antecede, representado en los dibujos que se acompa-
ñan, y con los fines que se han especificado.

20 Esta Memoria consta de ochenta y cuatro ho-
jas escrita por una sola de sus caras.

Madrid,

P. A.

Alberto de Elzaso
Por Poder

1 JUN 1967

338621



01 JUL

P.- 34.539

LEYENDAS EN FIGURAS

Figura 1

- A 1 - Formar la oblea semiconductor de conductividad de tipo P⁻
- B 1 - Oxidar la superficie de la oblea
- C 1 - Enmascarar y grabar huecos en la capa de óxido
- D 1 - Formar regiones N⁺ en la superficie de la oblea por difusión
- E 1 - Oxidar la superficie de la oblea para crear la deposición sobre las regiones N⁺
- F 1 - Eliminar la capa de óxido
- G 1 - Desarrollar epitaxialmente una capa de material de tipo N en la superficie de la oblea y en las regiones N⁺
- H 1 - Oxidar la superficie de la capa desarrollada epitaxialmente
- I 1 - Enmascarar y grabar una malla de canales en la capa de óxido exponiendo la superficie del semiconductor
- J 1 - Difundir regiones de aislamiento de tipo P y regiones conectadoras en la superficie de semiconductor expuesta
- K 1 - Oxidar de nuevo superficie de oblea
- L 1 - Enmascarar y grabar huecos en la capa de óxido sobre las regiones desarrolladas epitaxialmente
- M 1 - Difundir regiones de resistencia, diodo y base de tipo P en regiones desarrolladas epitaxialmente aisladas

338621



- N 1 - Oxidar la superficie y activar en impurezas formando las regiones de resistencia, diodo y base
- N 1 - Enmascarar y grabar huecos en la capa de óxido sobre las regiones de base
- O 1 - Difundir en impurezas de tipo N para formar regiones de emisor dentro de las regiones de base
- P 1 - Oxidar la superficie y activar en impurezas formando las regiones de emisor
- Q 1 - Evaporar oro sobre la superficie de semiconductor expuesta y difundir oro en la oblea en atmósfera no oxidante
- R 1 - Tratar térmicamente la oblea y recuperar β de los dispositivos transistores
- S 1 - Enmascarar y grabar huecos en la capa de óxido formando contactos a regiones de semiconductor descaídas
- T 1 - Formar interconexiones de metal y contactos ohmicos
- V 1 - Aplicar recubrimiento de óxido por bombardeo iónico
- W 1 - Enmascarar y grabar huecos terminales en la capa de recubrimiento de óxido bombardeada
- X 1 - Evaporar Cr, Cu y Au en los huecos terminales
- Y 1 - Evaporar almohadillas de Pb-Sn con sobremedida sobre partes de rellano de Cr, Cu, Au
- Z 1 - Fundir las almohadillas para hacerlas refluir retrocediendo hacia los rellanos
- H 1 - Aplicar microfragmentos integrados monolíticos sobre dibujos de rellanos impresos sobre sustrato cerámico

338621



- β 1 - Interconectar microfragmentos integrados monolíticos al dibujo de rellanos impresos.

Figura 1 G

- A 1 G - Formar dispositivos semiconductores activos y/o pasivos en una estructura de semiconductor monolítica
- B 1 G - Formar la capa de óxido final sobre la superficie de la estructura de semiconductor monolítica
- C 1 G - Eliminar una parte elegida de la capa de óxido final para exponer una parte de superficie de la estructura de semiconductor
- D 1 G - Difundir destructores de duración de portador en la superficie de semiconductor expuesta en una atmósfera no oxidante
- E 1 G - Realizar una operación de recocido no oxidante para aumentar la ganancia de corriente de los dispositivos activos.

Figura 3 G

- A 3 G - Completar todas las operaciones de difusión y oxidación excepto para la difusión final para formar dispositivos activos y/o pasivos en una estructura de semiconductor monolítica
- B 3 G - Eliminar una parte elegida de la capa de óxido final para exponer la superficie del semiconductor
- C 3 G - Difundir destructores de duración de portador en la estructura de semiconductor a través de la superficie expuesta en una atmósfera no oxidante
- D 3 G - Realizar la operación de difusión final para for-

338621



mar los dispositivos semiconductores deseados sin una operación de oxidación final.

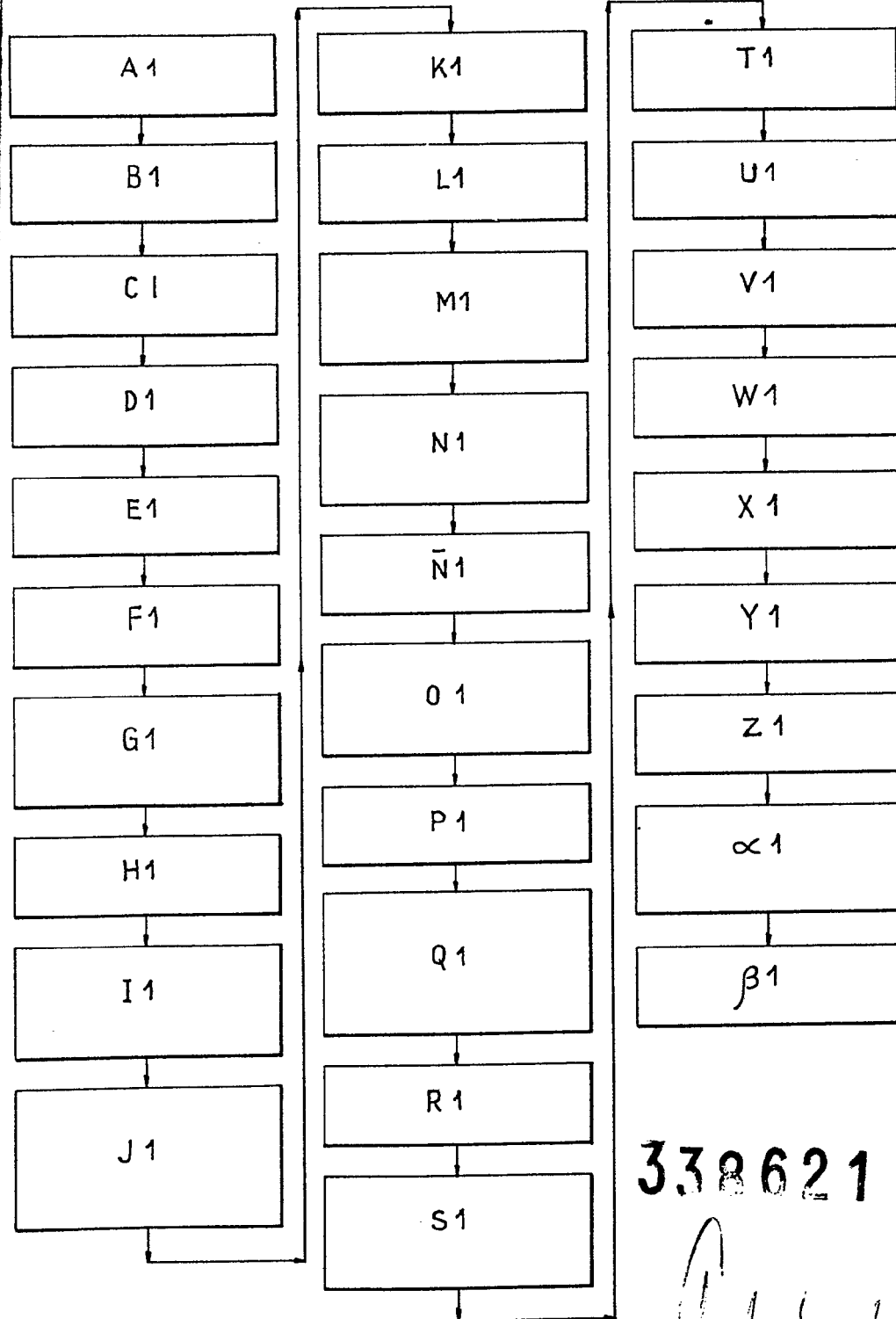
Figura 5

- A 5 - Objeto
- B 5 - Simetría especular en cuanto al plano vertical
- C 5 - Simetría especular en cuanto al plano horizontal
- D 5 - Simetría respecto a la diagonal

338621



FIG. 1



338621

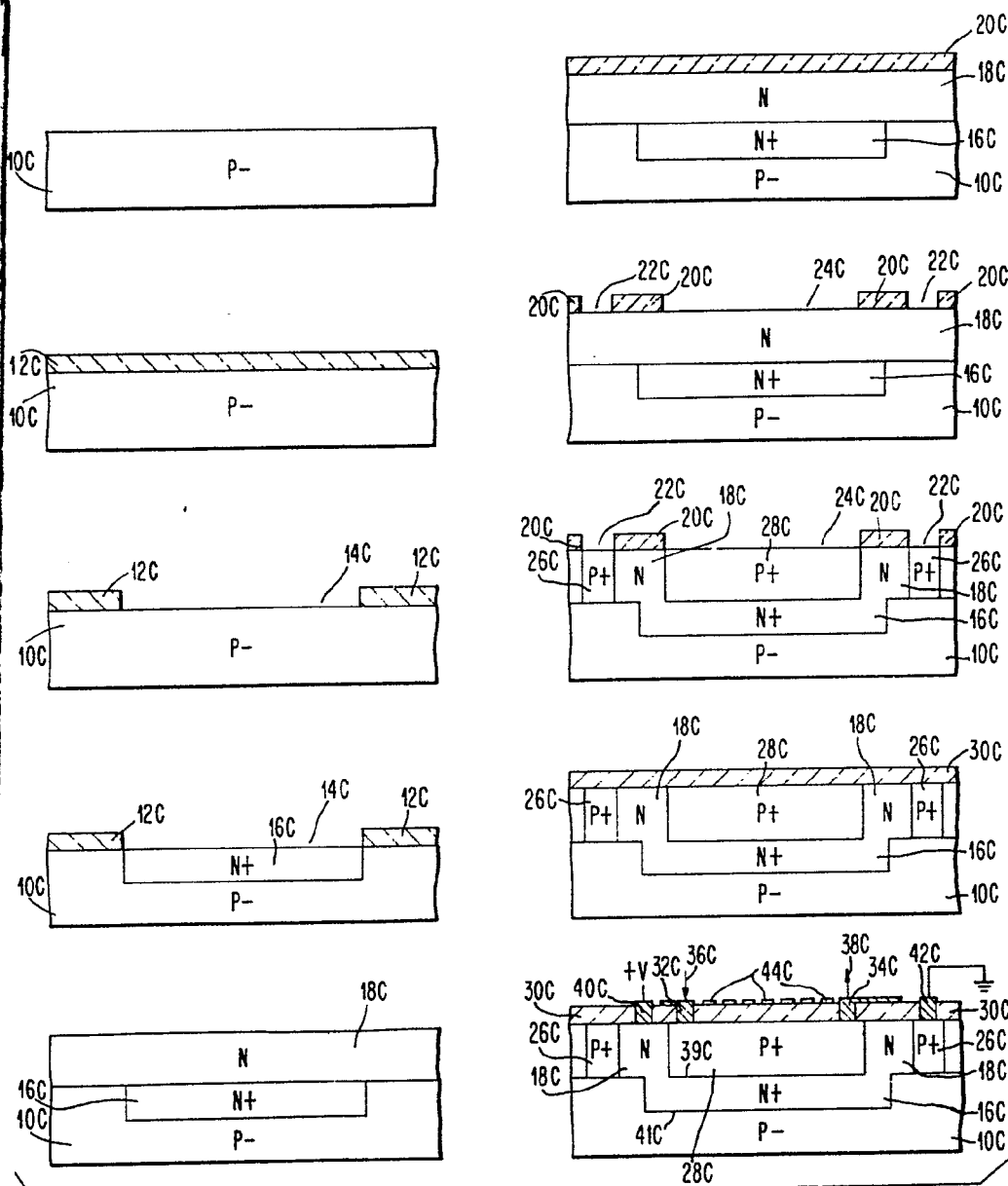


FIG. 1C

FIG. 2C

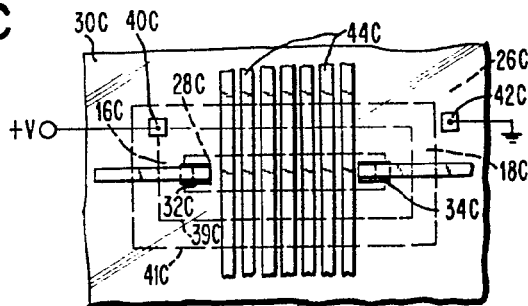
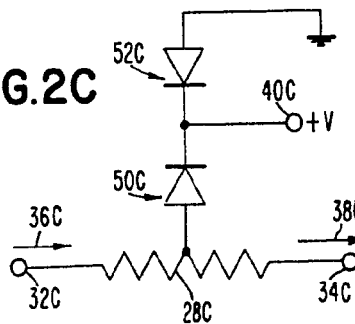


FIG. 3C

330621

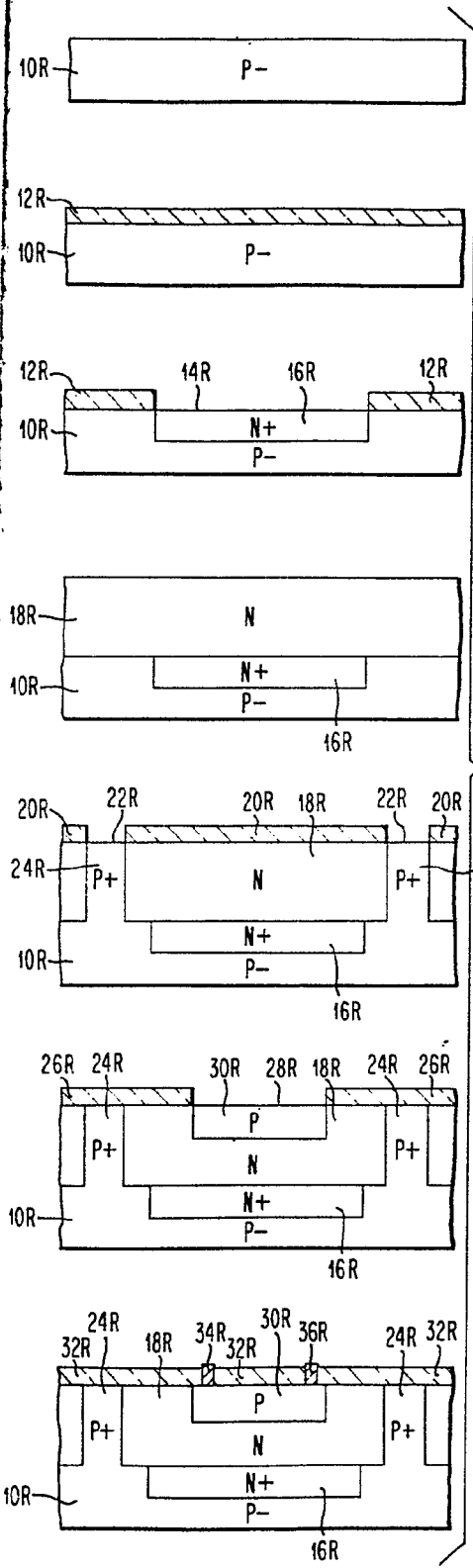
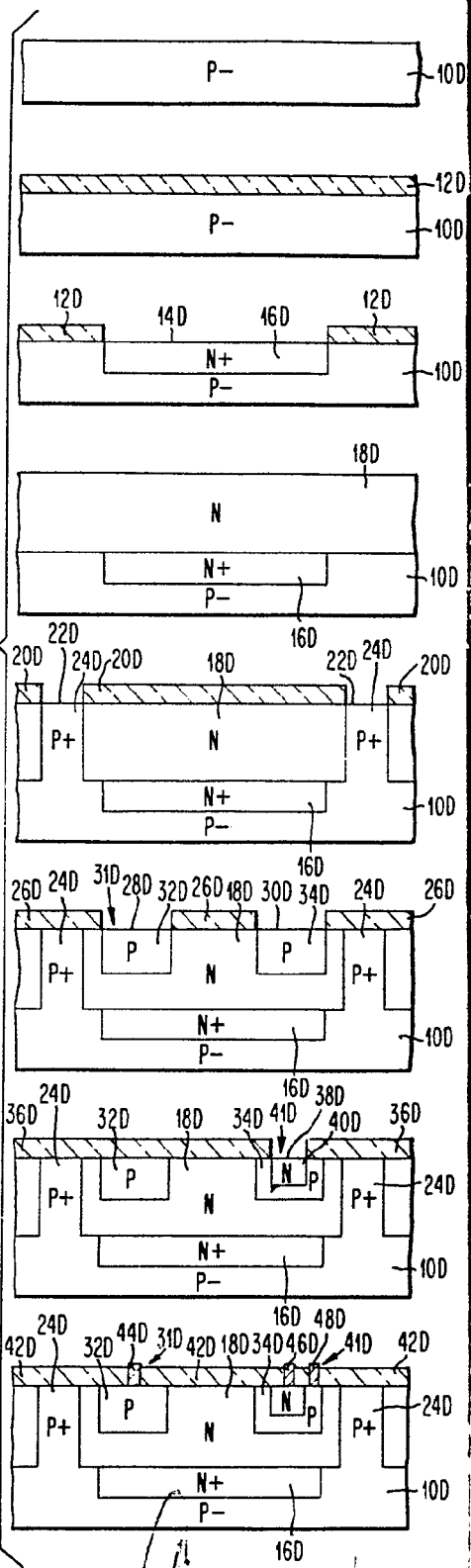


FIG. 1D
FIG. 1R



W. H. ...
2-1-62

338621

FIG. 1G

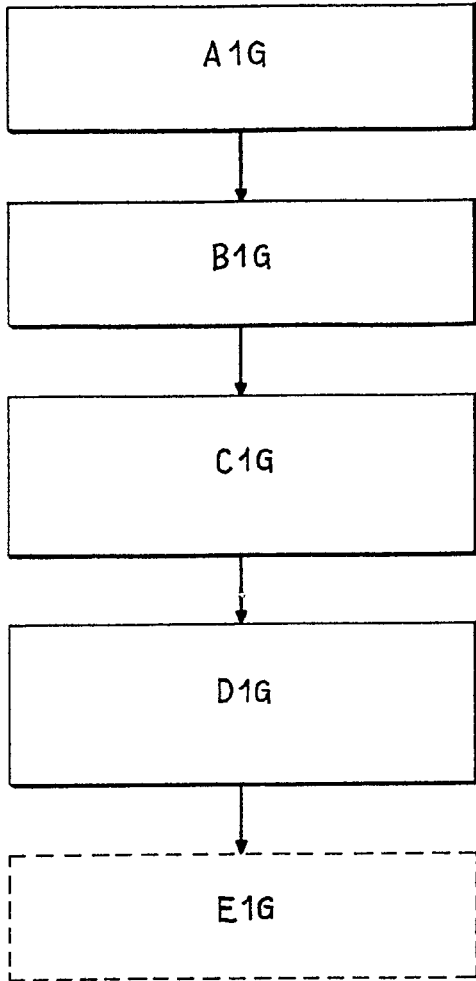
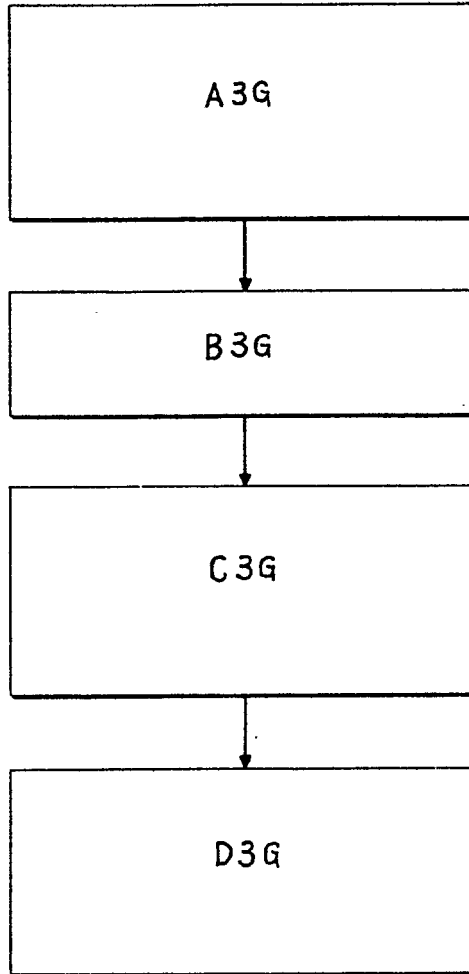


FIG. 3G



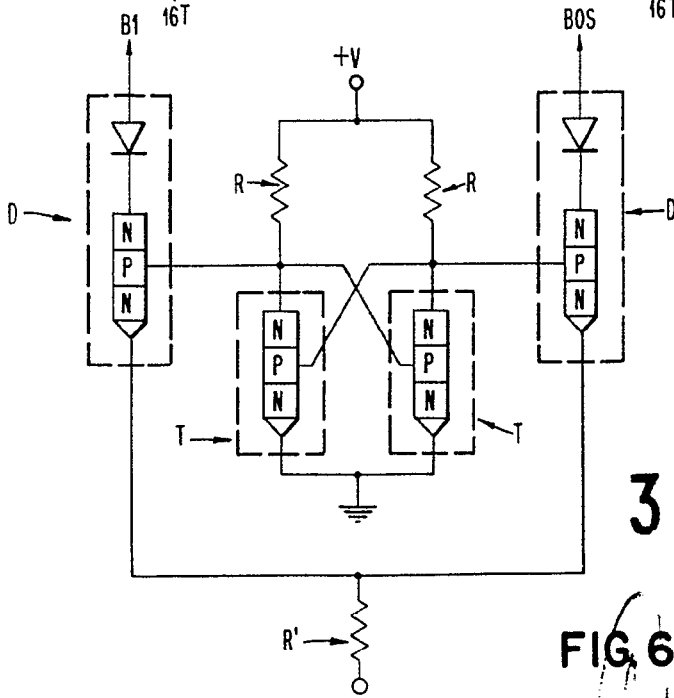
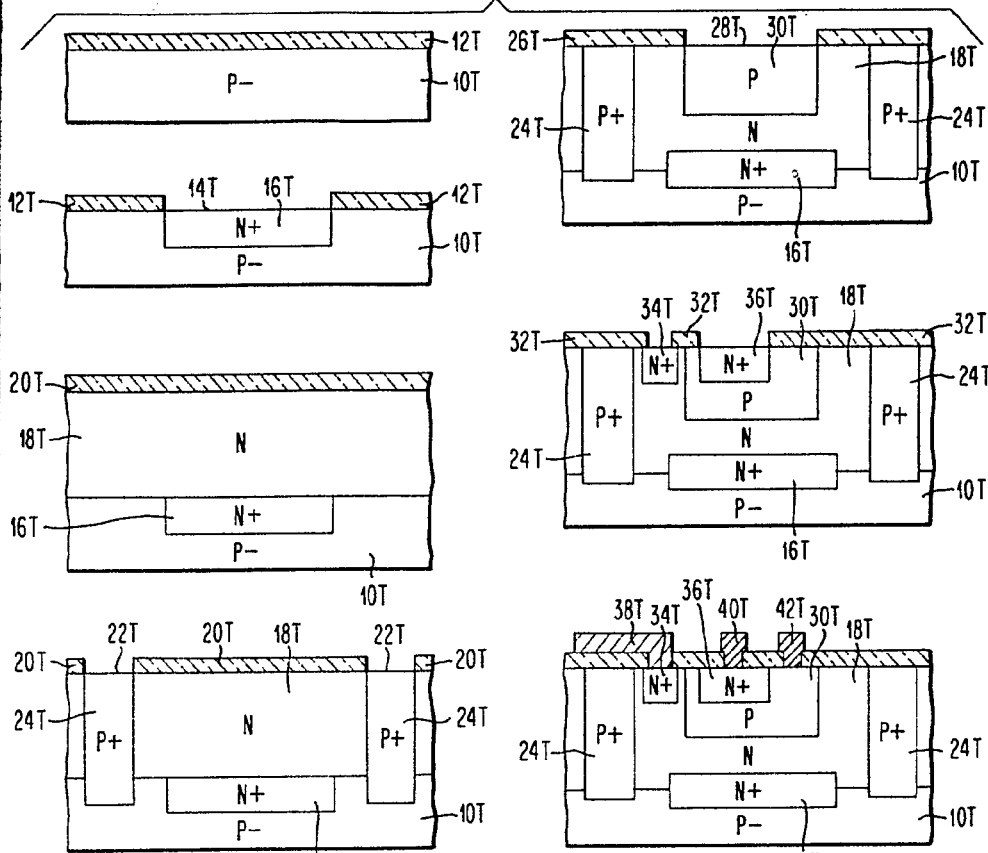
t \ T	5 (MIN)	20 (MIN)	30 (MIN)	60 (MIN)
970°C	—	50 β 16-17 τ	40-50 β 10-11 τ	15-17 β 8.5-9 τ
1000°C	—	30-40 β 7.5-8 τ	—	—
1025°C	25-35 β 6-6.5 τ	15-25 β 4.0 τ	—	—

FIG. 2G

338621

11 11

FIG. 1T



338621

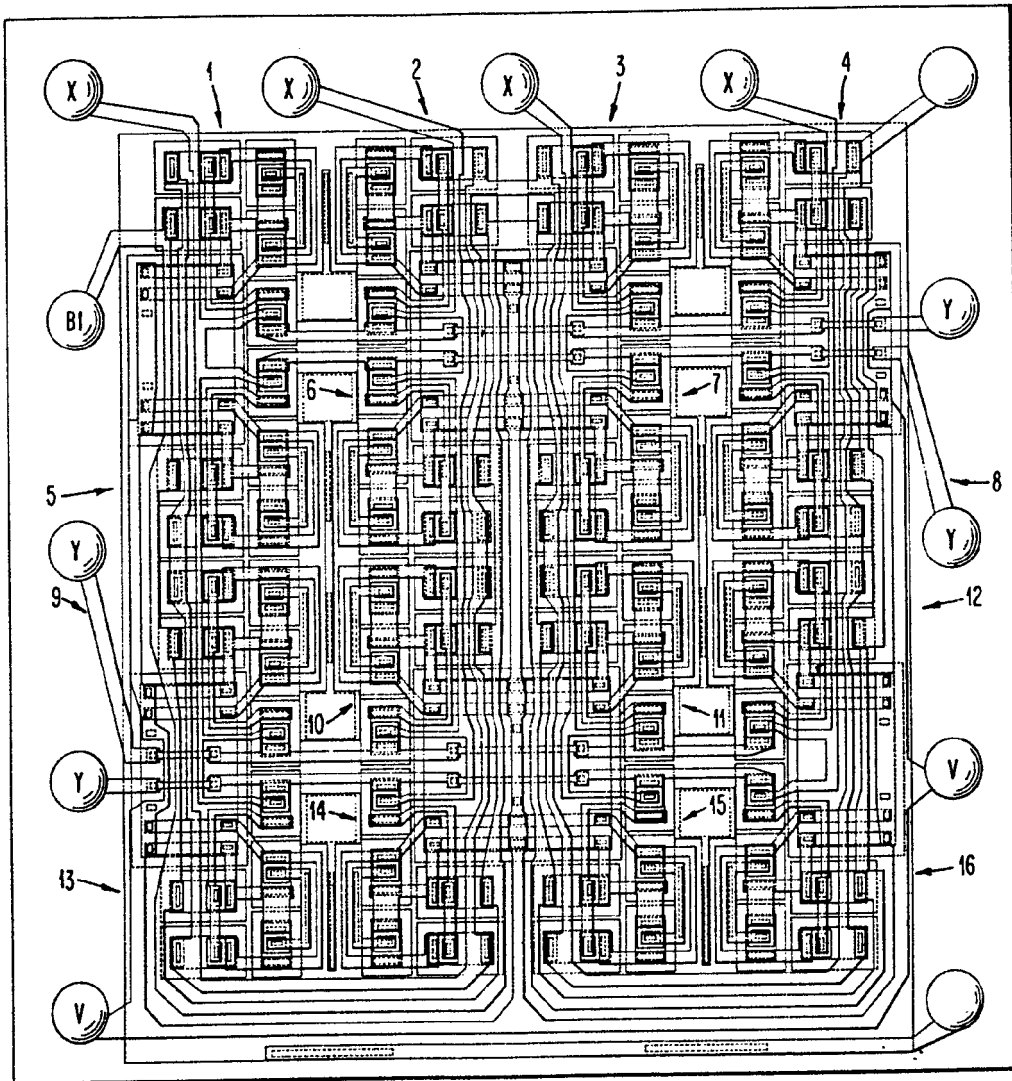
FIG. 6A

A source of current for power

11 JU

FIG. 2

20



330621

[Handwritten signature]

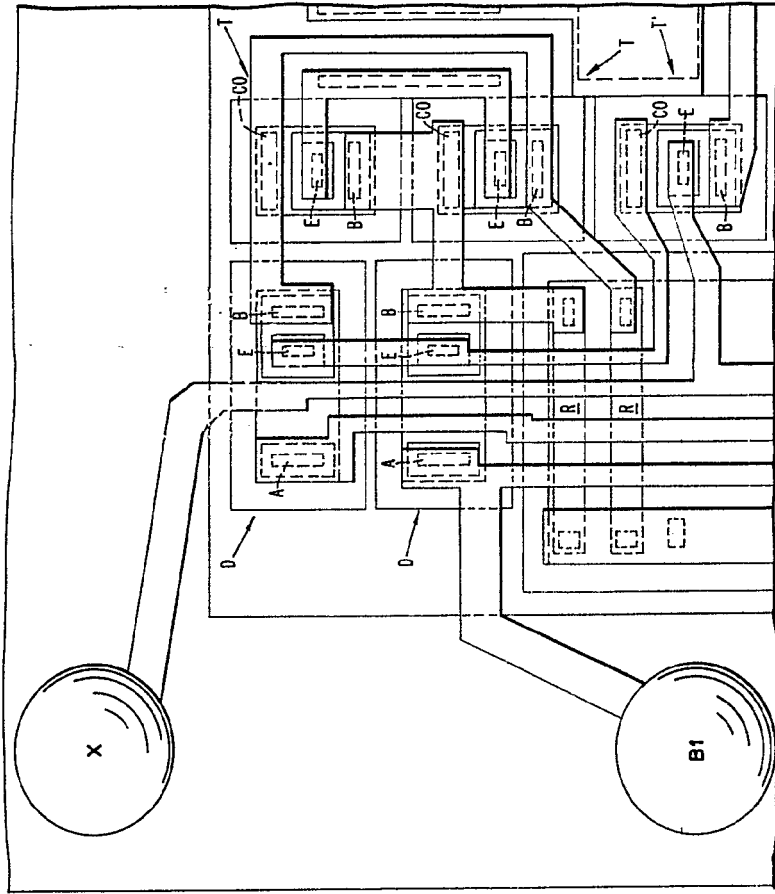
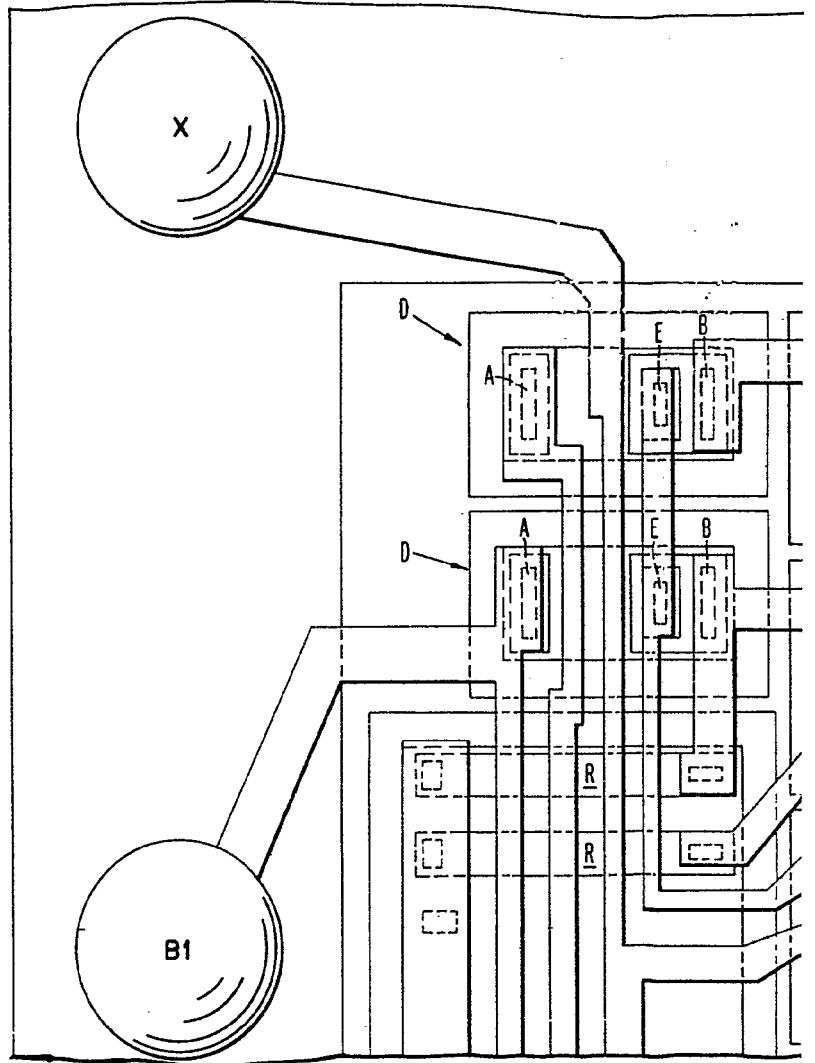


FIG. 2A

338F21



5-0-991



270621

U.S. PATENT OFFICE
JUL 19 1950

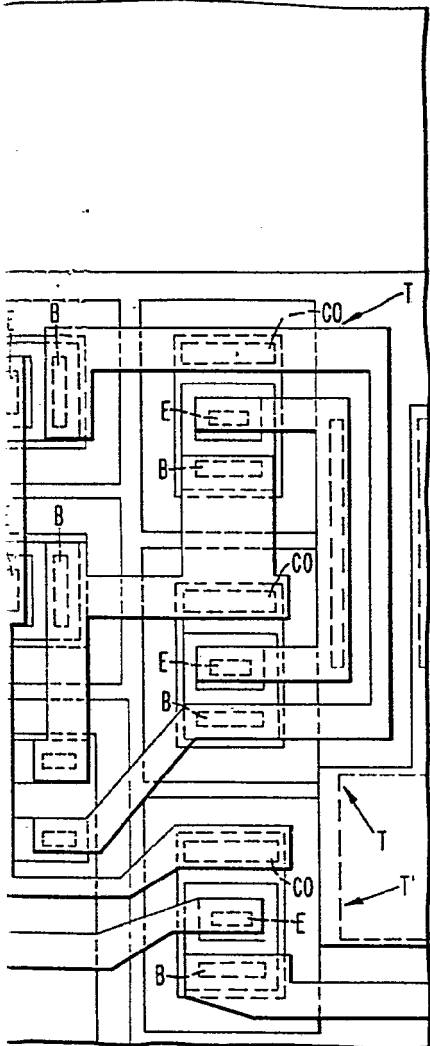


FIG. 2 A

338621

[Handwritten signature]
G. E. ...
Chgo. Ill.

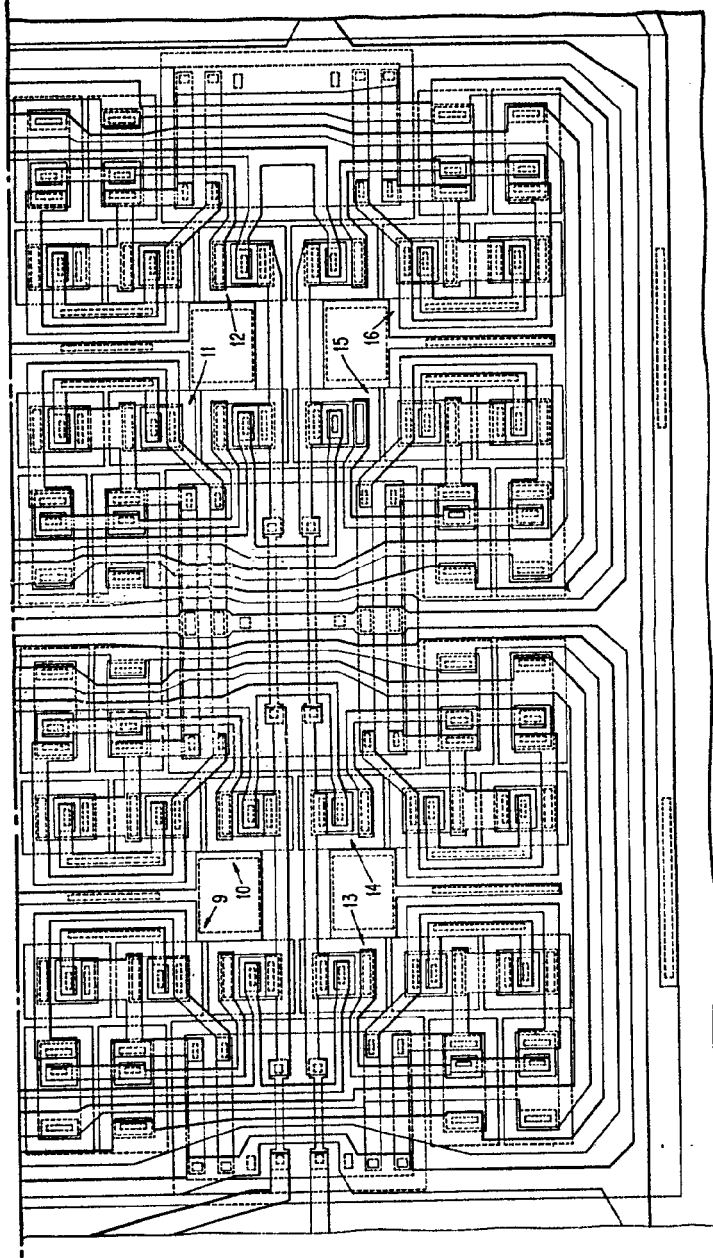


FIG. 2L

338621

338621

Alberto de Ezequiel
C. Ezequiel

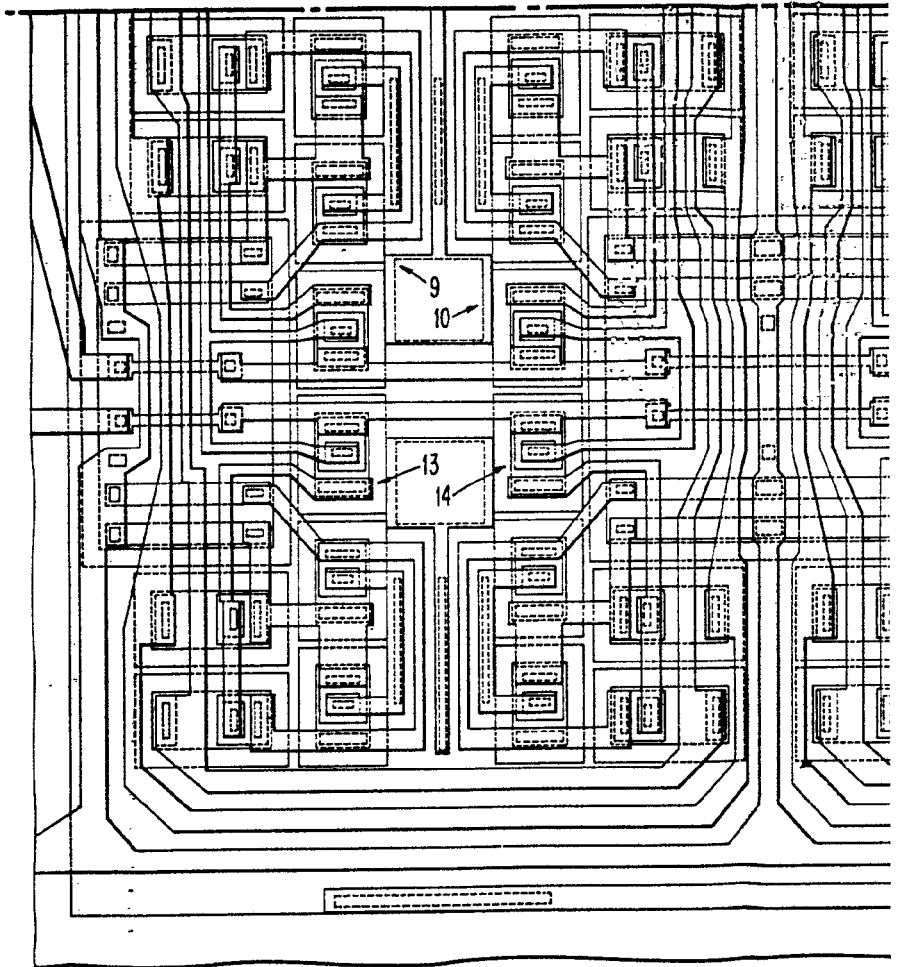
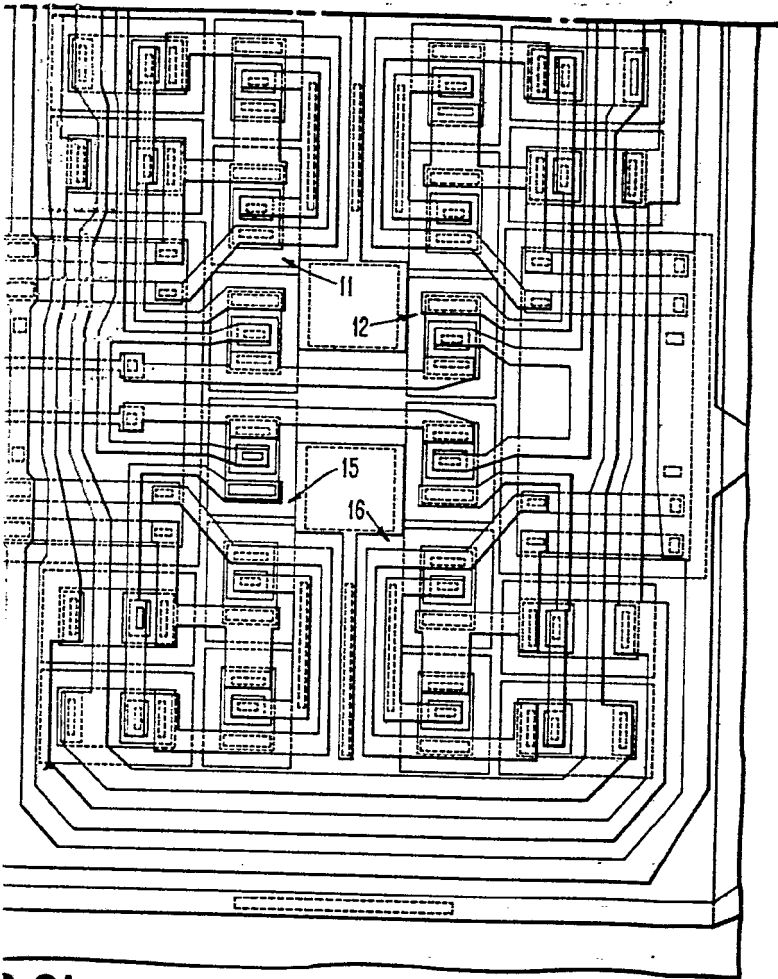


FIG. 2L

72621



3.2L

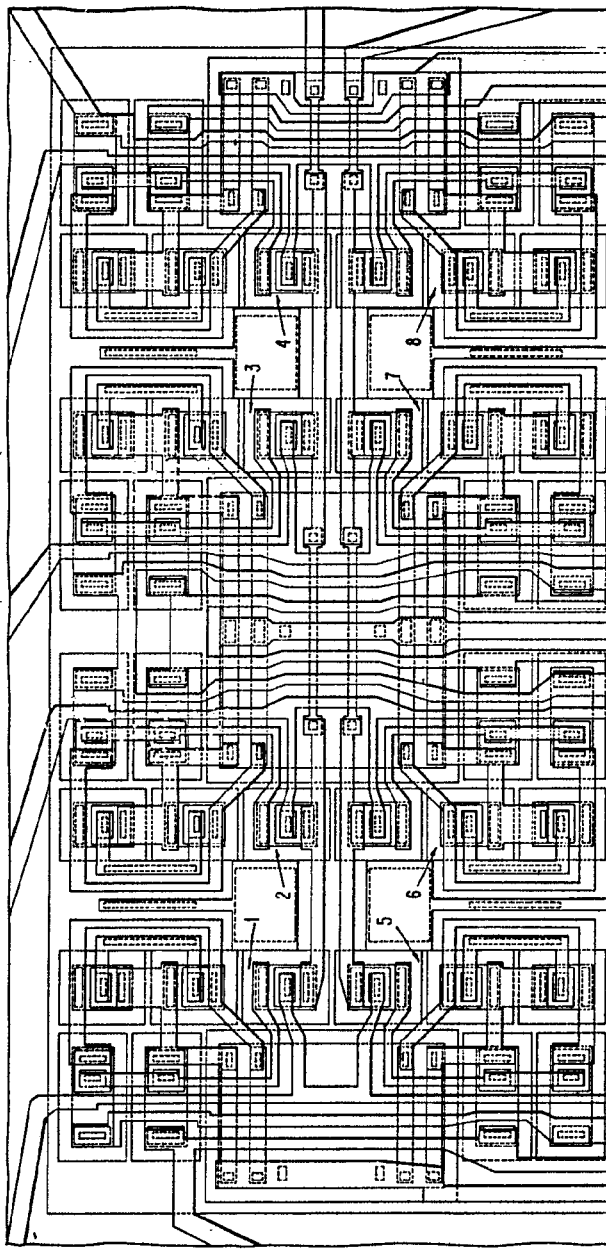
338621

[Handwritten Signature]
Alberto de Eizabere
Cor. Podes



67

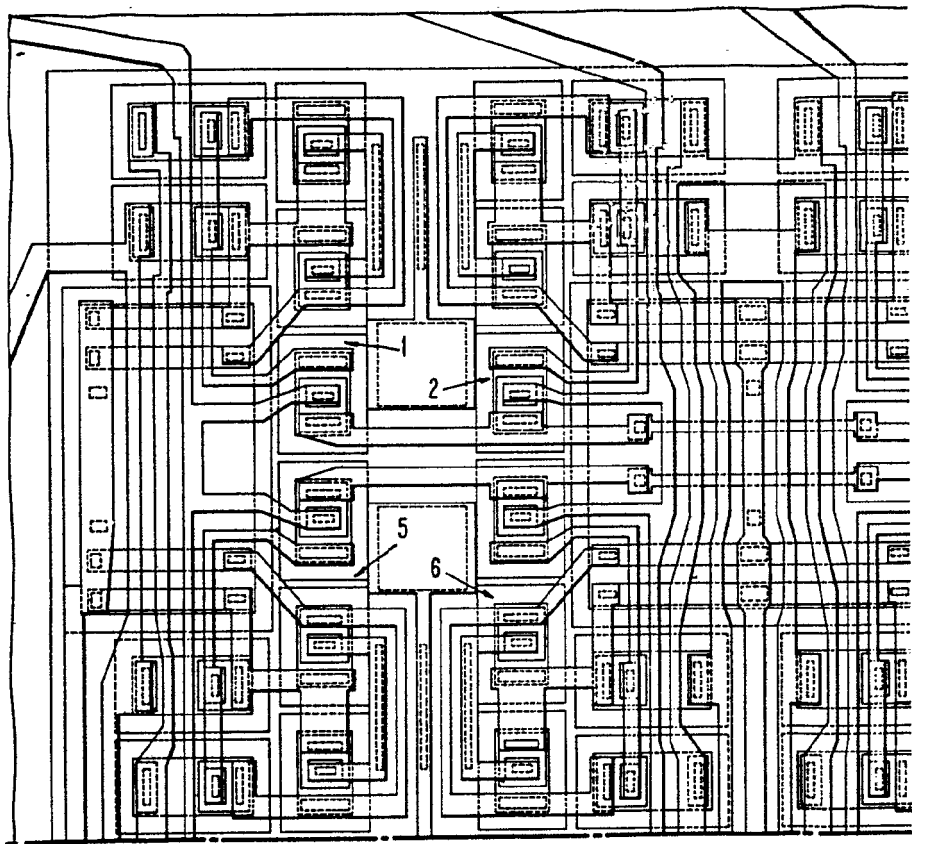
FIG. 2U



338021

Alberto J. Erzbauer
Rip Franke

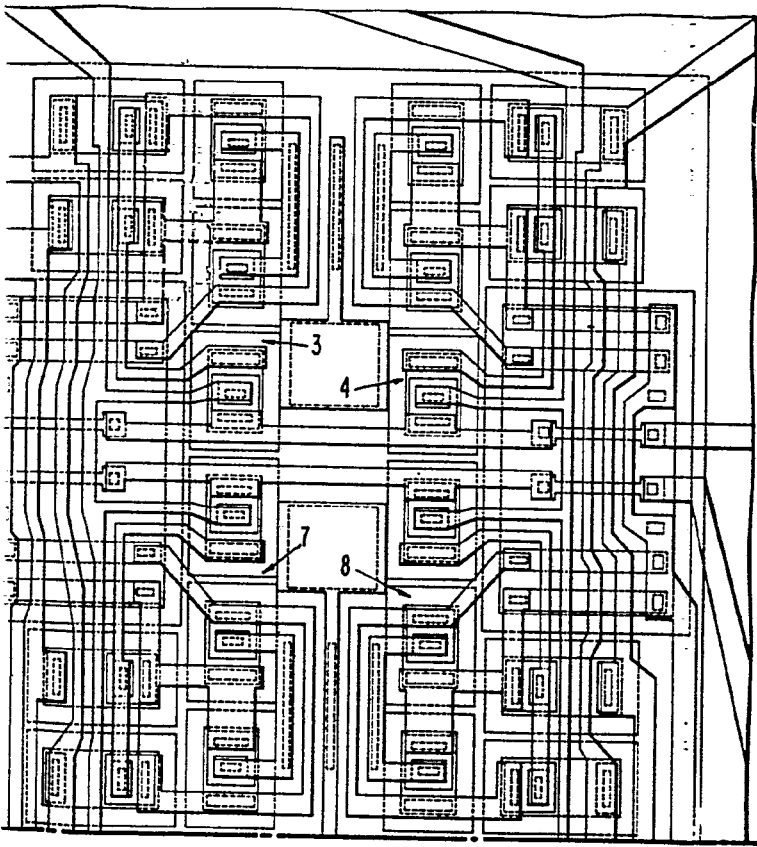
FIG. 2U



63 45 38



.2U



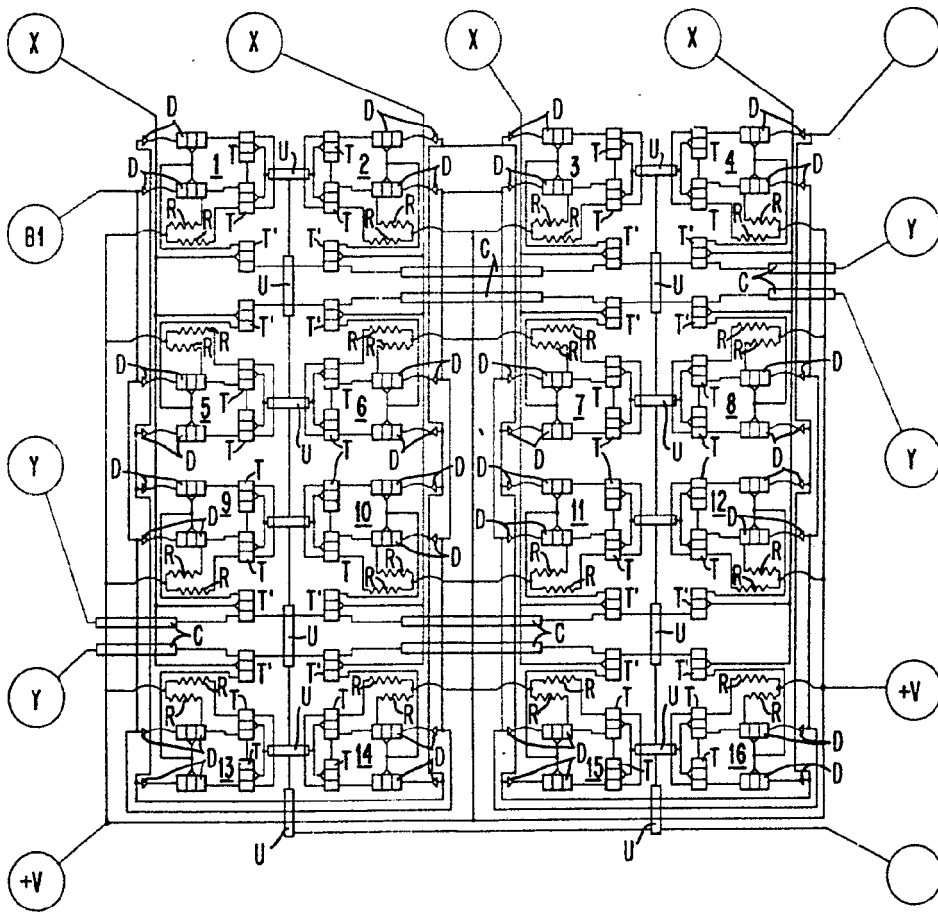
338621

Alberto de Elzabara
FOR PAPER

34
7 JUL 1968

FIG. 3

338621



[Handwritten signature]

FIG. 4

REPL. 18

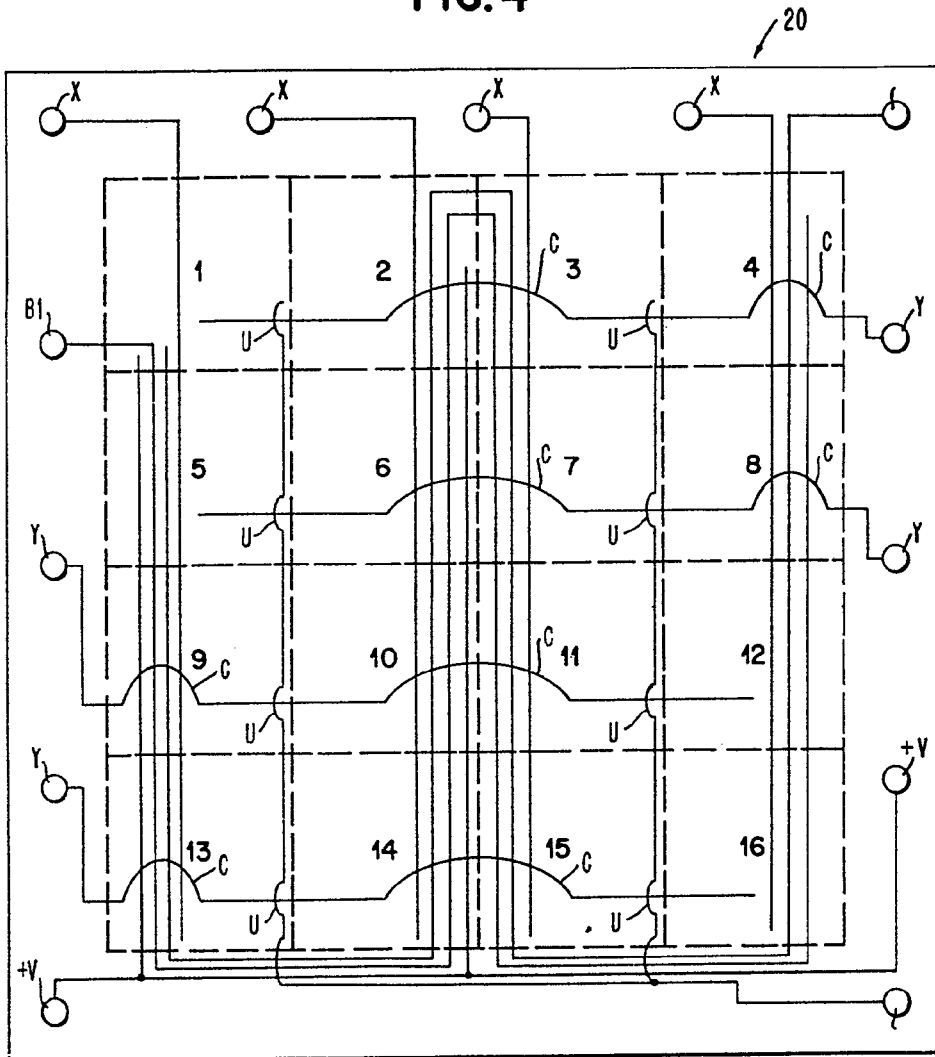


FIG. 5

338621

A 5	B 5	C 5	D 5
1	5	2	6
3	7	4	8
9	13	10	14
11	15	12	16

Alberto de E...

338621

338621

FIG. 6

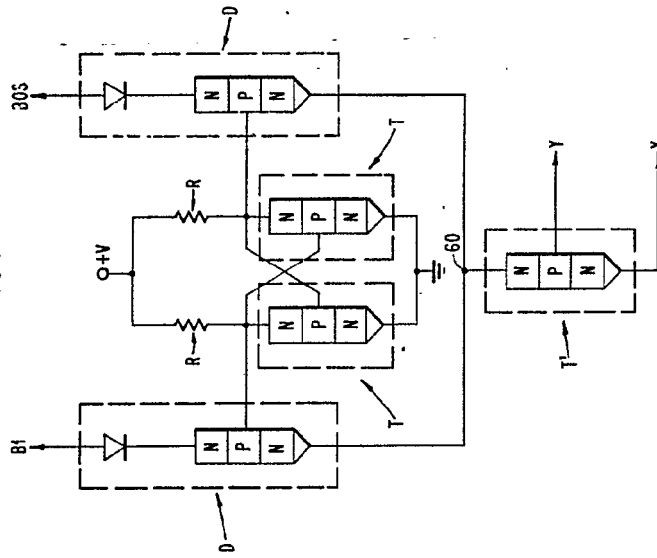


FIG. 7A

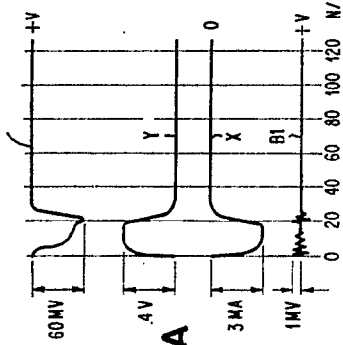
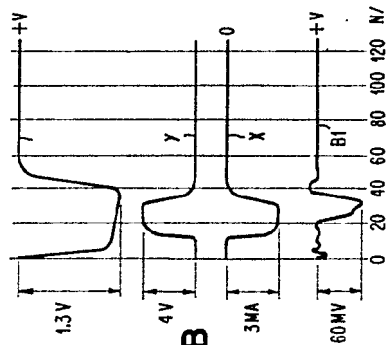


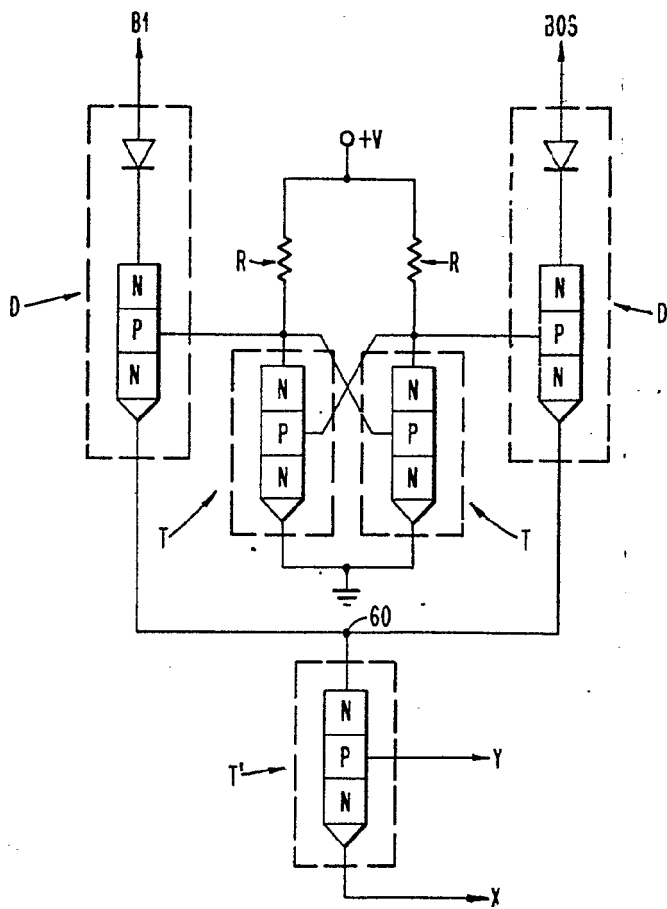
FIG. 7B



Order

338621

FIG. 6



FIG

FIG

338621

5
7
D

FIG. 7A

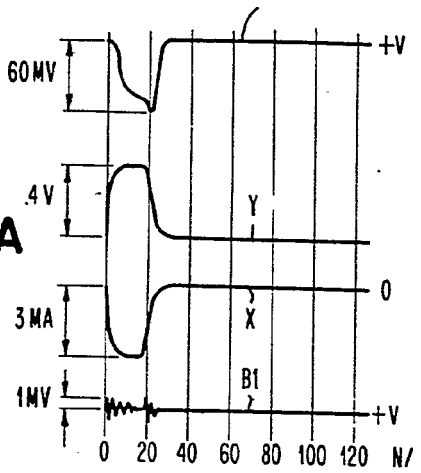
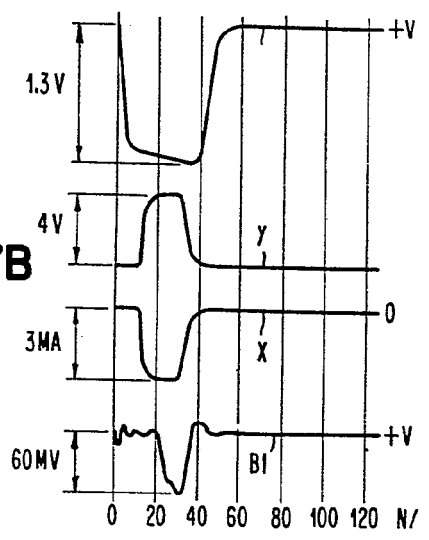


FIG. 7B



White



FIG. 9

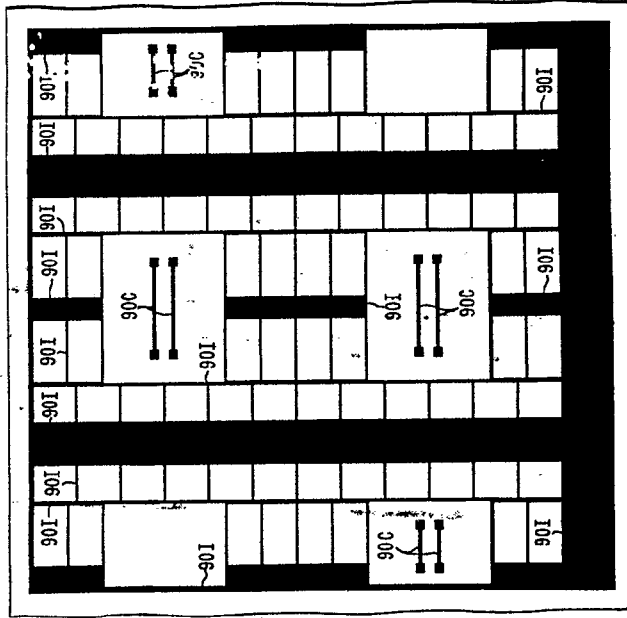
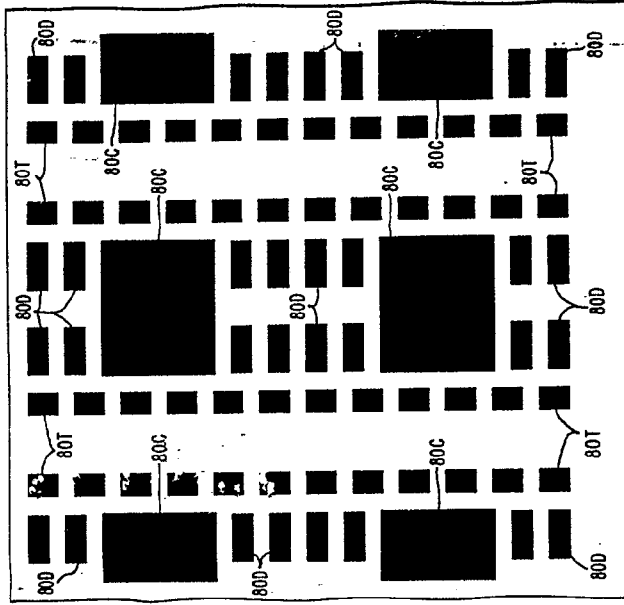


FIG. 8

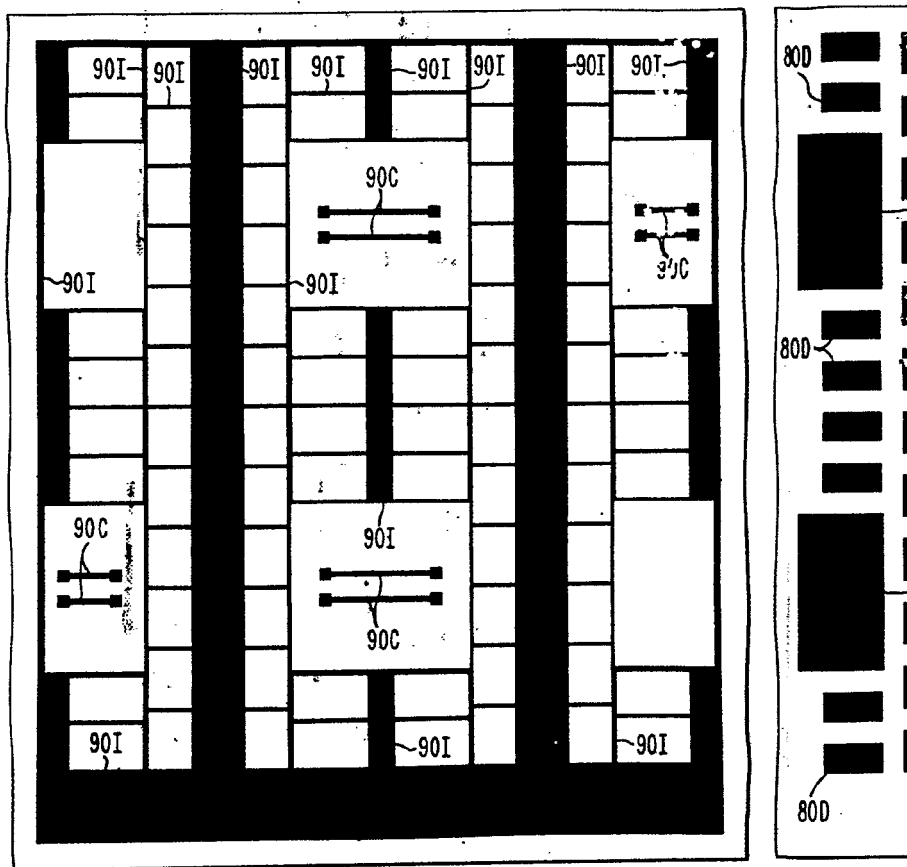


338621

3/11/61

10 21

FIG. 9

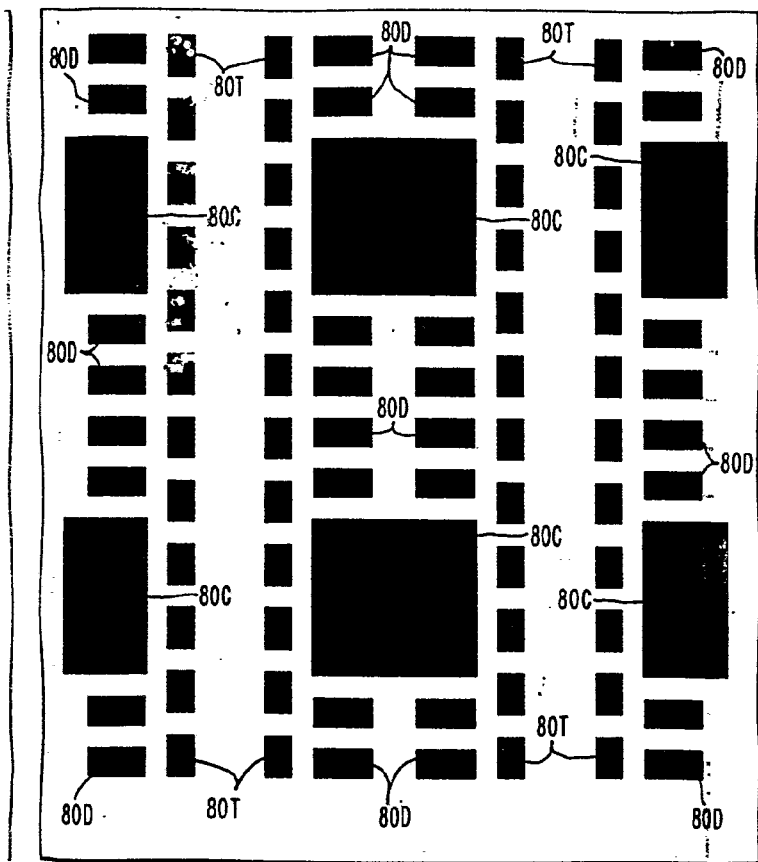


13621



JUL 1967

FIG. 8



338621

Handwritten signature or initials



3

29
5/11/41

FIG.10

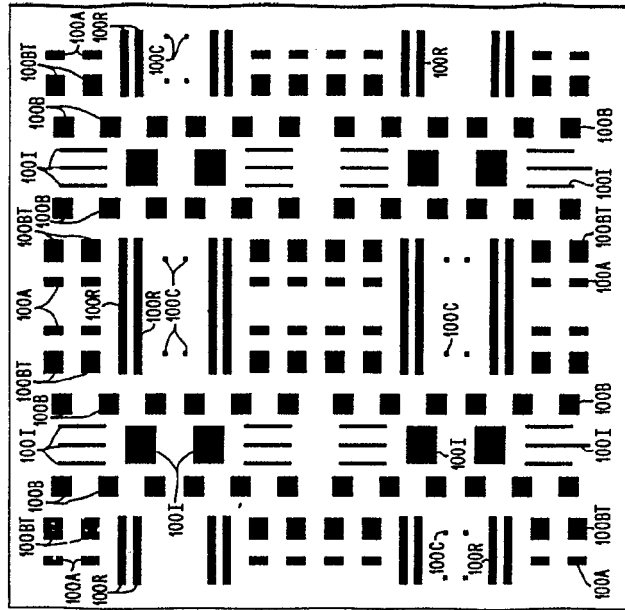


FIG.11

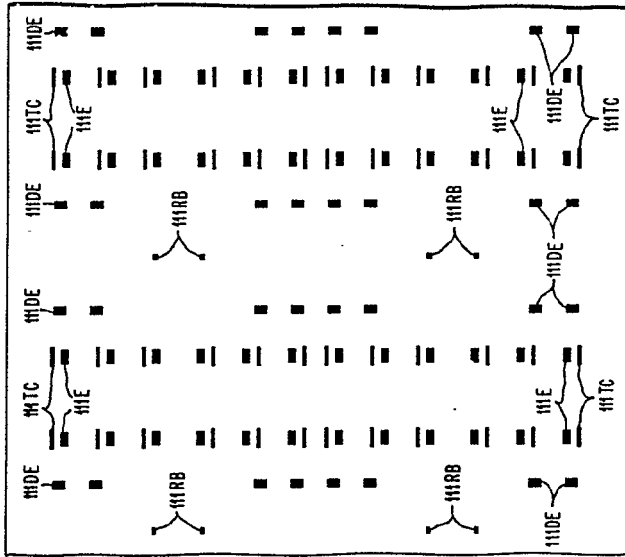
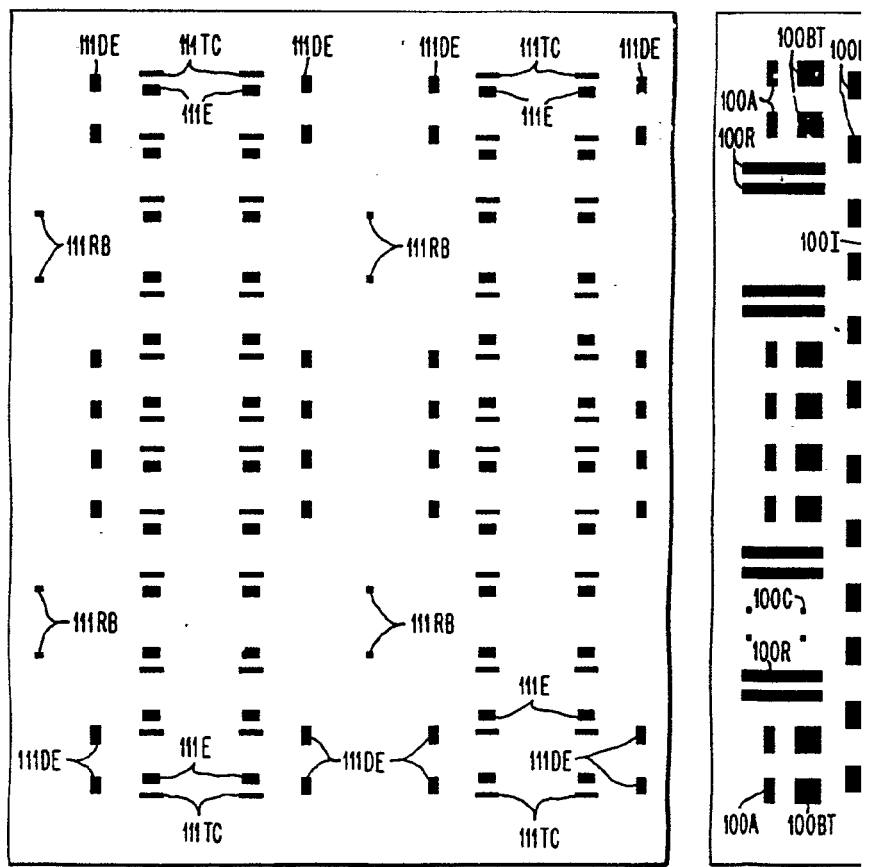


FIG. 11



17 JUL 1967

338621

Copy

FIG. 12

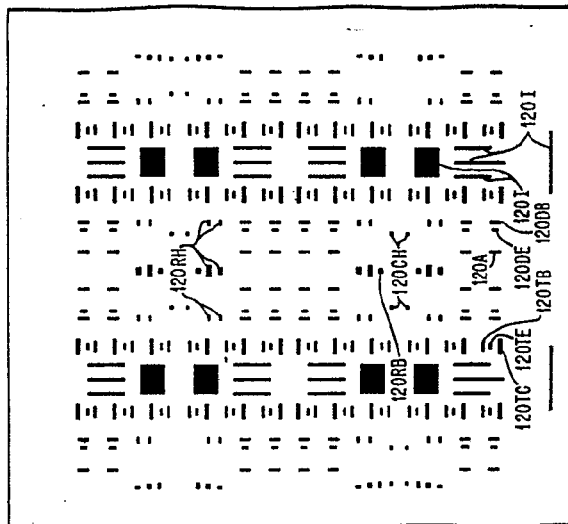


FIG. 13

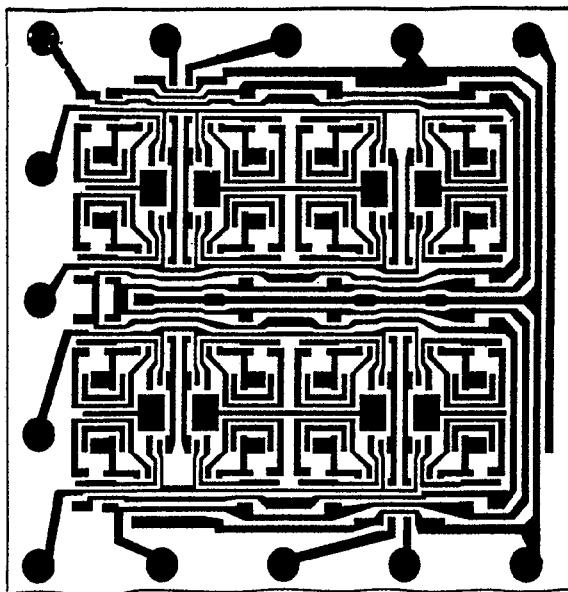
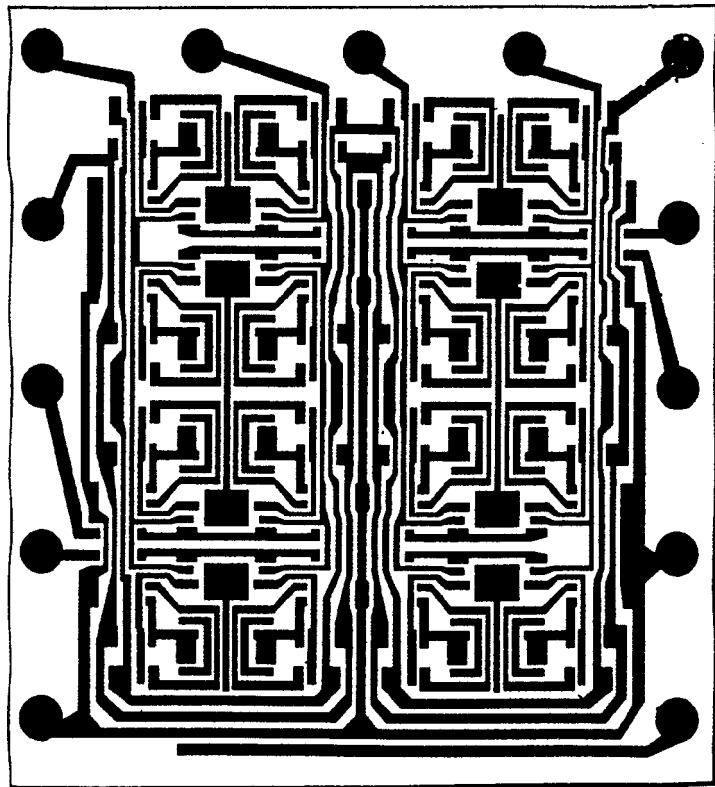


FIG. 13

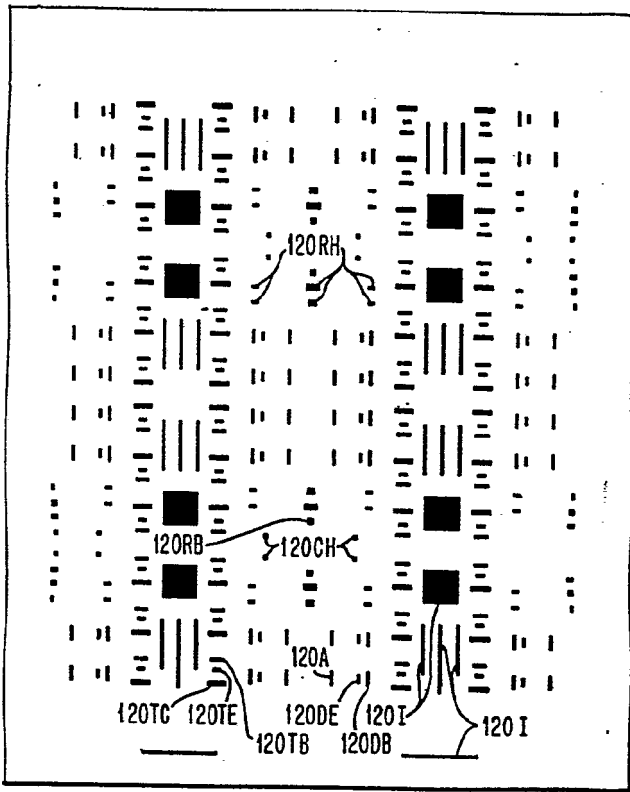


020 124



11 JUL 1961

FIG. 12



338621

Handwritten signature or initials

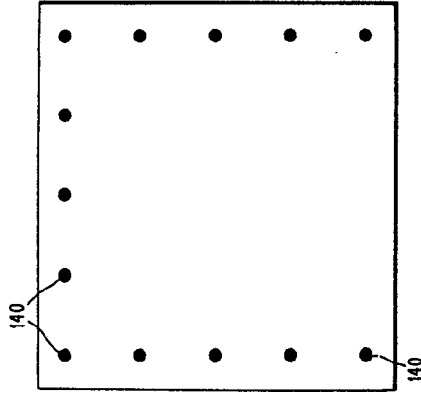
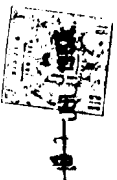


FIG. 14

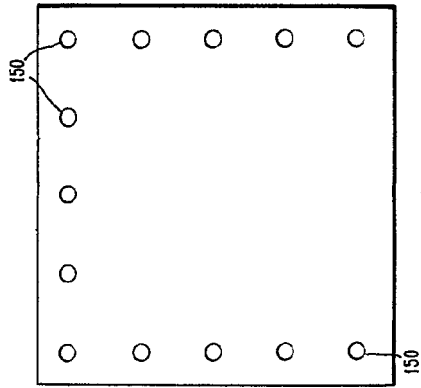


FIG. 15

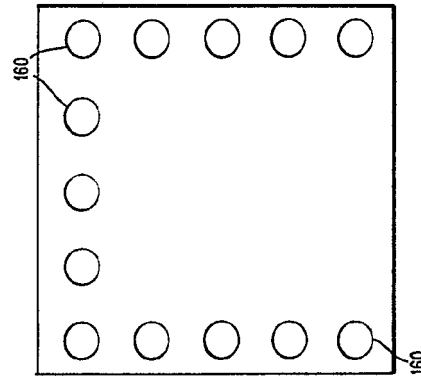


FIG. 16

338621

Handwritten signature or initials in the bottom right corner.

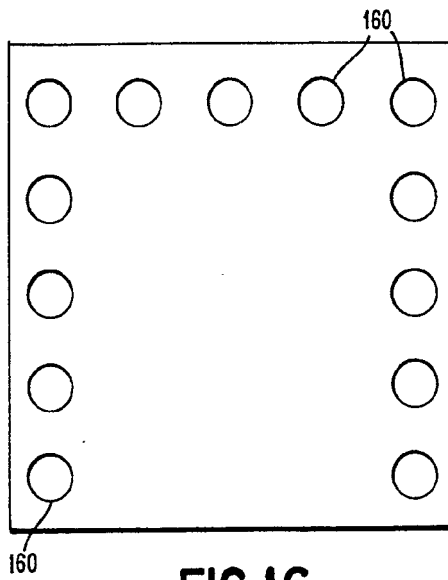


FIG. 16

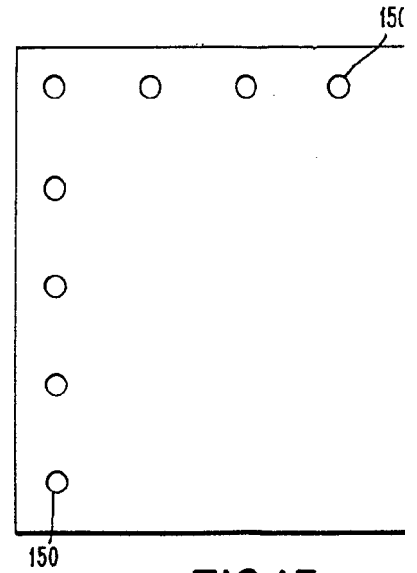
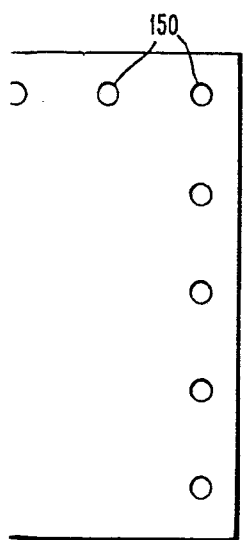


FIG. 15

770025



3.15

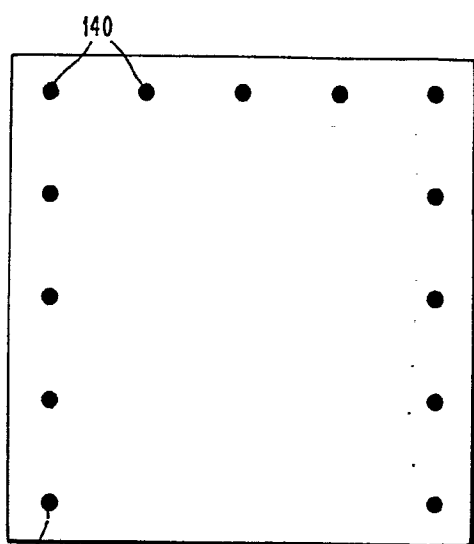


FIG.14

338621

[Handwritten signature]

338621

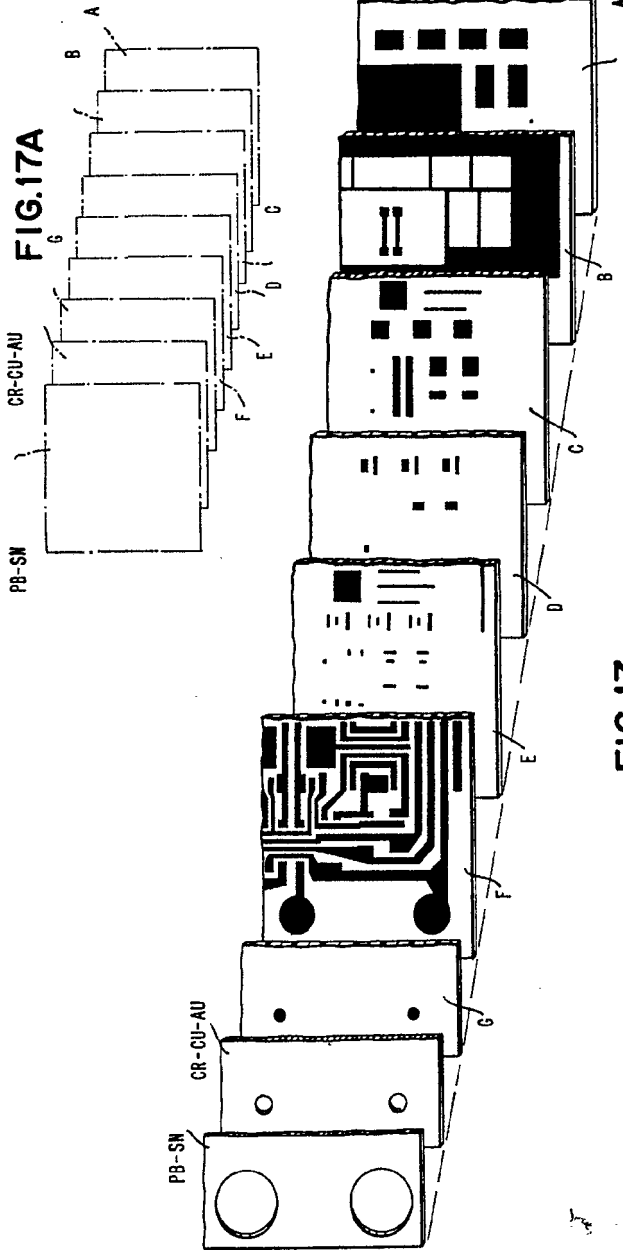
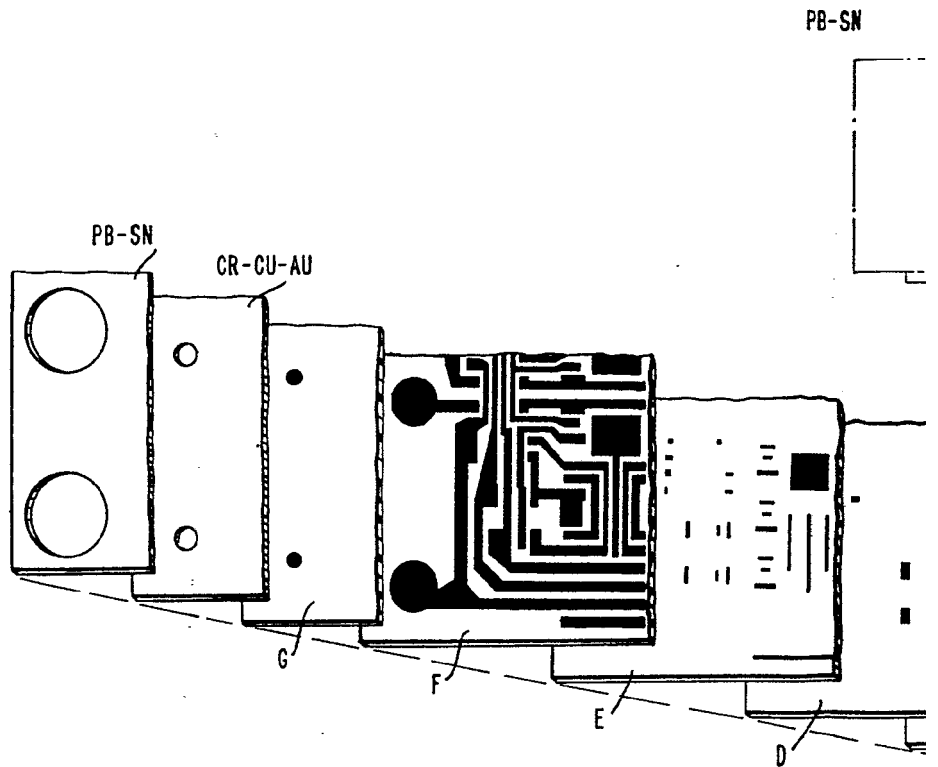


FIG. 17

338621

W.M.



338027

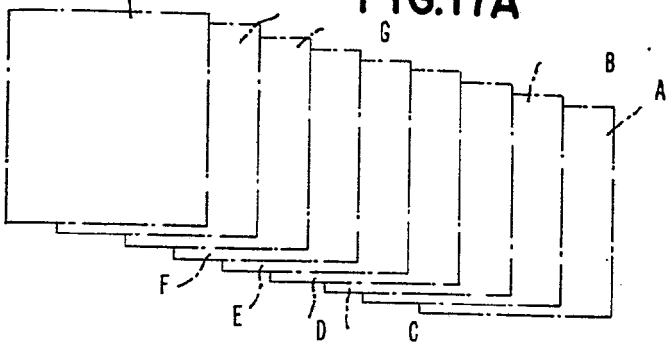
FIG.17

107 2

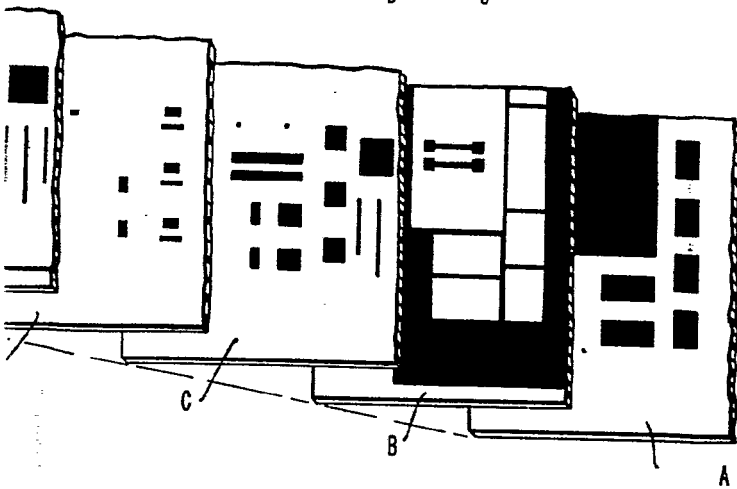
PB-SN

CR-CU-AU

FIG.17A



338621



Handwritten signature

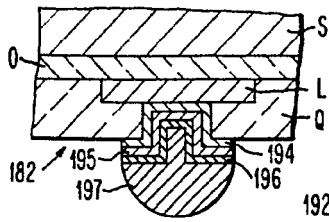
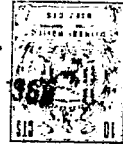


FIG. 18B

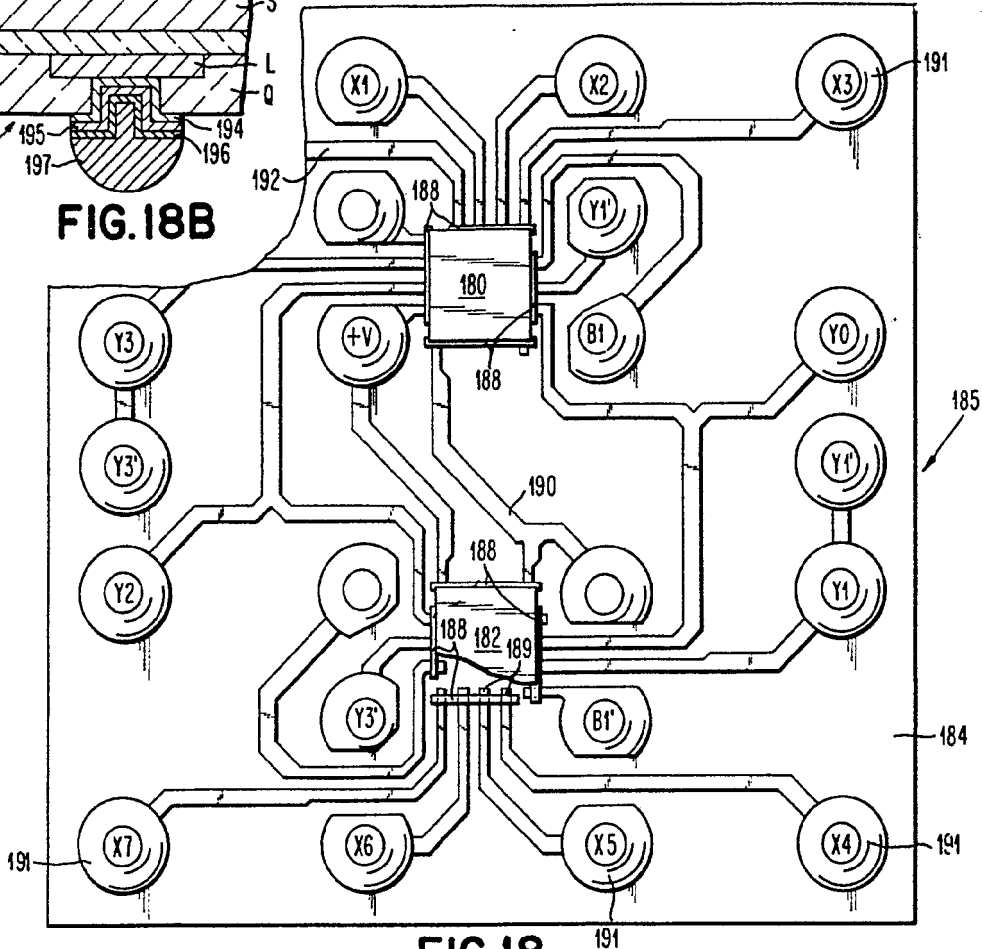


FIG. 18

338621

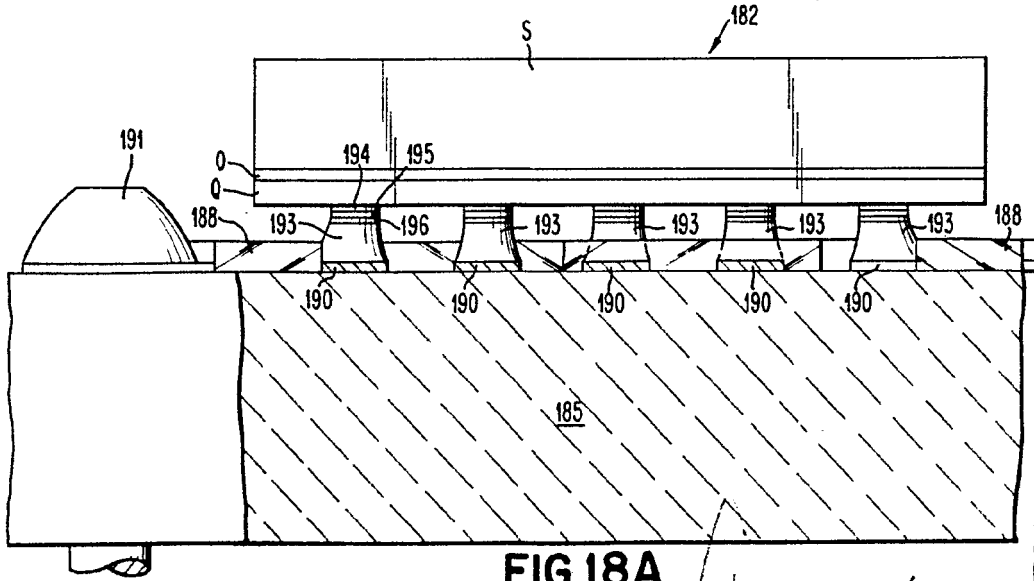


FIG. 18A

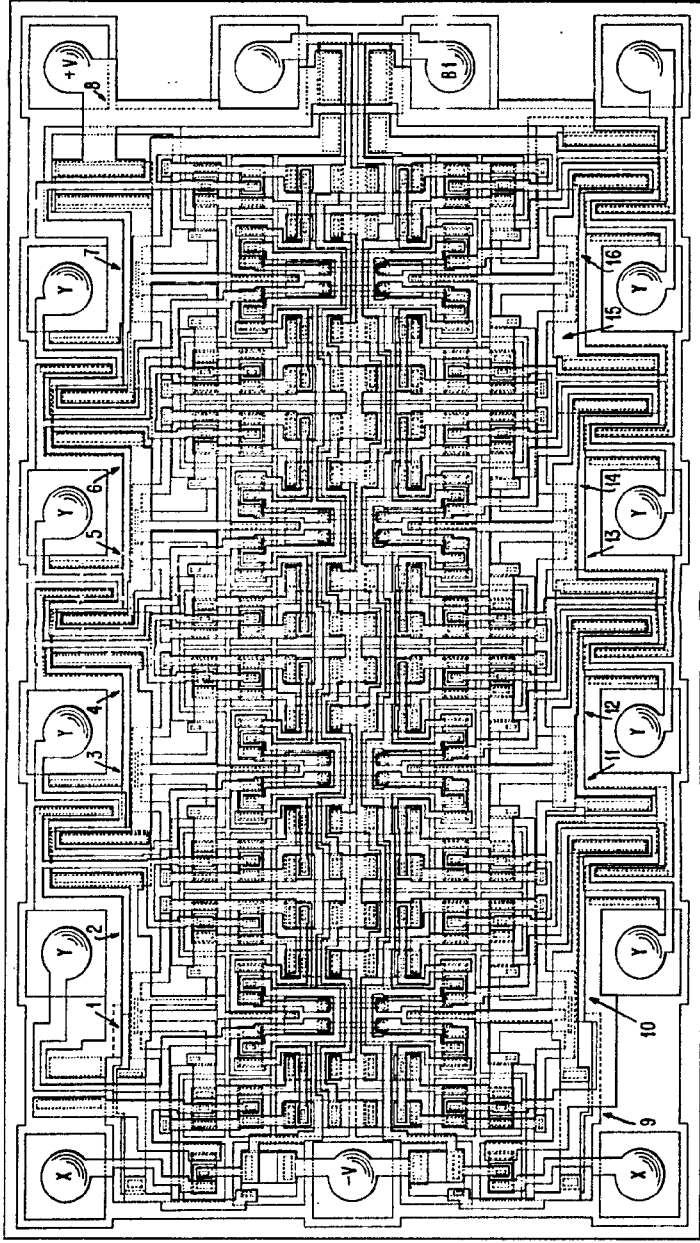
Handwritten signature or initials



338621

338621

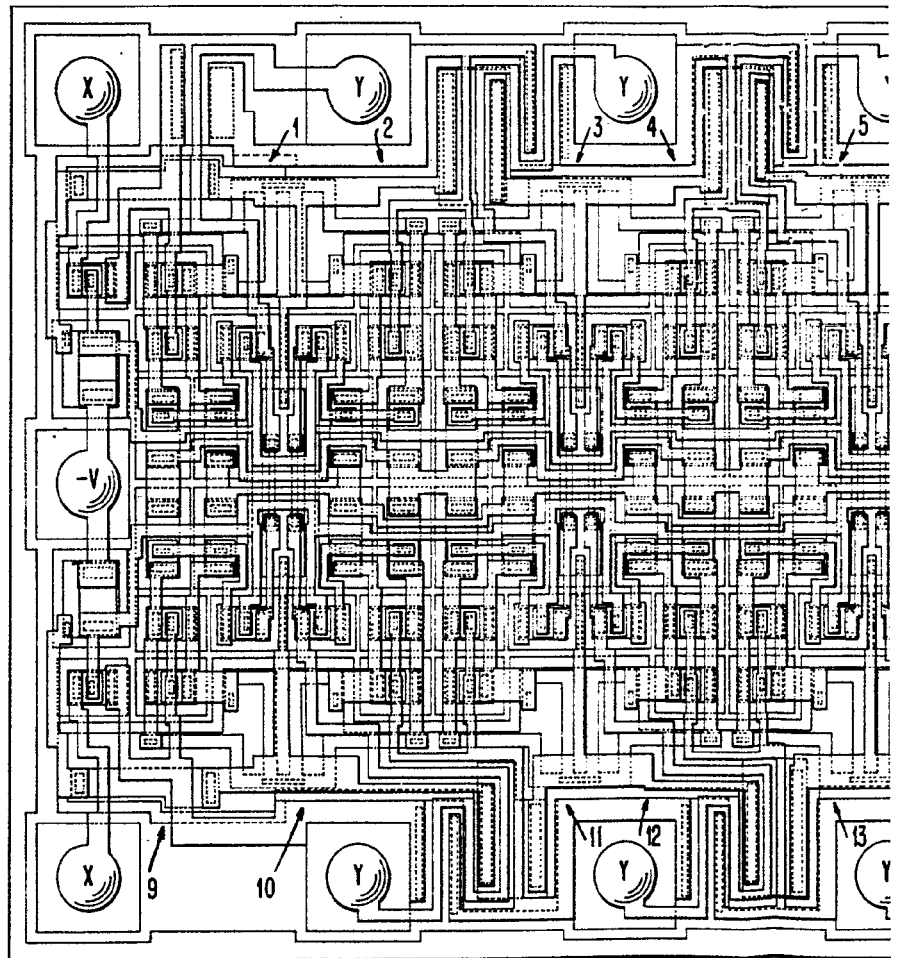
FIG. 19



Handwritten signature or initials in the bottom right corner.

330921

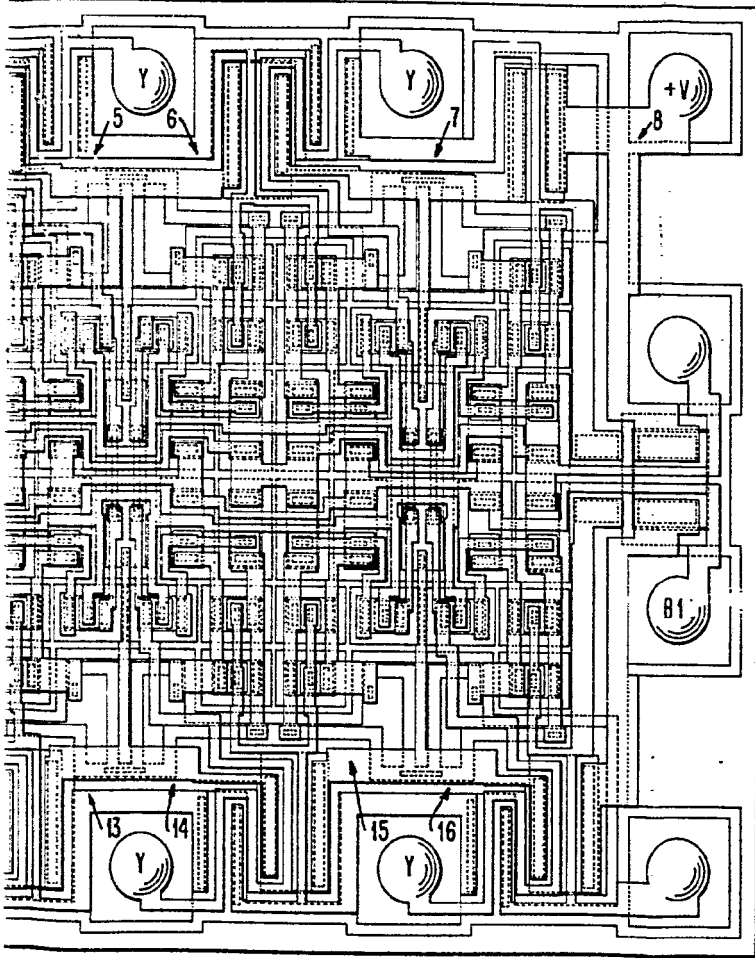
FIG. 19





338621

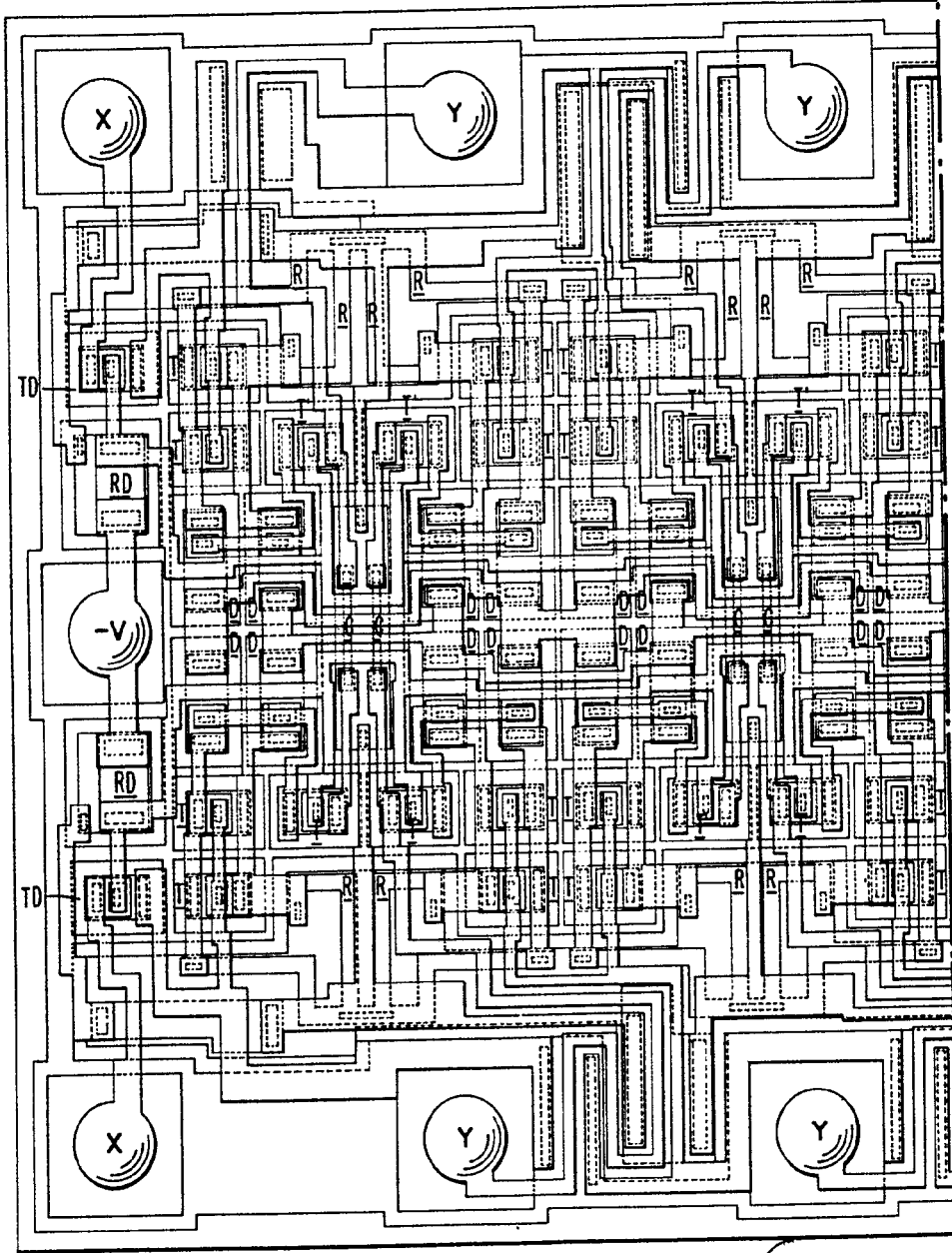
IG. 19



Alberto
[Handwritten signature]



FIG. 19L



338621

Alberto de Eizabur
Por Bazar

FIG. 19R

338621

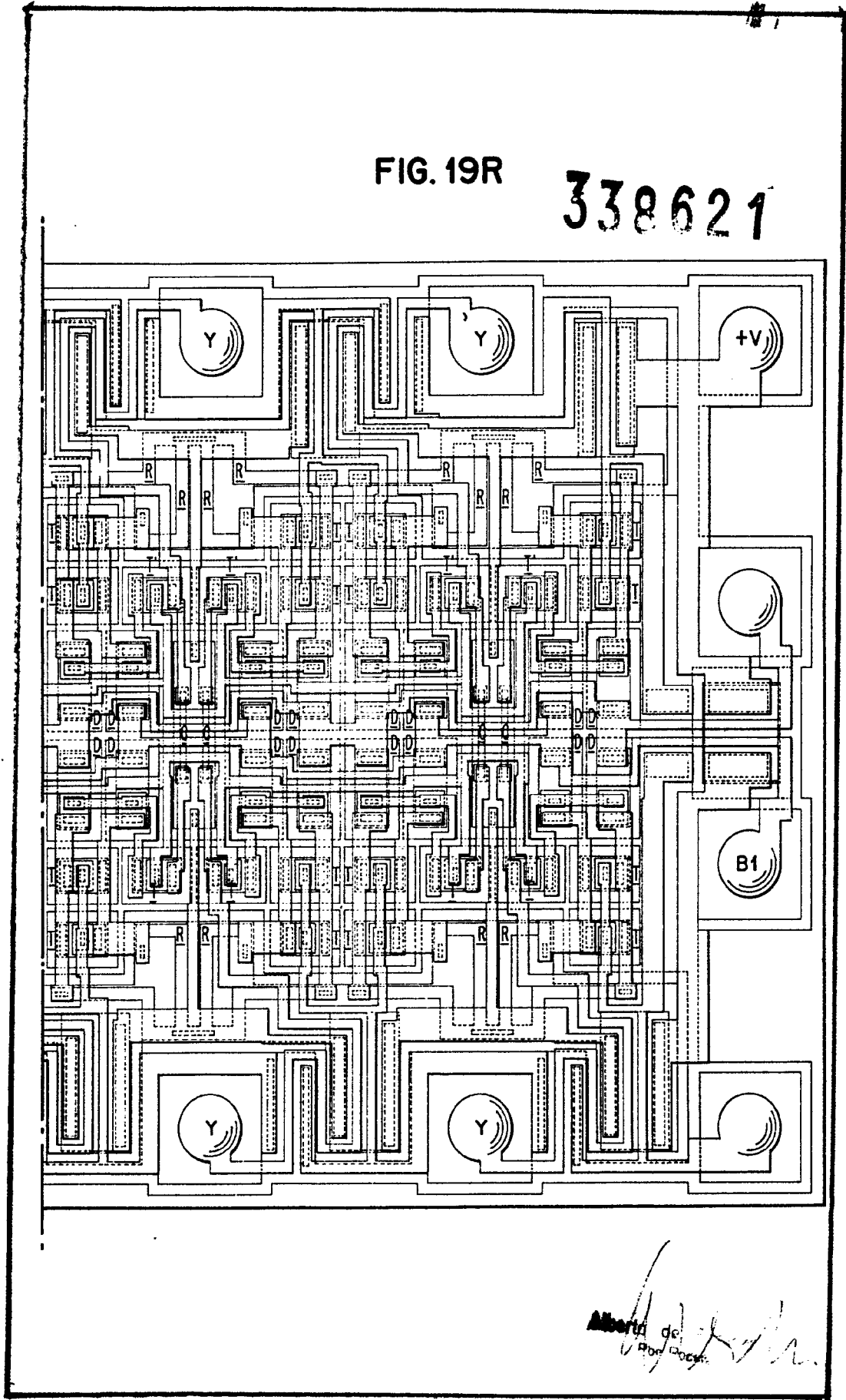
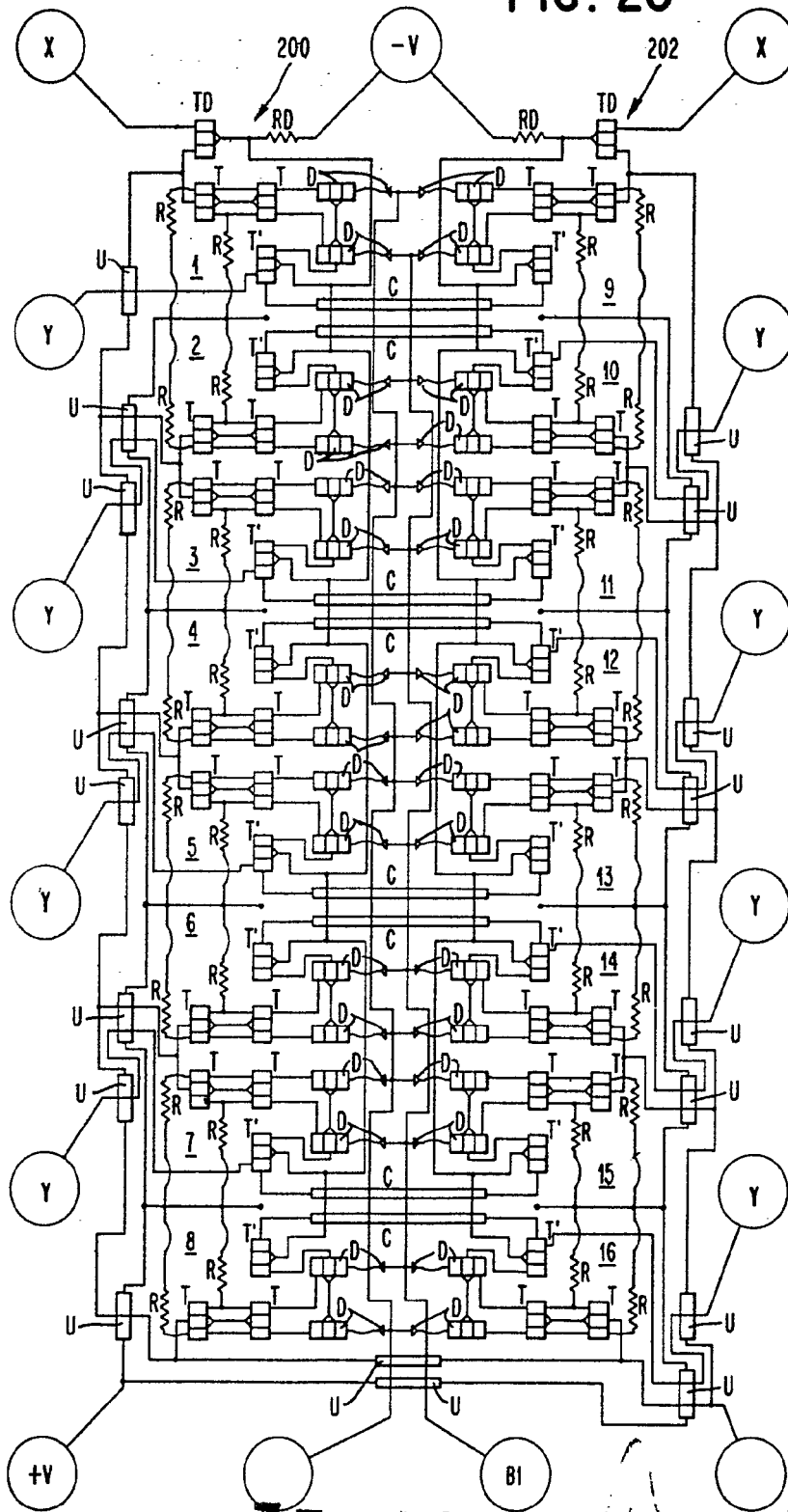


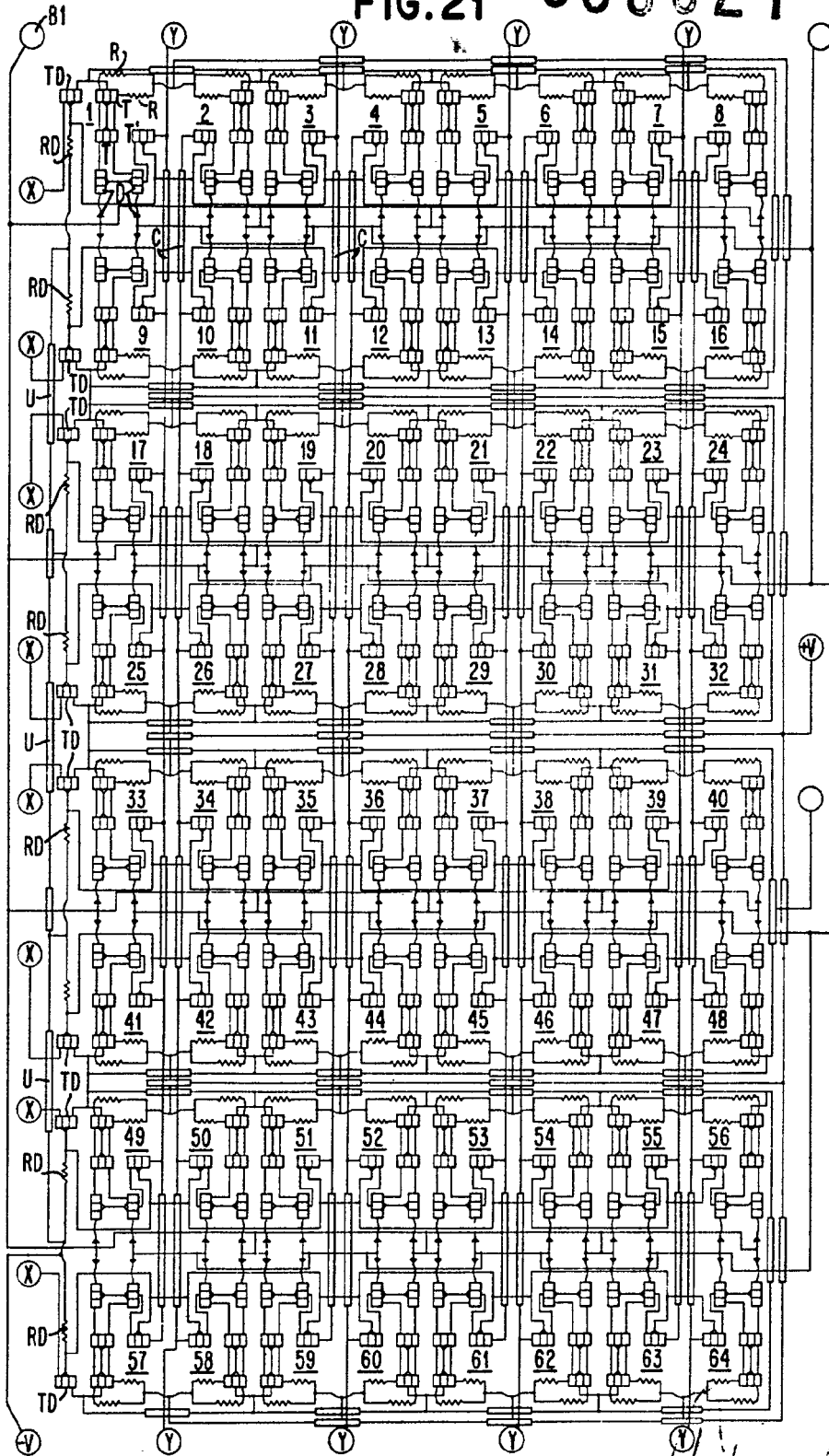
FIG. 20



330621

Alberto de Elzabari
Per Posen

FIG. 21 338621



Alberto G. Elizalde
Dir. Prod.