



337798

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN
ESPAÑA POR "MEJORAS EN CIRCUITOS DE SINCRONIZACION"
A NOMBRE DE STANDARD ELECTRICA, S.A. DOMICILIADA EN
MADRID CALLE DE RAMIREZ DE PRADO Nº. 5

El presente invento se refiere a circuitos de sincronización asociados a cada central de una red de transmisión de datos funcionando en múltiplex de tiempo y en modulación de clave de impulsos o "PCM". Más concretamente, si un enlace múltiplex designa un canal de transmisión provisto para la transmisión de mensajes en múltiplex de tiempo, y si n enlaces terminan en la central, el invento se refiere a un sistema para efectuar la sincronización de los impulsos y de los mensajes recibidos sobre los n enlaces.

Estos circuitos de sincronización se describirán, a modo de ejemplo, en su aplicación a un sistema de PCM que tiene las siguientes características:

Periodo de cuadro: $T_R = 125 \mu s$;

Número de canales por enlace: $m=24$. Los primeros 23 canales se reservan para la transmisión de claves o mensajes referentes a comunicaciones y el 24 a la transmisión de una clave determinada,

./..

POOR
QUALITY

337798

2.



15 denominada de sincronización o clave de encuadramiento.

Número de cifras binarias que constituyen el mensaje transmitido sobre un canal $p=6$;

Se transmite un impulso o señal de mensaje cuando la cifra correspondiente es 1.

20 Cada central de una red tiene su propio reloj local que suministra las señales siguientes:

Señales de ranura de tiempo de canal designadas t_1 a t_{24} que dividen cada período de cuadro en 24 ranuras de tiempo de canal, de la misma duración. Cada una de estas señales tiene una duración de

25 $t_p = 5.208 \mu s$;

Señales de ranuras de tiempo de cifra designadas m_1 a m_6 que dividen cada ranura de tiempo de canal, en seis ranuras de tiempo de cifra, de la misma duración. Cada una de estas ranuras de tiempo de cifra, así definida, se utiliza en particular para la transmisión

30 en forma en serie, desde la central, de una de las cifras de un mensaje;

Señales de ranuras de tiempo básico designadas a , b , c , d que dividen cada ranura de tiempo de cifra en cuatro ranuras de tiempo básico, de la misma duración.

35 La totalidad de estas señales definen el tiempo de la central HC.

La transmisión de los mensajes entre dos centrales A y B se efectúa sobre un enlace que comprende dos líneas reservadas respectivamente a la transmisión desde A hacia B y a la transmisión desde B hacia A .

40

Para las necesidades de transmisión y de conmutación, cada uno de los enlaces que terminan en una central determinada se identifica por medio de la clave particular denominada clave del enlace.

En cada enlace cada uno de los n canales se identifica

./..

POOR
QUALITY

337798

3.



45 por la clave de ranura de tiempo del canal en que se recibe, iden-
ficándose por la misma clave los canales homólogos de las dos líneas
que constituyen un enlace.

50 Cuando las señales de mensaje se transmiten desde la con-
tral B hacia la central A, se ponen en fase, en la central B transmi-
sora, sobre la escala de tiempo (señales de ranura de tiempo de cifra),
establecidas por el reloj local de esa central. Si se considera, a no-
do de ejemplo, que la transmisión comprende una serie ininterrumpida
de cifras 1, o señales de mensaje, ósto representa que se transmite
una señal en cada ranura de tiempo de cifra, definida por el reloj de
55 la central B.

Pero, es sabido que en una transmisión, las posiciones de
tiempo de las señales de mensaje están sujetas a determinadas pertur-
baciones que pueden clasificarse como fluctuaciones de frecuencia,
perturbaciones de fase y desincronización.

60 A) - La Fluctuación de frecuencia: Es una lenta variación
del período de cuadro de las señales, que puede considerarse como un
desplazamiento de fase de las señales recibidas en la central A con
respecto a las señales suministradas por el reloj local de esta cen-
tral. Es debida a las modificaciones de las condiciones de propagación
65 en el medio de transmisión utilizado (línea telefónica, radioenlace,
etc.), y a la variación relativa entre los relojes de las centrales B
y A. Se observará que el período de batido entre las señales recibidas
y las señales del reloj de la central A es muy alto (10^4 a 10^5 segun-
dos), de modo que el desplazamiento de fase puede retener el mismo
70 signo durante períodos muy largos. En consecuencia, el resultado es
que si se considera un intervalo de tiempo T_u , el número de señales de
mensaje recibidas durante el tiempo T_u nunca es, en la práctica, igual
al número de señales de ranura de tiempo de cifra suministradas duran-

POOR
QUALITY

337798

4.



te el mismo tiempo por el reloj de la central A.

75

Pero el paso de conmutación de la central A debe establecer , para cada comunicación entre abonados, una conexión entre dos canales que pueden pertenecer a diferentes enlaces afectados por fluctuaciones que no tengan en absoluto ninguna correlación entre las mismas. Es por lo tanto necesario, a fin de establecer tal conexión, utilizar una base de tiempo común, que es el tiempo de la central HC.

80

Así, si se supone que, para un enlace dado, la ranura de tiempo de cifra n5 de la ranura de tiempo de canal t21 (tiempo t21.m5) está reservado a la elaboración de la quinta señal de mensaje que pertenece al canal 21, resulta de la fluctuación que la posición de tiempo de esta señal varía lentamente y que coincide sucesivamente, para una dirección dada del desplazamiento de fase, con las señales de tiempo t21.6, t22.1, t22.2, ... etc.. Puede verse así que una señal del canal 3 puede recibirse durante el tiempo reservado a la elaboración del canal 4, después del canal 5, etc. y que los mensajes son completamente distorsionados.

85

90

B) - La perturbación de fase: Es una rápida fluctuación de las señales de mensaje sobre ambos lados de la posición media en la cual debían estar situadas si no estuviesen afectadas por la fluctuación. Es debida a diferentes causas, tal como la diafonía entre líneas, el efecto de inducción de señales periódicas parásitas, las interacciones entre las señales transmitidas sucesivamente cuando el medio de transmisión introduce distorsiones de amplitud y de fase, etc.

95

100

Las perturbaciones o fluctuaciones de fase son perjudiciales para la transmisión y para la conmutación y su amplitud aumenta con relación a la longitud de la línea de transmisión, de modo que puede llegar a ser de una o varias ranuras de tiempo de cifra y puede producir distorsiones de los mensajes.

./..

337798

5.



C) - La desincronización: Tiene lugar cuando la fluctua-
ción no puede ser compensada o cuando la sincronización de cuadro se
105 pierde a causa de una distorsión importante en la transmisión o por el
arranque de la central. Se reciben entonces los mensajes en tiempos
que ya no tienen relación alguna con aquellos reservados a su elabo-
ración y el funcionamiento de la central se distorsiona completamente.

Antes de describir brevemente los sistemas utilizados para
110 suprimir los efectos de estas perturbaciones, se observará que en el
sistema según el invento, se ha situado sobre cada línea entrante una
memoria reguladora o almacén de datos, en la que los mensajes se escri-
ben sucesivamente al ser recibidos se leen en forma asíncrona a fin
de ser transmitidos a través del conmutador. Este almacén de datos com-
115 prende n líneas y p columnas, siendo cada una de las líneas la direc-
ción de un mensaje. En cada período de cuadro, la información corres-
pondiente, por ejemplo, al canal 13, se escribe en la línea 13 de la
memoria y queda disponible en la misma en forma en paralelo. Las se-
ñales de selección de dirección en esta memoria tendrán las referen-
120 cias V1 a V24, siendo la señal V24 la reservada a la selección de la
dirección reservada a la clave de cuadro.

La forma de funcionamiento de estas memorias se ha descri-
to en detalle en la patente (española Nº. 322.736) titulada "Sistema
de sincronización para sistemas de transmisión de impulsos" de H.J.
125 Herry - J.P. Le Corre - G.R. Yelloz 1.7.1.

En forma general las perturbaciones o fluctuaciones de fa-
se se eliminan escribiendo las señales de mensaje, cuya duración es
corta con respecto a la de una ranura de tiempo de cifra (1 ó 0,5 ra-
nura de tiempo básico, por ejemplo), en una segunda memoria reguladora
130 o corrector de fase que precede al almacén de datos, teniendo las se-
ñales de selección de esta memoria una duración de una ranura de tien-



po de cifra y obteniéndose de las señales recibidas sobre el enlace. Puede así admitirse una amplitud total de fluctuación A_v , de aproximadamente una ranura de tiempo de cifra.

135 Estas señales se leen bajo el control de las señales de tiempo HC de modo que están libres de cualquier perturbación.

A fin de compensar los efectos de la fluctuación, se elabora una señal de error comparando la frecuencia media de las señales recibidas, con las señales del reloj. Como la diferencia entre estas
140 dos frecuencias es muy baja, esta operación es una detección de fase que generalmente se efectúa en un detector de tipo digital, que suministra información de una naturaleza discontinua sobre la amplitud y el signo de la desviación de fase. Esta señal de error se utiliza después para modificar los tiempos de escritura y/o de lectura de las memorias
145 reguladoras, de tal modo que los mensajes recibidos se escriben en las direcciones exactas asignadas a los mismos en el almacén de datos.

Es sabido que el período de las señales suministradas por un detector de fase es igual al período de batido T_B entre las señales comparadas, siendo este período T_B el intervalo de tiempo durante el
150 cual el número de señales en los dos trenes difieren exactamente en una unidad. Se comprenderá así que, a pesar de las correcciones que se acaban de mencionar, las señales pueden perderse durante la escritura en el almacén de datos. No obstante, si estas correcciones se efectúan en el tiempo de la escritura de la clave de cuadro en el almacén
155 de datos, no se pierde ningún mensaje.

Se dice que un enlace está sincronizado cuando se recibe la clave de cuadro en el tiempo en que la dirección 24, reservada a este canal, es seleccionada para escribir en el almacén de datos. Si las posiciones de tiempo de esta clave y las señales de selección V24 se
160 comparan, se obtiene una señal de error que caracteriza la desincroni-

337798

7.



zación cuando no coinciden dichas posiciones de tiempo. La detección de tales señales de error, controla el arranque de las operaciones de encuadre de canal que son:

- 165 a) Una primera comprobación de las señales recibidas en el tiempo V24 durante tres períodos de cuadro.
- b) Una búsqueda de clave de cuadro si han tenido lugar tres no coincidencias.
- c) Una corrección de error modificando el avance de los selectores del corrector de fase y/o del almacén de datos.
- 170 d) Una segunda comprobación.

El fin del presente invento es así, controlar la escritura de cada mensaje transmitido sobre un enlace múltiple de tiempo, en la dirección particular asignada al mismo en un almacén de datos, suprimiendo los efectos de la fluctuación de frecuencia y de la perturbación de fase y de las perturbaciones en la transmisión.

175 Antes de describir el invento, se describirá brevemente las anotaciones algebraicas lógicas que se utilizarán a fin de simplificar la escritura en la descripción de las operaciones lógicas. El asunto es extensivamente tratado en numerosas comunicaciones y particularmente en la obra de M. Phistor (J. Wiley. - editor), titulada

180 "Logical design of digital computers".

Así, si una condición caracterizada por la presencia de una señal se escribe A, la condición caracterizada por la ausencia de dicha señal se escribirá \bar{A} .

185 Estas dos condiciones están unidas por la relación lógica bien conocida $A \times \bar{A} = 0$ en el que el signo "x" es el símbolo de la función lógica de coincidencia o función "AND".

Si aparece una condición C sólo si las condiciones A y B están presentes simultáneamente, se escribe $A \times B = C$ y esta función puede efectuarse por medio de un circuito de coincidencia o circuito AND.

190



Si aparece una condición C cuando por lo menos está presente una de las dos condiciones E y F, se escribe $E + F = C$ y esta función se efectúa por medio de una barrera mezcladora o circuito OR.

195 Como estas funciones lógicas AND y OR son conmutativas, asociativas y distributivas, se puede escribir:

$$A + B = B + A;$$

$$A \times (B + C) = A \times B + A \times C;$$

$$(A + B) (C + D) = A \times C + A \times D + B \times C + B \times D; \text{ etc.}$$

200 Por último una función de dos variables A y B puede presentar cuatro combinaciones posibles y si se escribe $A \times B$ las otras tres combinaciones son globalmente representadas por la expresión $\overline{A \times B}$.

Si se caracteriza la condición A por la cifra 1 y la condición \overline{A} por la cifra 0, la condición B por la cifra 1 y la condición \overline{B} con la cifra 0, puede escribirse la condición $A \times B$ 11, la condición $\overline{A} \times B$ pueden escribirse 01, etc. ...

205

Se especificará también, en relación con la cifra 1, el significado de algunos símbolos determinados utilizados en los dibujos adjuntos a la descripción del invento. Así:

La figura (a) representa un circuito AND simple;

210 La figura 1 (b) representa un circuito OR simple;

La figura 1 (c) representa un circuito AND múltiple, que comprende, en el caso del ejemplo, cuatro circuitos AND, que cada uno tiene un primer terminal de entrada conectado a cada uno de los conductores 91a y un segundo terminal de entrada conectado a un conductor común 91b;

215

La figura 1 (d) representa un circuito OR múltiple que comprende, en el caso del ejemplo, cuatro circuitos OR teniendo cada uno dos terminales de entrada 91c y 91d y que suministra, sobre los cuatro circuitos de salida 91e, las mismas señales que son aplicadas sobre cualquiera de dichos terminales de entrada;

220

337798

9.



La figura 1 (e) representa un circuito AND que tiene dos terminales de entrada 91f, 91g y que se bloquea cuando se aplica una señal sobre la entrada 91f.

225 La figura 1 (h) representa un circuito biestable o "vaivén" al que se aplica una señal de control sobre uno de los terminales de entrada 92-1 ó 92-0 para de situarlo en el estado 1 ó reponerlo al estado 0. Un potencial de la misma polaridad que el de las señales de control está presente en la salida 93-1 cuando el vaivén está en el estado 1, o en la salida 93-0 cuando está en el estado 0. Si se dá
230 la referencia B al vaivén, la condición lógica que caracteriza el hecho de que está en el estado 1, se escribirá B_1 y la que caracteriza el hecho de que está en el estado 0 se escribirá $\overline{B_1}$.

La figura 1 (i) representa un grupo de varios conductores, cinco en el ejemplo que se considera.

235 La figura 1 (j) representa un multiplaje de conductores de modo que, en el ejemplo que se muestra, 10 conductores de salida 94j están conectados en paralelo al mismo conductor de entrada 94h.

La figura 1 (k) representa un registrador de vaivén. En el caso de la figura, comprende cuatro vaivenes que tienen sus terminales de entrada 1 conectados a los conductores del grupo 92a y sus terminales de salida 1 conectados a los conductores del grupo 93a. La cifra 0 colocada en un extremo del registrador significa que éste se libera cuando se aplica una señal sobre el conductor 91h.
240

La figura 1 (l) representa un descifrador que, en el caso del ejemplo, transforma un grupo de clave binaria de cuatro cifras aplicada sobre el grupo de conductores 94a, en una de entre 16 claves, de modo que aparece una señal sobre solamente uno de entre 16 conductores 94b, para cada uno de los grupos de clave aplicados a la entrada.
245

250 La figura 1 (m) representa un descifrador diseñado de tal

./..



modo que suministra una señal de salida solamente cuando el grupo de clave binaria que corresponde a la cifra decimal 5 aplicada sobre sus terminales de entrada.

255 La figura 1 (p) representa un comparador de clave que suministra una señal sobre su terminal de salida 95a cuando los grupos de clave de tres cifras aplicados sobre sus terminales 95b y 95c, no son idénticos.

260 La figura 1 (q) representa el diagrama detallado de dicho comparador al que se suministran los grupos de clave por los registradores 90g, 90h y que comprende los circuitos AND 97a a 97f así como el circuito OR 97g. Los dos circuitos AND asociados a cada par de vaivones que tienen el mismo rango en los registradores, constituyen en asociación con el circuito OR, un circuito "OR" exclusivo de modo que aparece una señal sobre el terminal de salida 95a cuando los grupos de clave comparados difieren en por lo menos una cifra.

265 La figura 1 (w) representa un contador de vaivón que cuenta los impulsos aplicados a su terminal de entrada 95c y que se libera por la aplicación de una señal en su entrada 94d. Las entradas 1 de los vaivones se conectan a los conductores de salida 94e.

270 En el curso de la descripción se utilizará frecuentemente la referencia de una señal procedida por la letra "C" para reforonciar la clave binaria que, al ser descifrada, da dicha señal. Así, "CV1" designa la clave a que corresponde la señal "V1".

275 Por último se observará que en las diferentes figuras asociadas con la descripción, las barreras electrónicas (circuitos AND, OR), no tienen referencias. De hecho, todas las barreras se identifican ambiguamente, en el texto, por la ecuación lógica que describe la función que efectúa y por el número de la cifra, estableciéndose la referencia de cada señal elemental aplicada cerca del terminal correspondiente. Así, el circuito AND de la figura 1 (a), se definiría como

./..

337798



11.

ol circuito lógico que suministra una señal W_v para la condición lógica: $W_t \times W_u$, figura 1 (a).

El presente invento se describirá particularmente con referencia a los adjuntos dibujos, en los cuales:

285 La figura 1 representa un número determinado de símbolos utilizados en los dibujos siguientes:

La figura 2 representa un diagrama de un paso conmutador de PCM de PCM.

290 La figura 3 representa el diagrama detallado de un circuito de enlace.

La figura 4 representa el diagrama detallado de un circuito de grupo de enlace.

La figura 5 representa los circuitos de selección de grupo y enlace.

295 La figura 6 representa el contador de fase y sus circuitos de control.

La figura 7 representa los circuitos que suministran señales de control de tiempo.

300 Las figuras 8 y 9 representan el circuito para la búsqueda y comprobación de la clave de cuadro.

La figura 10 representa el circuito de corrección de cambio.

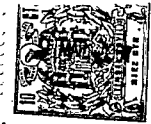
La figura 11 representa el diagrama de señales referentes a la corrección de aceleración cuando la aceleración es negativa.

305 La figura 12 representa los diagramas de señales referentes a la corrección de aceleración cuando la aceleración es positiva.

La figura 13 representa el diagrama general de los circuitos de selección de un enlace.

310 La figura 14 representa el diagrama de las señales de control de tiempo.

./..



La figura 15 representa el diagrama detallado del detector de aceleración.

La figura 16 representa el diagrama detallado de un paso contador.

315 La figura 17 representa los diagramas de las señales presentes en los diferentes puntos de un paso contador.

La figura 18 representa el diagrama general del selector de línea 112 (figura 3).

320 La figura 19 representa el diagrama general del selector de columna 113 (figura 3).

La figura 20 representa la forma de ensamble de las figuras 3 y 4.

La figura 21 representa la forma de ensamble de las figuras 6, 7, 8, 9 y 10.

325 Además, los circuitos descritos en el presente invento utilizan un cierto número de memorias cíclicas que pueden clasificarse, para mayor claridad de la descripción, en tres tipos diferenciados: Los almacenes de mensajes, las memorias somipermanentes y las memorias de instrucción.

330 Una característica común a todas estas memorias que comprenden r_0 hilos que cada una almacena un número de c_0 cifras, es que por lo menos una de las operaciones de lectura o de escritura se efectúa en forma cíclica bajo el control de r_0 señales de selección aplicadas sucesivamente y cíclicamente a las r_0 hilos de la memoria.

335 Un almacén de mensaje que comprende p columnas para el almacenaje de las p cifras de un mensaje y un número de direcciones que depende de su función, se caracteriza por el hecho de que el tiempo de escritura de cada mensaje es limitado. En el circuito descrito se verá:

340 El corrector de fase que es una memoria que comprende tres

337798

13



líneas y en el que se escribe un mensaje durante como máximo dos ranuras de tiempo de canal. En esta memoria las operaciones de escritura y lectura se efectúan cíclicamente.

340 El almacén de datos que comprende 24 direcciones asignadas a los 24 canales de un enlace y en el que los mensajes se escriben cíclicamente y son leídos asincrónicamente. En esta memoria, un mensaje dado se almacena durante, como máximo, un período de cuadro.

345 La expresión "memoria semipermanente", designa, en esta descripción, memorias en las que las informaciones pueden mantenerse mientras sea necesario y se regeneran a intervalos regulares. Estas memorias comprenden 24 direcciones leídas asincrónicamente. Se utilizarán en los circuitos descritos:

350 El almacenaje de circuito en el que se escriben las instrucciones de selección de dirección para la lectura de datos almacenados y para la conexión de circuito en el paso conmutador (Veáse la descripción en la figura 2).

La memoria de averías y la memoria de errores (veáse la descripción de las figuras 3 y 8).

355 Por último, una memoria de intrucción comprende un determinado número de líneas leídas cíclicamente. Las instrucciones leídas se utilizan para la selección de direcciones escritas en los almacenes de datos y, en cada lectura, se aumenta el valor de la dirección en una unidad antes de volver a escribirla para obtener una selección cíclica.

360 Para facilitar la lectura de la descripción del invento, éste se dividirá en cinco capítulos, como sigue:

- 1) - Estudio del paso conmutador.
- 2) - Circuitos de enlace y grupo.
- 3) - Sincronización de impulsos.
- 365 4) - Encuadramiento.



5) - Selectores de control de un corrector de fase.

1) - Estudio del paso conmutador.- Una primera forma de conseguir una central de PCM tal como se ha definido anteriormente, ha sido descrita en el artículo titulado "A local area integrated PCM telephone network" publicado en la edición de Marzo de 1964, página 370 158 de la revista "IEEE Transactions on Communication and Electronics" La organización del paso conmutador entre enlaces múltiples en esta primera forma, se describirá brevemente con relación a la figura 2.

Se supone que este paso controla el establecimiento de conexiones entre cualquiera de los canales de n_1 hileras de enlace y cualquiera de n_2 columnas de enlaces y comprende:

Un conmutador representado en forma de matriz y que incluye n_1 hileras y n_2 columnas, representándose en la figura solamente la hilera R2 y la columna C3.

380 El punto de intersección de esta hilera y esta columna tiene la referencia R2C3;

n_1 circuitos de enlace de hilera tal como el circuito JR2 representado en la figura;

385 n_2 circuitos de enlace de columna tal como el circuito JC3 representado en la figura.

Los elementos situados en los circuitos enlace de hilera y columna tienen referencia cuyos dos últimos caracteres son respectivamente "R2" y "C3".

El enlace de hilera JR2 comprende:

390 Los almacenes de datos de línea entrante y saliente que tienen respectivamente las referencias DnR2 y Dtr2;

El almacén de circuito de tiempo TR2;

El almacén de circuito de espacio VR2.

El circuito de sincronización SR2.

395 El enlace de columna JC3 comprende los mismos elementos

337798

15.



con excepción del almacén de circuito de espacio.

El reloj CU suministra las señales de tiempo t_1 a t_{24} , m_1 a m_6 ; a, b, c y d, que han sido definidas anteriormente.

400 Se supone que las señales recibidas sobre la línea entrante L_nR_2 del enlace JR2 no son afectadas por ninguna perturbación y se escriben sucesivamente en las direcciones reservadas a ellas en el almacén de datos D_nR_2 del mismo modo que las señales del canal 1 se escriben en la línea, 1 etc., escribiéndose las señales del canal x en la línea x.

405 Del mismo modo, las señales recibidas en la línea entrante L_nC_3 del enlace JC3 se escriben en las direcciones reservadas a ellas en la memoria D_nC_3 , escribiéndose las señales del canal y en la línea y. Si se desea establecer, en una ranura de tiempo de canal t_z una conexión entre el canal x de JR2 y el canal y de JR3, se controla
410 primero desde un circuito marcador MKR que tiene acceso a todos los circuitos de enlace de la central, la escritura de las claves C_x y C_y en la línea z (línea leída en el tiempo t_z), de las memorias TR2 y TC3 y la escritura sobre la línea z (línea también leída en t_z) de la memoria VR2 de la clave C (R2C3); las claves C_x , C_y controlan la selección
415 leída de las direcciones x ó y de los almacenes de datos de los enlaces JR2, JC3 y la clave C (R2C3) que controla la selección en el conmutador SW del punto de intersección R2C3.

Posteriormente, en cada tiempo t_z , las instrucciones tomadas de los almacenes de circuito, controlan la transferencia bidireccional de los mensajes entre los dos enlaces, reservándose una primera
420 mitad de este tiempo a la transmisión de JR2 hacia JC3 y la otra mitad a la transmisión de JC3 hacia JR2.

Las instrucciones controlan, durante toda la duración del tiempo t_z , la selección del punto de intersección. También controlan:
425 a) Durante la primera mitad del tiempo t_z .

•/••

337798

16



La selección de lectura de la dirección x en DnR2;

La selección escrita de la dirección y en DtC3.

b) Durante la segunda mitad del tiempo tz:

La selección de lectura de la dirección y en DnC3.

430

La selección escrita de la dirección x en DnR2.

En el artículo antes citado, esta transferencia de datos bidireccional se efectúa en forma en serie.

Se ha descrito en la patente española nº. 323.787 titulada "Paso de conmutación múltiplex y sus circuitos asociados" J.G.

435

Dupieux P. Seneque 1.7, un procedimiento de búsqueda para una ranura de tiempo de canal tz en la que los enlaces JR2 y JC3 se liberan simultáneamente, de modo que la conexión podría establecerse en este tiempo. La presencia de los almacenes de datos, permite, cuando no existe

440

tal ranura de tiempo de canal, encontrar otra con tal de que por lo menos un canal esté libre en el enlace llamado, efectuándose esta búsqueda disponiendo de nuevo una o varias conexiones ya establecidas de acuerdo con las descripciones, en las patentes española nº. 252.771 titulada "Sistema de Telecomunicación automático" de E. Touraton - J.P. Le Corre 53.4 y nº 337.586 titulada "Mejoras en circuitos de sincronización" de J.G. Dupieux J.P. Le Corre - P. Seneque 2.8.8.

445

Los circuitos de sincronización JR2 y SC3 objeto del presente invento, se utilizan para corregir el efecto de las distorsiones producidas por el medio de transmisión y se describirán con relación a las figuras siguientes:

450

En el presente invento, la transferencia de datos entre enlaces de hilera y enlaces de columna, se efectúa en forma en paralelo y el tiempo de establecimiento de cada conexión es una ranura de tiempo de cifra. A este efecto, un número determinado de w grupos de enlaces G1, G2, G3 ... Gh ... Gw se ha constituido comprendiendo cada uno tantos enlaces como cifras comprende cada mensaje, ésto es, seis

455

./..



17.

337798

enlaces:

J1, J2 ... J6, Así, 24 x 6 conexiones pueden establecerse simultáneamente y el sistema se comporta, en el paso conmutador, en la misma forma que un sistema multiplex de 144 canales.

460 En cada grupo, se reserva una ranura de tiempo de cifra determinada para el tratamiento de cada uno de los enlaces, reservando se la ranura de tiempo de cifra m1 para el enlace J1, la ranura de tiempo de cifra m2 para el enlace J2, etc. Así, si se supone que la clave de sincronización se recibe en t24, sobre el enlace J3, el mensaje del canal 1 se tratará en t1. m3, el mensaje del canal 2 en t2.m3

465 ... etc.

Los almacenes de datos de enlace descritos con relación a la figura 2, se agrupan entonces en grupos de seis a fin de constituir un almacén de datos de grupo comprendiendo 144 líneas. Si V1, V2 ... V24 designa las direcciones de un almacén de datos de enlace, el almacén de datos de grupo comprenderá las direcciones V1.J1, V2.J1 ... V24.J1 reservadas al enlace J1 y seleccionadas por la señal de ranura de tiempo de cifra m1; V1.J2, V2.J2 ... V24.J2 reservadas al enlace J2 y seleccionadas por la señal de ranura de tiempo de cifra m2,

470 ... etc.

475 etc.

2 - Circuitos de enlace y grupo.

La figura 3 representa el diagrama de un circuito de enlace J_{Cn} asociado a la línea entrante L_n del enlace J_n que es parte de un grupo de seis enlaces que constituyen el circuito común G_{cb}.

480 La línea entrante L_n suministra, a través de una barrera 102 que puede ser bloqueada por una señal BE, a un repetidor regenerativo 101 de diseño convencional que suministra, en su salida 11, señales de mensaje normalizadas de una duración de 100 microsegundos y en su salida 12 señales de referencia y de factor de deber 0,5 que tienen el

485 promedio de frecuencia de las señales recibidas.

./..



Las señales de referencia se aplican a un selector de seis posiciones 113 que marca sucesivamente y cíclicamente uno de seis conductores de salida, suministrando así las señales k1 a K6 que cada una tiene una duración de una ranura de tiempo de cifra en el tiempo de enlace. El borde posterior de la señal K6 controla el avance de un selector de tres posiciones 112 que marca sucesivamente y cíclicamente uno de tres conductores de salida que suministran las señales g1, g2, g3. Las señales k1 a k6 se utilizan para seleccionar las columnas y las señales g1 a g3 se utilizan para seleccionar las líneas durante la escritura, en el corrector de fase 111, de las señales de mensaje normalizadas que aparecen en serie en la salida 11 del repetidor 101. Cuando el circuito funciona normalmente, se escribirá un mensaje de seis cifras en las seis células de memoria de una línea. La extracción de la información se efectúa en paralelo. Esto es, un mensaje almacenado en una línea de dicho corrector de fase 111 se extrae durante la ranura de tiempo de cifra mn asociada a este enlace. Para esto, el reloj CU (figura 2) está diseñado de tal modo que suministra, dividiendo por tres las señales mn, señales mn1, mn2, mn3 que controlan respectivamente la lectura de las líneas 1, 2 y 3 en la memoria 101; más concretamente, la lectura se efectúa en el tiempo mn.a (ranura de tiempo básico a de la ranura de tiempo de cifra mn).

Las señales de salida de la memoria se aplican al registrador 198 (figura 4) del circuito común del grupo GCh en donde están disponibles durante los tiempos b y c de la ranura de tiempo de cifra mn. El registrador 198, que se repone a cero en el tiempo d, es común a los seis enlaces de modo que, durante un período de cuadro, escribe sucesivamente un mensaje de cada uno de los canales de los seis enlaces del grupo. El contenido del registrador 198 se trasfiere al almacén de datos de grupo 200 en el tiempo mn (b + c) y se escribe en la dirección asignada al canal y al enlace de los que procede el mensaje.

337798

19.



je, suministrándose esta dirección por el circuito 150, como se verá posteriormente. Los contadores de los selectores 112 y 113 que deben poder modificar eventualmente la secuencia contadora, se describirán con detalle con relación a las figuras 16 a 19.

520

La selección de dirección de escritura para el almacén de datos de grupo 200 (figura 4), se obtiene descifrando una instrucción de dirección suministrada por el almacén de instrucción de grupo 151. Esta memoria comprende seis líneas leídas cíclicamente en la ranura de tiempo básica a por las señales m1 a m6 de modo que cada una de las líneas está asignada a uno de los enlaces del grupo. Cada clave leída se transfiere al registrador 156 en donde está disponible en los tiempos b y c. Esta clave de una parte se aplica al selector de línea de la memoria 200, y de otra parte al circuito 161 que suministra una clave mayor en una unidad que la clave que se le aplica. Esta nueva clave se escribe en el tiempo c sobre la línea de la memoria 151 que acababa de ser leída. Las diferentes claves que pueden escribirse en cada una de las líneas tendrá las referencias CV1 a CV24, proveyéndose circuito 161 para suministrar la clave CV1 cuando se le aplica la clave CV24.

525

530

535

El selector de línea de la memoria 200 recibe así las claves CV1 a CV24 así como las señales m1 a m6 y las combina de modo que suministra la 144 señales de selección V1.J1 a V24.J6 anteriormente definidas.

540

La selección de lectura en la memoria 200, se efectúa bajo el control de un almacén de circuito de tiempo similar al descrito con relación a la figura 2. Esta memoria cuya descripción queda fuera del alcance del presente invento, se ha mostrado en la figura 3, pero se observará que comprende 144 líneas en el caso que se considera. Los mensajes leídos se transmiten al conmutador sobre el grupo de conductores 22.

545



En cada circuito de enlace, la detección de la fluctuación se efectúa comparando, en el detector de fluctuación 130, (figuras 3 y 15), las señales en el tiempo de enlace kl a k6 suministradas por el selector 113 con las señales mnl a mn3 en el tiempo de la central.

550

Se obtiene así de acuerdo con el signo de la fluctuación una señal No ó Po que indica que la fluctuación ha alcanzado tal valor que es necesario intervenir para evitar que tenga lugar un error. Estas señales solo se utilizan durante las ranuras de tiempo de canal V1 a V19, por razones que se verán posteriormente y tienen las referencias N' y P'.

555

Esta información, elaborada en el circuito de enlace JCh, se transfiere al circuito 150 del circuito de grupo de enlace GCh. Se almacena en uno de los vaivenes N ó P del circuito 157 y se transfieren entonces a la memoria de error 152 que comprende tantas líneas como la memoria 151, efectuándose esta escritura en la línea asignada a este enlace.

560

Como se verá posteriormente, esta información de error se utiliza para efectuar la corrección de desviación que consiste en controlar, en el tiempo de selección de una dirección V20, V23 ó V24 (figura 4), una modificación del tiempo de escritura del mensaje en el corrector de fase 111 y el avance de la memoria de instrucción 151. A este efecto se extrae de la memoria de error 152 en la ranura de tiempo de cifra mn asignada al enlace que se considera y se aplica a los circuitos que elaboran la información de corrección de error y que comprenden de una parte dos vaivenes EA y ER (figura 3) colocados en el circuito de enlace JCh y de otra parte dos circuitos lógicos asociados al circuito 161 (figura 4) del circuito GCh que suministran señales MA y MR.

565

570

575

La detección de una falta de sincronización se hace comparando, en el circuito DS (figura 4) la clave de encuadramiento a los

./..

337798

21.



mensajes escritos en el registrador 198. El comparador DS suministra una señal \overline{DS} cuando el mensaje es diferente a la clave de encuadramiento, y para la condición $V24 \times \overline{DS} \times \overline{HSI}$, el vaivén S se coloca en el estado 1, suministra así una señal de "fallo de encuadramiento" que
580 tione la referencia F cuando una clave de encuadramiento CSy no coincide con una señal V24, transmitiéndose esta señal F al circuito común de encuadramiento de canal XCV (figuras 8 a 10). Se observará que este vaivén es común a los seis enlaces de un grupo, de modo que la presencia de una señal F caracteriza el hecho de que un enlace de este
585 grupo está desincronizado sin dar su identidad.

Los mensajes leídos en los correctores de fase que son las señales de salida del registrador 198 (figura 4) así como determinadas señales en el tiempo de enlace kl, K4, K5, K6 (figura 3), se transmiten también al circuito XCV.

590 La información recibida por el circuito XCV se utiliza para efectuar las operaciones de examinar la clave de encuadramiento, de investigar dicha clave y de comprobar, las cuales operaciones se describirán con relación a las figuras 8 a 10.

595 Cuando un enlace está desincronizado estas operaciones permiten encontrar la clave CSy y determinar su fluctuación de fase con respecto a la dirección de un mensaje en el corrector de fase. Esta información de fluctuación de fase permite la elaboración de señales de corrección de fase que se transmiten desde el circuito XCV al circuito de enlace Jcn.

600 3 - Sincronización de impulsos.

3.1. - Descripción general. Como se ha dicho anteriormente, la frecuencia F_j de las señales kl a k6 que es la frecuencia media de las señales recibidas sobre un enlace, Jn por ejemplo, no es exactamente igual a la frecuencia F_c de las señales ml a m6 suministradas
605 por el reloj de la central y que se utilizan para extraer la informa-



ción del corrector de fase 111 (figura 3). Las señales de mensaje se
 registran sucesivamente en las seis células de memoria de la línea 1,
 después en las seis células de la línea 2 y así sucesivamente. La se-
 lección de dirección se controla por las señales suministradas por
 los selectores 112 para las líneas y 113 para las columnas, como se
 ha descrito anteriormente. La información contenida en una línea se
 lee en forma en paralelo en el tiempo m_n asociado al onlazo J_n y, más
 concretamente, en el tiempo $m_n.a$. Como se ha dicho anteriormente, el
 reloj CU (figura 2) suministra señales m_{n1} , m_{n2} , m_{n3} que se utilizan
 para controlar sucesiva y cíclicamente la lectura de las líneas 1, 2
 y 3 de la memoria 111. Evidentemente una línea debe leerse después
 que se ha completado la lectura y antes de que se reciba nueva infor-
 mación.

Si la frecuencia F_C del reloj de la central es mayor que
 el promedio de frecuencia F_J de las señales en el onlazo J_n , ésto es,
 si $F_C > F_J$, queda entendido que, como promedio, se extrae más informa-
 ción de la memoria 111 de la escrita en la misma de modo que si hay
 una desviación, al comienzo, entre la ranura de tiempo de cifra reser-
 vada a la lectura de una línea dada y el tiempo en que la última señal
 (en $k6$) ha sido escrita en la misma línea, disminuye esta desviación.
 Por ejemplo, se supondrá que la ranura de tiempo de cifra m_{n1} en la
 que se lee la línea 1 coincide con la lectura en la cuarta célula de
 memoria de la línea 2 seleccionada por una señal $g2$. Si la diferen-
 cia entre la cuenta de las señales de las frecuencias F_J y F_C es de
 una unidad después de un segundo, la ranura de tiempo de cifra m_{n1}
 coincide entonces con la lectura en la tercer célula de memoria de la
 línea 2, y así sucesivamente.

3.2. - Detección de la fluctuación y almacenaje de error.

En el circuito según el invento se elabora una señal de
 fluctuación N_0 , en el caso de $F_C > F_J$, cuando se efectúa la lectura de

./..

337798

23.



una línea, por lo menos parcialmente durante el tiempo k_1 que sigue inmediatamente a continuación a la escritura en k_6 , en la última célula de memoria de esta línea. La comparación entre las señales H_C y H_J se efectúa solamente durante la lectura de la línea 1 del corrector de fase 111 y esta señal se elabora (circuito 130, figuras 3 a 15), para la condición:

$$N_o = g_2 \times k_1 \times m_1 \times a.$$

En el caso en que $F_G < F_J$ la variación entre la ranura de tiempo de cifra en la que se lee una línea dada y el tiempo en que la última línea ha sido escrita en k_6 , en la misma línea, aumenta y el número de cifras almacenadas en la memoria aumenta. Como la memoria tiene una capacidad limitada, esto es, tres líneas de 6 células de memoria cada una, el contenido de la línea 2 por ejemplo, se lee cuando el número de cifras escritas en la memoria llega a 17, mientras que la escritura de la línea 1 se completa. Si perdura la diferencia de frecuencia, la lectura de la línea 2 se efectuará cuando comience a escribirse en la línea nueva información.

En el circuito según el invento, se elabora una señal P_o cuando la ranura de tiempo de cifra m_2 en que se lee la línea 2 coincide por lo menos parcialmente con el tiempo k_6 en que tiene lugar la escritura en la sexta célula de memoria de la línea 1, esto es, $P_o = g_1 \times k_6 \times m_2 \times a$.

Por razones que se indicarán durante el estudio de la corrección de fluctuación y particularmente con referencia al encuadramiento de canal, las señales N_o y P_o se elaboran también para las siguientes condiciones lógicas, (véase la figura 15):

$$N_o = g_1 \times (k_4 + k_5 + k_6) \times m_1 \times a.$$

$$P_o = g_2 \times (k_1 + k_2 + k_3) \times m_2 \times a.$$

Las señales N_o y P_o se transmiten al circuito común GCh (figura 4) sólo durante los tiempos V_1 a V_{19} , utilizándose los tiempos

./..



V20 a V24 para corregir la fluctuación. Estas señales que entonces tienen la referencia N' y P' (figura 15), se aplican a los vaivones N y P , (figura 4), que constituyen el registrador de salida de la sección 152 de la memoria 150, en donde se mezclan a las señales de salida N'' y P'' de la memoria. El significado de estas señales es como sigue:

La condición $\overline{N}' \times \overline{P}''$ significa que debe efectuarse una corrección en el caso en que $F_C > F_J$.

La condición $\overline{N}'' \times P''$ significa que debe efectuarse una corrección en el caso en que $F_C < F_J$.

La condición $\overline{N}'' \times \overline{P}''$ significa que no hay que hacer ninguna corrección en el enlace en cuestión.

Se comprende que, debido a la mezcla de las señales N' y N'' de una parte y P' y P'' de otra, los vaivones N y P podrían en particular cuando $F_C = F_J$, conmutar ambos al estado 1, que corresponde a la condición lógica $N \times P$. Debido a la condición $N \times \overline{P} \times (b + c) \times \overline{V24}$ dispuesta a la entrada del amplificador 162, la condición $N \times P$ controla el bloqueo de la nueva escritura de la condición N en la línea correspondiente de la memoria. El resultado es, que en la lectura siguiente, la memoria suministra la condición $\overline{N}'' \times P''$ que controlará una corrección que haga que la condición $N' \times P'$ no vuelva a ocurrir.

En general, a partir del tiempo V20 sólo puede ocurrir las condiciones $\overline{N} \times P$, $N \times \overline{P}$ ó $\overline{N} \times \overline{P}$.

3.3. Corrección de fluctuación.

La información almacenada en este registrador se utiliza para controlar la corrección de fluctuación.

La figura 11 representa un número de diagramas de señal que aparecen durante esta operación, en el caso en que el registrador de salida de la memoria 152 está en la condición $N \times \overline{P}$, correspondiendo al caso en que $F_C > F_J$.

En esta figura se ha mostrado en la línea 11.1 las señales

./..

337798

25.



de salida de los selectores 113 y 112, en la línea 11.2 las señales de selección leídas del corrector de fase 111 y las direcciones de la memoria 200 a las que se transfieren los mensajes y en la línea 11.3 las señales No.

700

La condición N controla en $V23$ x mn la disposición al estado 1 del vaivón EAn (figura 3) que suministra una señal EAn representada en la línea 11.4, reponiéndose este vaivón a Q en $k4$. Se observará que mn coincide por lo menos parcialmente con $k1$ debido a que la condición necesaria para que tenga lugar la señal H_0 es $g2$ x $k1$ x $mn1$ x a , de modo que la señal EAn aparece por lo menos parcialmente durante el tiempo $k2$ y está ciertamente presente durante el tiempo $k3$. Esta señal se aplica al selector 112 que avanza entonces dos pasos al final de la señal $k6$ a continuación inmediata de la señal $K3$ que coincide con EAn , teniendo el tiempo en que ocurre este salto la referencia KA en el diagrama de la línea 11.1. El resultado es que, durante el tiempo $V23$, la señal $mn2$, por ejemplo, (lectura de la línea 2), coincide con la escritura en la primera célula de memoria de la línea 3, (condición $g3xk1$), la señal siguiente $mn3$ durante la cual se lee la línea 3 coincide, debido al salto KA , con la escritura en la célula de memoria — primera de la línea 2 (condición $g2xk1$), aumentando ósto el intervalo de tiempo entre la lectura y la escritura en un valor de seis ranuras de tiempo de cifra. En el caso que se considera, la señal EAn coincide con $V23$ y $mn2$ y el mensaje almacenado en la línea 2 del corrector de fase 111 se transfiere normalmente en la dirección $V23$. En de la memoria 200 y si no se interfiere en el proceso de elaboración de las direcciones de escritura en la memoria 200, el mensaje siguiente leído de la línea 3, se transfiere en la dirección $V24$. En y el leído de la línea 1 se transfiere en la dirección $V1$. Debido al salto impuesto al contador 112, el mensaje recibido sobre el canal $V1$ se escribe en la línea 2 en vez de ser escrito en la línea 1.

705

710

715

720

725

./..

337798

26.



A fin de tomar ósto en consideración, una señal IR (condición $N \times V24$) representada en la línea 11.5 actúa sobre el circuito de reescritura 161 de la memoria de instrucción 151 que suministra las direcciones de escritura en la memoria 200. Cuando la señal IR aparece (en el tiempo mn) el registrador 156 contiene la clave que corresponde a la dirección $V24$ en la memoria 200. El circuito 161 que controla, en ausencia de la señal IR, la nueva escritura en la memoria de la clave de dirección $CV2$ a continuación de $CV1$, en presencia de la señal IR, la escritura de una clave $CV25$ a la que no corresponde ninguna dirección en la memoria 200. Así, el contenido de la línea 1 del corrector de fase en el que no se ha escrito nada, no puede distorsionar la información recibida y se evita que tenga lugar una segunda señal $V24$ que podría distorsionar otros circuitos. El circuito 161 se provee para controlar la nueva escritura de la clave $CV1$ en respuesta a la recepción de la clave $CV25$ bajo el control de una señal IR. En el ciclo siguiente, la línea 2 del corrector de fase que contiene el mensaje recibido sobre el canal 1 se lee y este mensaje se escribe en la memoria 200 en la dirección $V1$ correcta dada por el registrador 156.

La figura 12 representa, en las líneas 12.1 a 12.6, un número de diagramas de señal que aparecen durante la corrección de fluctuación en el caso en que el registrador de salida de la memoria 152 esté en la condición $\bar{N} \times P$ que corresponde al caso en que $F_C \cdot F_J$. Esta condición controla la elaboración de una señal E situado el vaivón ER (diagrama 12.4) en el estado 1 para la condición $mn \times V20 \times P$ y de una señal HA para la condición $P \times V23$. En este caso, como se ha descrito anteriormente, la lectura de la línea 2 del corrector de fase (señal $mn2$) se efectúa mientras tiene lugar la escritura en la última célula de memoria de la línea 1. Aquella de entre las señales mn (por ejemplo $mn1$), que aparece al mismo tiempo que la señal $V20$ y controla entonces la lectura en la línea 1 del mensaje recibido desde el canal

./..

337798

27.



20, coincide así con el final de la escritura en la línea 3 del mensaje recibido desde el canal 22. La señal ER, que por lo menos aparece durante los tiempos siguientes:

760 kl.k2.k3, está presente durante la escritura en la línea 1 de la clave recibida desde el canal 23. Esta señal se aplica al selector 112 a fin de evitar su avance a la posición siguiente, de modo que el mensaje recibido sobre el canal V24 continúa dirigido hacia la línea 1 en la que el mensaje recibido del canal 23 acaba de ser escrito. De hecho, a fin de evitar que esta segunda escritura en la línea 1 distorsione el mensaje útil del canal V23, el selector 112 que se describirá con relación a la figura 18, elabora una señal BE (diagrama 12.5) que dura durante las seis ranuras de tiempo k1 a k6 durante las que se selecciona por segunda vez la línea 1. Esta señal BE bloquea la barrera electrónica 102 (Figura 3) de modo que la clave CSy recibida sobre el canal 24 no se escribe en el corrector de fase. Durante el tiempo V23, que es en este caso el tiempo de lectura de la línea 1 que contiene el mensaje del canal 23, se aplica la señal MA al circuito 161. Este circuito elabora, de la clave CV23 contenida en el registrador 156, la clave CV1 escrita en la memoria de instrucción 151. Durante el ciclo siguiente, 775 el mensaje recibido del canal 1 y almacenado en la línea 2, se transfiere a la dirección correcta en la memoria 200.

3.4 - Funcionamiento

Es entonces fácil determinar la diferencia de frecuencia permisible entre F_j y F_p a fin de que el sistema funcione sin pérdida de información durante la escritura en el almacén de datos de grupo 780 200, ésto es, a fin de que el mensaje recibido sobre el canal 1 a 23 se escriba en las direcciones correspondientes en esta memoria 200, no considerándose la pérdida de la clave de encuadramiento como pérdida de información. Se considerará el caso en que $F_c > F_j$ en el que aparece una 785 señal. No tan pronto como está presente la condición $g2x1xnlxa$ supo-

./..



niondo que esta señal se elabora cuando la primera mitad de la señal de ranura de tiempo básico a (ésto es, el primer octavo de la señal mn) coincide con kl. Está claro que la corrección controlada por la señal N que se inicia en V23 y se ejecuta en V24, debe completarse antes de que la actuación relativa entre las señales kl y mn sea tal que mnq (q = 1, 2, 3) coincida, aunque sea parcialmente, con la oscritura en k6 en la línea q. Esto implica que la fluctuación sea menor de 7/8 de la ranura de tiempo de cifra, entre el tiempo en que aparece la señal No y el tiempo en que se actúa la corrección. El mayor intervalo de tiempo entre estas dos operaciones tiene lugar cuando la coincidencia empieza en V20. En este caso, solo se obtiene una señal N durante el tiempo V1 y la corrección se ejecuta en el tiempo siguiente V24. Así, como máximo 27 x 6 = 162 ranuras de tiempo de cifra pasan entre la detección y la corrección y durante este intervalo de tiempo, la fluctuación se ha de ser inferior a 7/8 de la ranura de tiempo de cifra. Esto implica que la diferencia de frecuencia permanezca inferior a

$$F_C \frac{7}{162 \times 8} = \frac{F_C}{184} \text{ o } F_C = 1152 \text{ Kc}$$

una diferencia de frecuencia de aproximadamente 6,2 Kc. Un análisis de más exactitud que queda fuera del alcance de esta descripción, que tomase en consideración el hecho de que la señal N puede aparecer sólo una vez cada 18 ranuras de tiempo de cifra, conduciría a una cifra ligeramente inferior. Sin embargo, ha de observarse que la diferencia de frecuencia permisible es aproximadamente de $5 \cdot 10^{-3}$ mientras que las unidades de reloj utilizadas en la central que se considera, así como en la central situada al extremo del enlace, son fácilmente estabilizables dentro de 10^{-5} , de modo que la diferencia máxima entre los relojes básicos es $2 \cdot 10^{-5}$, conduciendo ésto a la reserva de una diferencia de $498 \cdot 10^{-6}$ para las fluctuaciones resultantes de los factores que afectan a la propagación. Por otra parte es fácil, en el circuito según el invento, aumentar la diferencia de frecuencia permisible elaborando

337798

29.



820 rando la señal No para la condición g2xk2xmxlxa o incluso: g2xk3xmxlx
ka en cuyo caso se alcanza una diferencia de frecuencia permisible de
aproximadamente $17 \cdot 10^{-3} \cdot F_C$. Sin embargo, ésto se obtiene a costa de un
aumento de la frecuencia de las correcciones en el caso en que el sig-
no de la diferencia de frecuencia cambio rápidamente debido a rápidas
variaciones de las condiciones de propagación.

825 Un análisis idéntico en el caso en que $F_C < F_J$ conduce a va-
lores del mismo orden, procediendo la única diferencia del hecho de
que la corrección es efectiva al comienzo del tiempo V22, conduciendo
ésto a una diferencia de frecuencia permisible de:

$$F_C \frac{8}{26 \times 6 \times 7} \approx \frac{F_C}{136} = 7 \cdot 10^{-3} F_C$$

Las mismas consideraciones sobre el posible aumento de la diferencia
de frecuencia permisible tienen lugar y en este caso la señal Po po-
dría obtenerse para la condición glxk5xmxn2xa ó glxk4xmxn2xa.

830

4. - Encuadramiento

4.1 - Circuitos de selección

835 La comprobación de la sincronización correcta de los cana-
les, que consiste en verificar, para cada enlace, que la clave de en-
cuadramiento está almacenada en la dirección correspondiente de la memo-
ria 200, se efectúa por un circuito de encuadramiento de canal XCV,
que se muestra en las figuras 6, 7, 8, 9 y 10 y es común a la totalidad
de los W grupos de enlaces de la central. A este fin, el circuito XCV
puede conectarse selectivamente a un grupo predeterminado y en este
grupo, un enlace dado, por medio del circuito de selección representa-
do en la figura 5 comprende los selectores GS y JS y las barreras de
840 selección SCl a SC9. El selector GS, que incluye tantos conductores de
salida como hay grupos de enlace, ésto es W, marca un conductor de sa-
lida que caracteriza el grupo conectado al circuito XCV. El selector JS
es del tipo de dos registradores JS1, JS2 y su descifrador JSD marca
845 uno de sus conductores de salida que caracteriza el enlace de grupo que



337798

debe conectarse al circuito XCV. El funcionamiento de este contador es bien conocido y se describirá solo brevemente. Cuando una clave que corresponde al número n está contenida en el registrador JS1 el terminal de salida asociado al enlace J_n se marca. Cuando la barrera —
 850 electrónica JS3 se abre, esta clave se aplica al circuito JS4 que suministra la clave correspondiente al número $n+1$ escrito en el registrador JS2. Cuando se abre la barrera electrónica JS5, la clave que corresponde al número $n+1$ se trasfiere al registrador JS1 de modo que el terminal de salida que corresponde al enlace J_{n+1} se marca entonces.

855 Si la clave utilizada dentro del contador es una clave cíclica tal como la mostrada en la tabla I, el circuito de transferencia S4 puede constituirse en una forma clásica por medio de un circuito que hace corresponder el número a_1, a_2, a_3 (siendo a_1, a_2, a_3 cifras binarias) al número $\overline{a_3}, a_1, a_2$ obtenido cambiando el número en un orden a la derecha, utilizándose la última cifra a la derecha de a_3 que se abandona, para la constitución de la primera cifra del nuevo número.
 860

T A B L A I

1	0	0	0
2	1	0	0
865 3	1	1	0
4	1	1	1
5	0	1	1
6	0	0	1

Cada uno de los circuitos de selección SC2, SC3, SC4, SC6 a SC9 está constituido por tantas barreras electrónicas como hay grupos de enlaces, éstos es, w barreras, estando los terminales de salida de estas barreras conectados en paralelo al circuito común XCV. Cada barrera está también conectada a un circuito de grupo, por ejemplo GCh, y es activada por la señal correspondiente Gh. Los circuitos SC1 y SC5 que conectan selectivamente el circuito XCV a un enlace dado de un gru
 870
 875
 875

./..

337798

31.



po, están controlados por las señales de salida de los sollectores GS
y JS. Un ejemplo de un circuito de selección SCj se ha mostrado en la
figura 13, en el caso de una central que comprende tres grupos de en-
laco. Este circuito comprende $3 \times 6 = 18$ terminales de entrada Jn.Gh
880 (n=1, ... 6; h=1,2,3) asociados a las 18 barreras Phn que constituyen
tres grupos de seis PG1, PG2, PG3. Las tres barreras P11, P12 y P16
han sido representadas y queda entendido de que, en general, la barro-
ra Phn que conecta el enlace Jn del grupo Gh al terminal de salida MV
del circuito SCj se activa cuando las señales Jn y Jh están presentes.
885 Los circuitos de selección SC1, SC3, SC4, SC8 y SC9 se utilizan para
la transferencia de la información hacia el circuito XCV. Los otros
circuitos se utilizan para la transferencia de información desde el
circuito XCV hacia el enlace ó circuitos de grupo. Se ha mostrado en
la figura 5, para mayor claridad, solo aquellas barreras de los cir-
890 cuitos SC1 a SC9 que se utilizan cuando el enlace Jn del grupo Gh se
conecta al circuito común XCV.

4.2 - Circuitos de control de tiempo

Por medio del circuito de selección, el circuito de encaua-
dramiento común XCV se conecta sucesivamente a cada uno de los grupos
de enlace y a cada enlace del grupo seleccionado. El funcionamiento
995 del circuito XCV está controlado por un programa de fasces KO a K9 elab-
orado por un circuito contador de fase PC representado en la figura
6 y que comprende un contador PC1 que cuenta desde cero a nueve, aso-
ciado al descifrador PC2 que suministra las señales de fase Q0 a Q9 so-
900 bre 10 conductores de salida. Un registrador PC3 al que se transfiere,
después de una ciortadomora, el contenido del contador PC1, está aso-
ciado a un descifrador que suministra señales Q'0 a Q'9 demoradas en
1 a 3 ranuras de tiempo básico con respecto a las señales correspon-
dientes Q0 a Q9. Por otra parte, por medio del circuito PC4, el conta-
905 dor puede situarse en las posiciones 3, 7 ó 9 independientemente de

./..



las señales que controlan su avance normal.

Se observará que dos de dichas disposiciones en Q9 se obtienen bajo el control de las señales T8 y T32 suministradas por el circuito de demora de tiempo TC (figura 7). Este circuito comprende un selector TC1 que avanza, excepto durante la fase Q0, una posición en cada tiempo t1 (condición $\overline{Q0} \times t1$), éste es, en cada período de cuadro. Suministra señales T8 y T32 respectivamente 8 y 32 períodos de cuadro después del comienzo de la fase Q1, estando estas señales disponibles durante un tiempo t2.

El circuito de encuadramiento común XCV comprende también medios para elaborar, desde las señales V24, las señales demoradas V'24, V1 y V'1 (circuito 300 figura 7), así como señales marcadoras del tiempo mn (tiempo reservado al enlace de selección Jn) denominadas A, A' y A'' (circuito 350 figura 7).

Los vaivones V'24, V1 y V'1 controlados en secuencia consecutiva, se utilizan para producir las tres señales demoradas V'24, V1 y V'1. Del mismo modo, los tres vaivones A', B, A'' también controlados en secuencia consecutiva, se utilizan para producir las tres señales marcadoras A', A, A''. Las señales A, A', A'' prácticamente continuas suministradas por estos vaivones durante la fase Q1, no se utilizan y solamente las ocho señales producidas cuando el selector de enlace JS se dotiona sobre el enlace Jn se han representado en la figura 14. Los circuitos de control común que controlan la elaboración de las señales de marcar, están provistos de tal modo que la señal A' (diagrama 14.3) aparece durante el tiempo a de la ranura de tiempo de cifra mn asociada al enlace seleccionado Jn así como durante los tiempos c y d de la ranura de tiempo de cifra m (n-1) que inmediatamente lo precede.

La señal A (diagrama 14.4) aparece durante el intervalo de tiempo mn (b+c) y la señal A'' (diagrama 14.5) durante el tiempo

337798

33.



mxrd.m (n+1)xa. Fuera de la faso Q1, las señales V24 (diagrama 14.2)
controlan la elaboración de las señales V'24 (diagrama 14.6), sólo
cuando la señal A está presente (condición $Q1x\Lambda xV24x0$ para disponer
el valvón V'24 en el estado 1), de modo que, durante todas las fases
940 excepto Q1, las señales V'24 (diagrama 14.6), V1 (diagrama 14.7) y
V'1 (diagrama 14.8), cuando existe, se obtienen la señal V24 asocia-
da con el enlace seleccionado Jn. La figura 14 muestra las relacio-
nos de tiempo entre las señales V24, V'24, V'1, V1, A, A', A'', duran-
te estas fases cuando el tiempo mn que se considera coincide con una
945 señal V24. En el caso opuesto, solo las señales A, A', A'' existen.

T A B L A II

<u>Fasos</u>	<u>Oporaciones</u>
Q0	Solcección de grupo cíclica y detección del grupo Gh.
Q1	Solcección de onlaco cíclica y detección del onlaco Gh.Jn.
950 Q2	Verificación de las clavos transferidas en la dirección V24.Jn (coincidencia o no coincidencia de la numeración)
Q3	Búsqueda de la clave CSy que proporciona el valor del cambio de clave CSy.
Q4	Almacenaje del valor del cambio y recuadro.
955 Q5	Primera parte de la corrección de cambio.
Q6	Segunda parte de la corrección de cambio.
Q7	Posición neutra.
Q8	Verificación de las clavos transferidas en la dirección V24.Jn (Coincidencia o no coincidencia de la numeración).
960 Q9	Final de la operación en el onlaco Gh.Jn (liberación general).

4.3. - Funcionamiento del circuito de sincronización de canal.

4.3.1 - Identificación de un onlaco desincronizado, (fa-
sos Q0 y Q1)

965 El funcionamiento del circuito XCV bajo el control de las
./..



señalos de fase Q0 a Q9 se describirá ahora, ostanto onumeradas las diforantes operaciones en la anterior tabla II.

970 So supondrá que el contador de fase PC acaba de situarse on la posición Q0 y que el selector GS suministra una señal on su salida Gh (veáso figura 5). El selector JS, figura 5, se ropono a la posición de arranque por la oscritura de la clave CJ1 para la condición Q'0 x d x m6 y en Q0xm1 el selector GS marca el grupo siguiente, ósto os, Gh.

975 Cada grupo de onlacos comprende medios para dotectar, on uno o varios onlacos del grupo, si la clave de encuadramiento CSy no se recibo on el tiempo correcto. Cuando ósto ocurre, el circuito de grupo señala este hecho al circuito XCV tan pronto comó se conecta el mismo, sin indicar, sin embargo, la identidad del onlaco que parece os tar fuera de sincronismo.

980 El dotector de clave de encuadramiento del circuito de grupo comprende un comparador DS (figura 4) que suministra una señal DS cuando la clave almacenada on el registrador 198 es idéntica a la clave CSy. Cuando, on el tiempo V24, no apareco señal DS, el vaivón F se sitúa on el estado 1, a no sor que el onlaco que se considera ostó ay riado, ósto es, que ha sido reconocido como imposible de sincronizar, on cuyo caso una señal HSL bloquea la disposición del vaivón F al esta do 1, (condición $\overline{DS}xV24x\overline{HSL}$). Se observará que este vaivón os común a los seis onlacos del grupo, de modo que la señal F indica que por lo menos uno de los onlacos del grupo está fuera de sincronismo, sin con 9 siderar aquellos que ostán avoriados.

990 El contador de fase PV avanza dosde Q9 a Q0 on m4 (condición Q'9xm4xb figura 6). Como se indica on la tabla II, la fase Q0 se utiliza para la búsqueda de un grupo Gh on el que por lo menos un onlace está fuera de sincronismo. El selector GS avanza on cada tiempo Q0xm1 y en particular, controla selectivamente a través de un circui...

337798

35.



do selección SC3, la aplicación al circuito XCV de la señal F, (si existe), procedente del circuito del grupo de enlace seleccionado. Tan pronto como en el curso de esta exploración se encuentra un grupo (por ejemplo Gh), que comprende un enlace de sincronizado (por ejemplo Jn), la condición Q'OxExn6xd dispone el contador de fase (figura 6) a la -
1000 condición Ql que se utiliza para identificar el primer enlace del grupo Gh (según el caso, el único), que parece desincronizado. El registrador JS2, repuesto a la posición J1 en Q'OxExn6xd muestra la clave que corresponde al enlace J1. Esta clave se transfiere en Qlxa al registrador JS1, de modo que el descifrador JSD suministra la señal J1 durante los tiempos b+c+d de mn, (véase figura 5). El contador JS avanza una posición en cada señal Qlxa y el enlace Jn se selecciona durante los tiempos b+c+d de mn. La señal Gh controla (a través del circuito de selección SC4 figura 5), la transferencia, hacia el circuito 370 (figura 8) de las claves contenidas en el registrador 198 (figura 4), escribiéndose estas claves también en el almacén de mensaje de grupo 200, (figura 4), en la dirección dada por la memoria de instrucción 151.

Todos los enlaces de un grupo se seleccionan en seis períodos de cuadro, pero es posible que el enlace no desincronizado se detecte aunque exista una señal F, pues esta señal podría haber sido elaborada en la recepción de una clave CSy temporalmente distorsionada. A fin de evitar que el selector de enlace seleccione indefinidamente los enlaces del grupo Gh y así bloquee el desarrollo del programa de encuadramiento, la señal T8 suministrada por el circuito de demora de tiempo TC (figura 7), controla, en el octavo período de cuadro de la fase Ql, la disposición en la posición Q9 del contador de fase.

4.3.2 - Primera comprobación de las claves recibidas en V24 (fase Q2).

La clave contenida en el registrador 198 se transfiere, en el tiempo QlxV24x(b+c), al registrador RG1 (figura 8), que se repone

./..



a 0 on Qlxa y se aplica al descifrador Dd que la compara con la clave de encuadramiento escrita permanentemente en el mismo. Este descifrador suministra una señal de cuando la clave recibida es la clave de - encuadramiento CSy.

- 1030 Si el enlace Jn está desincronizado, la señal de no aparece y la condición $Qlxd\bar{o}xV'24xd$ dispone el vaivón S2 situado en el circuito 348 (figura 8) al estado 1. La señal V'24 (véase diagrama 7.1) está presente en los tiempos d y a y controla la disposición del contador de fase a la posición Q2, (condición $Q'lxaxS2x\bar{H}s$), con tal de que el enlace Jn no tenga avería, (condición $\bar{H}s$). La señal S2 bloquea el selector JS (figura 5) que no recibirá más impulsos de avance Qlxn6 de modo que el enlace Jn permanece seleccionado. El estado 1 del vaivón S2 se transfiere al vaivón S3 colocado en el circuito 390 (figura 9), bajo el control de la condición lógica $Q2xVlxS2xc$. El vaivón S3 se ha repuesto a cero en Vlx b y el vaivón S2 se repone a cero en $Q2xV'1xd$.
- 1035
- 1040

La condición lógica S3 significa que el enlace Jn del grupo Gh se ha encontrado una vez fuera de sincronismo. El vaivón S2 que está en el estado 0 está entonces dispuesto para mostrar el resultado de la prueba en el tiempo V24 siguiente.

- 1045 El contador RC (figura 9) es del mismo tipo que el contador JS (figura 5) y comprende dos registradores RC1 y RC2, un descifrador DR, un circuito de control común RC3 idéntico al circuito de control común JS4 (figura 5) y las barreras electrónicas RC4 y RC5. Los dos registradores se han liberado al final de ciclo precedente (condición $Q9xc$), de modo que el descifrador DR suministra la señal Ro. Para la condición $Q2x(b+c)$ la clave CRo que corresponde a esta señal Ro se transfiere a la barrera RC5 y el circuito RC3 al registrador RC1 que muestra entonces la clave RC1 correspondiente a la señal, Rl.
- 1050

- 1055 En el tiempo V24 siguiente asociado al enlace Jn, el contenido del registrador 198 (figura 4), se transfiere al registrador RGl

337798



37.

(figura 8) por la condición lógica $Q2xV24x(b+c)$. El hecho de que este tiempo $V24$ no concierne al enlace Jn se deriva de la presencia de la señal A que aparece en m ($b+c$). Si la clave escrita en el registrador $R1$ no es la clave CSy , la ausencia de señal la controla la disposición del vaivón $S2$ en la condición 1 (condición $Q2xA''xdoxV24x$). También en este caso, la señal A'' significa que la señal $V'24$ no concierne al enlace Jn .

El hecho de que estos vaivones $S2$ y $S3$ estén ambos en el estado 1 significa que el enlace que se considera (Jn del grupo Gh) ha sido encontrado desincronizado en dos tiempos $V24$ sucesivos.

La condición $(Q2+Q3)xS2xS3xV'24xa=H1$ (circuito 400 figura 9) que se aplica al circuito AND $RC4$, controla la transferencia de la clave $CR1$ al registrador $RC2$ (figura 8), mientras que la clave $RC2$ se escribe en el registrador $R1$ en $Q2x(b+c)$.

El vaivón $S3$ se repono al estado 0 en $V1xb$. El estado del vaivón $S2$ se transfiere al vaivón $S3$ (condición $Q2xV1xS2xc$) y el vaivón $S2$ se repono a 0 en $Q2xV'1xd$.

El descifrador DR suministra la señal $R1$ indicando así, debido a la presencia de una señal $S2$, que una clave diferente de la clave CSy ha sido recibida durante la fase $Q2$. Durante el siguiente período de cuadro, se repite la operación y si la clave recibida en $Q2xAxV24x(b+c)$ no es la clave CSy , el contador avanza un paso y el descifrador suministra la señal $R2$. Durante el tercer período de cuadro de la fase $Q2$, el descifrador avanza un paso si la clave recibida no es la clave CSy y suministra la señal $R3$. La condición $R3xS2$ caracteriza el hecho de que las claves recibidas durante estos tres períodos de cuadro sucesivos de la fase $Q2$ en el tiempo $V24$ asociado al enlace Jn , son diferentes de la clave CSy . Una operación en enquadramiento en el enlace Jn debe efectuarse y el contador de fase PC avanza a la posición $Q3$ para la condición $Q'2xR3xS2xa$. Se observará que la señal $R3$ está



disponible desde el tiempo V'24xb y la señal S2 dura por lo menos hasta V'1xd. El vaivén S2 se repone al estado 0 y en Q3xd y el vaivén S3 en Q3xa. El contador RC (figura 9) se repondrá a la posición Ro en Q9xc al final del ciclo.

1090

Por otra parte, después de la recepción, en el tiempo V24 asociado al enlace Jn de una clave diferente a la clave CSy, los vaivenes S2 y S3 están respectivamente en la posición 0 y 1 después del tiempo Q2xV'1xd (reposición a 0 de S2 figura 8). Si en el tiempo siguiente V24 asociado al enlace Jn, la clave recibida es la clave CSy, el descifrador Dd (figura 8), suministra una señal de modo que el vaivén S2 permanece en el estado 0. En el tiempo V'24 siguiente, la condición (Q2+Q8)xS2xS3xV'24xa=H2 (circuito 400 figura 9), controla la disposición a la posición Ro del contador RC y en el tiempo siguiente b+c, la condición Q2x(b+c) controla la escritura de la clave GR1 en el registrador RC1. Se está así dispuesto para comenzar de nuevo un ciclo de comprobación, reponiéndose los vaivenes S2 y S3 a 0 como anteriormente.

1095

1100

Es así posible que el contador RC se sitúe muchas veces sucesivamente en la posición Ro y que pueda alcanzar la posición R3. A fin de evitar que el circuito KCV permanezca bloqueado en un enlace averiado, la señal T32 suministrada por el circuito de demora de tiempo TC (figura 7), controla la disposición del contador de fase en la posición Q9 (condición Q'2xT32xm4xb figura 6) y el vaivén HS' (circuito 400 figura 9), se pone en el estado 1 para la condición Q9xT32xA'xc (figura 9). Los vaivenes S2 y S3 se reponen al estado 0 (condición Q9xd, figura 8 y Q9xa, figura 9). Los registradores RG1 y RG2 se liberan (condiciones Q9xa y Q9xc respectivamente, figura 8), así como el contador RC (condición Q9xc, figura 9). La señal HS', que termina en Axb se utiliza para situar en estado 1 el vaivén HS (circuito común de grupo GCh, circuito 157, figura 4), que controla la escritura de un 1

1110

1115

337798

39.



1120 en la línea de la memoria de avería 153 asociada al enlace Jn. Durante las lecturas siguientes de esta línea, el vaivén HSl se pone en estado 1 y la señal HSl indica que el enlace Jn está averiado. Esta señal, que dura hasta el tiempo d, se extiende al vaivén HS (figura 6), cuya señal de salida HS dura dos ranuras de tiempo básico d+a.

Puede suceder que el circuito de comprobación 347 suministre en Q1 una señal do que corresponda a un enlace sincronizado correctamente, en el que una clave CS y ha sido distorsionada o a un enlace con avería que aún no ha sido detectada.

1125 Los procedimientos de funcionamiento descritos funcionan como se ha indicado en tanto se reciban señales \overline{do} . La primera señal do que aparece antes de que el contador RC alcance la posición Ro controla, por una señal H2 la reposición de este contador a la posición Ro, estando los vaivenes S2 y S3 en el estado 0 desde V1xc. Si el descifrador Dd (figura 8), suministra después tres señales do sucesivas, los vaivenes S2 y S3 permanecen en estado 0 y, en cada tiempo V'24, aparece una señal $H1 = \overline{S2} \times \overline{S3} \times V'24xa$ (figura 9). La tercera señal H1 dispone el contador RC a la posición R3 y la condición $\overline{S2} \times R3$ indica que el enlace está correctamente sincronizado. El contador de fase PC (figura 6) lo sitúa en la posición Q9 (condición $Q2 \times \overline{S2} \times R3xb$) y los circuitos se liberan como se ha mencionado.

1130

1135

El contador de fase se sitúa en la posición Q0 para la condición $Q'9xm4xb$ y entonces está dispuesto a reanudar un ciclo de funcionamiento que comenzará en $Q'0xdxm6$ tan pronto como aparezca una señal F indicando que un enlace está fuera de sincronismo.

1140

4.3.3. - Búsqueda de la clave de encuadramiento. (Fase Q3)

Como se ha visto anteriormente cuando se ha detectado un enlace fuera de sincronismo, el contador de fase se sitúa en la posición Q3 durante la cual se busca una clave CSy constituida por seis cifras consecutivas, entre las señales recibidas en el enlace Jn. Para

1145

337798

40.



1150 esto, las señales recibidas en el tiempo m_n , esto es en A, se transfie-
 ren, para la condición $Q_3 \times A (b+c)$ al registrador RG1 donde permanecen
 hasta el siguiente tiempo A' (condición $Q_3 \times A' \times a$). En el tiempo A'xd
 que sigue a esta transferencia, la clave contenida en el registrador
 RG1 se transfiere al registrador RG2. El resultado es que doce cifras
 consecutivas x_1 a x_{12} recibidas sobre el onlance J_n están disponibles
 en cada período de cuadro. Como estas cifras reciben referencias en
 su orden de recepción, el registrador RG2 contiene las cifras x_1 a x_6
 1155 y el registrador RG1 las cifras x_7 a x_{12} . Permanecen escritas en los
 registradores desde el tiempo m_{n+c} hasta el tiempo siguiente $m^{(n+1)} \times b$
 y se aplican al circuito Dd que suministra una señal de cambio d_j ($j=$
 $0 \dots 5$), cuando j cifras sucesivas de la clave CSy están contenidas en
 los dos registradores RG1 y RG2. El circuito Dd está en realidad cons-
 tituído por seis comparadores idénticos, a los que se aplica de una
 1160 parte la clave CSy y de otra parte, seis cifras consecutivas de entre
 las cifras x_1 a x_{12} . Así las seis cifras x_1 a x_6 se aplican al compa-
 rador que suministra la señal d_0 y, en general, las seis cifras x_{7-j}
 a x_{12-j} se aplican al comparador que suministra la señal d_j . Si apare-
 ce una señal d_j , controla el avance del contador de fase desde Q_3 a Q_4 .
 1165 (condición $Q'3 \times A'' \times a \times d$, con $\Delta = d_0 + d_1 + d_2 + d_3 + d_4 + d_5$). La información conte-
 nida en los registradores RG1 y RG2 permanece escrita.

4.3.4. - Almacenaje del valor del cambio y recuadro. (fase
Q4)

1170 La fase Q4 se utiliza para registrar la amplitud del cam-
 bio de la clave CSy con respecto al tiempo de escritura de los canales
 en el corrector de fase lll (figura 3) y para efectuar la operación de
 recuadro teniendo los circuitos implicados la referencia 420 (figura
 10).

1175 En $Q_4 \times A' \times d$ la señal de cambio d_j se transmite al circuito
 430 (figura 10) que comprende el cifrador DCd que suministra la clave

./..

337798

41.



Cj correspondiente al registrador RCd en que está escrita. Por otra parte, en Q4xA'xa el vaivén SC de recuadro (circuito 443 figura 10), se dispone en el estado 1 y la señal ST se transmite al circuito 161 (figura 4) donde controla la escritura, en la memoria 151 de la clave CV2. Como la memoria 150 atiende en este momento a la línea asociada al enlace Jn caracterizado por la señal A', esta clave CV2 controlará durante el ciclo siguiente la escritura del mensaje contenido en el registrador 198 en la dirección V2Jn de la memoria 200.

Esta fase dura solo un período de cuadro y se tiene: Q5= Q'4xAxb.

4.3.5. - Corrección del cambio.

Las dos fases siguientes Q5 y Q6 se utilizan para efectuar la corrección del cambio en el caso en que el circuito Dd (figura 8) suministre una señal que no sea la señal do. Esta corrección consiste en modificar por una unidad, tantas veces como sea necesario la selección de dirección escrita en el corrector de fase 111 (figura 3), a fin de que las seis señales de un mensaje sean finalmente escritas en la línea asignada a las mismas en la memoria 200.

La corrección del cambio está controlada por las señales EQ a E7 suministradas por el circuito 441 (figura 10). Este circuito comprende un contador RE asociado al descifrador DE y al selector DE', suministrando estos dos elementos respectivamente señales normales EQ a E7 (obtenidas de las claves CEQ a CE7 escritas en el contador), y señales retardadas E'0 a E'7 utilizadas en el circuito 442 para controlar el avance del contador.

Las claves suministradas por los circuitos 430 y 491 se aplican al circuito 450 (figura 10) que comprende el comparador RK que suministra una señal U'2 cuando dichas claves son idénticas y una señal U'1 cuando son diferentes. Estas señales están disponibles en las salidas U2 y U1 respectivamente durante las fases Q5, Q6, Q7, y Q8, Q9

337798

42.



Se observará que las señales que controlan el avance del contador RE están condicionadas por las señales kl en el tiempo del enlace Jn, enviándose dichas señales, así como las señales k4 y k5, al circuito XCV por medio del selector SCL (figura 5) controlado por las señales Gh y Jn.

Al comienzo de la fase Q5 el contador RE muestra la clave CEO (control efectuado en Q9 x c) y los descifradores DE, DE' suministran las señales EO y E'O.

La ejecución de la corrección del cambio se estudiará ahora en los casos en que $j=0, j=1, 2 \text{ ó } 3$ y $j=4 \text{ ó } 5$. Se recordará que el hecho de que el circuito Dd suministre una señal que no sea do, significa que la clave CSy está escrita en dos líneas del corrector de fase III del enlace Jn. Se efectúa entonces una corrección del cambio de tal modo que esta clave se escribe completamente en una línea y el contenido de esta línea se transfiere a su dirección correcta en la memoria 200.

4.3.5.1. - Corrección del cambio para $dj=do$.

El comparador suministra entonces inmediatamente una señal U'2 y una se obtiene señal $U2=Q5xU'2$ que controla primero la escritura de la clave CEO en el contador RE (Condición $Q5xU2xk5$) y segundo la disposición del contador de fase directamente en la posición Q7 (condición $Q'5xU2xk6$).

Es necesario observar que la señal do, indica que la clave CSy coincide exactamente con la ranura de tiempo de canal, ósto es, está escrita completamente en una línea de la memoria III del enlace Jn, aparece durante la transferencia a la memoria 200 de esta clave y que la señal ST que controla el recuadro (escritura de la clave CV2 en la memoria 151), aparece durante la transferencia en la memoria 200 de la clave CVL. En el ciclo siguiente, la clave CV2 estará así escrita correctamente en la dirección que corresponde al mensaje recibido.

./..

337798

43.



TABLA III

	Ranura de tiempo mn de cifra leída	Corrector de fase						Dirección seleccionada en la memoria - 200	
		Dirección de la información almacenada							
		Línea	Columna						
		1	2	3	4	5	6		
	M1	1				S1	S2	S3	
1240	M2	2	S4	S5	S6	11	12	13	
	M3	3	14	15	16	21	22	23	
	M4	1	24	25	26	31	32	33	V2.Jn
	M5	2	34	35	36	41	42	43	V3.Jn
	M6	3	14	45	46	51		52	V4.Jn
	M7	1	53	54	55	56		61	V5.Jn
	M8	2	62	63	64	65		66	V6.Jn
1245	M9	3	71	72	73	74	75	76	V7.Jn
	Tiempo de escritura sin corrección		k1	k2	k3	k4	k5	k6	
1250	Tiempo de ocurrencia de la señal mn (MNI a M9)								

4.3.5.2. - Corrección del cambio para dj=d1, d2 ó d3.

La presencia de tal señal, por ejemplo una señal d3, en la salida correspondiente del circuito Dd, significa que las dos partes de un mensaje están escritas en dos líneas consecutivas del corrector de fase como puede verse por la tabla III. De hecho se ha mostrado en la tabla la información escrita en esta memoria desde el tiempo en que se reconoció que seis cifras sucesivas S1 a S6 recibidas en el enlace Jn constituían una clave CSy. Los impulsos recibidos posteriormente tienen las referencias 11, 12 ... 24, 25, etc., caracterizando la primera cifra de cada referencia el canal y caracterizando la segunda el número de orden del impulso en el canal. Las ranuras de tiempo de cifras sucesivas mn durante las que se efectúa la lectura del corrector de fase, tienen las referencias M1, M2 ... M9, siendo la ranura de tiempo de cifra M1, aquellas durante la cual se lee la línea 1 en la que está escrito el impulso S1.

./..



Por último, la parte inferior de la tabla muestra las señales de escritura k_1 a k_6 suministradas por el selector 113 en ausencia de corrección del cambio.

1270 La señal D3 aparece en la ranura de tiempo básico A_{xc} de la Ranura de tiempo de cifra M2 así como la señal Δ y la condición lógica $K'3x\Delta xA''xd$ controla entonces el avance del contador PC que se establece en la posición Q4 en $A''xd$.

1275 Las operaciones descritas se efectúan en Q4 y la señal de fase Q5 se elabora para la condición $Q'4xAxb$ de modo que esta señal se establece en M3.

1280 La condición $E'oxk_lxQ_5$ (figura 10) sitúa la contador RE en la posición E1 y una señal de corrección de cambio SH que aparece en $Q_5xE_lxk_4$ (circuitos 443 figura 10), se envía al selector de columna 113 de la memoria 111 a través del circuito SC5 (figura 5). Deberá observarse que las señales k_1 a k_6 que están en el tiempo de enlace J_n , no tienen una relación de fase bien definida con las señales m_1 a m_6 . Son sin embargo prácticamente de la misma duración y se asegura que la señal k_1 aparece entre M3 y M4 y lo más tarde en M4 y que la señal de corrección de cambio aparece tres ranuras de tiempo de cifra después. 1285 ($Q_5xE_lxk_4$). Puede asegurarse que la señal de corrección actúa sobre el circuito 113 en M4 y se supondrá, a modo de ejemplo, que interfiere - posteriormente.

1290 En M4 las señales procedentes de la línea 1 se escriben así en la memoria 200 en la dirección $V_2.J_n$ y no se hace corrección. A fin de particularizar este ejemplo, se supondrá también que la ranura de tiempo de cifra m_n coincide con la ranura de tiempo k_2 en el enlace, o solapa las ranuras de tiempo k_2 y k_3 , como se muestra en la última línea de la tabla 3 y que, cuando la línea 1 se lee en M_4x_a , las señales recibidas en la línea 3 (señales que serán leídas en M6) están siendo escritas. La señal de corrección SH que aparece en k_4 , poco después de 1295

337798

45:



M4, se aplica la selector 113 mientras este solocciona la columna 4.

Bajo la influencia de esta señal el selector 113 salta de la posición k4 a la posición k6, de modo que la señal 352 (segundo impulso de clave del canal 5), se escribe en la columna 6 de la memoria 111.

1300

Después de la colocación del contador RE en la posición E1 el comparador RK aún suministra una señal U'1 de modo que la señal k1 siguiente, controla la colocación del contador en la posición E2 y aparece una nueva señal SH en la ranura de tiempo k4 (condición $Q5 \times E2 \times k4$), figura 10). Mientras tanto, el contenido de la línea 2 de la memoria

1305

111 se transfiere, en M5, a la memoria 200 y lo escrito en la línea 1 (señales que se leerán en M7, se transporta como anteriormente con un avance desde la columna 5 a la columna 6 (ver table 3). La operación

1310

procede en la misma forma en tanto que el comparador RK continúe suministrando una señal U'1, ósto es, en tanto que el número de saltos desde la posición k4 a la posición k6 no sea igual al número contenido en el registrador RCd. De acuerdo con la relación de fase considerada entre las señales k1 a k6 y n1 a n6, una señal k1 que sitúa el contador

1315

RE en la posición E3, aparece aproximadamente una ranura de tiempo de cifra delante de la señal m6 que controla la transferencia de la línea 3 en la dirección V4.Jn de la memoria 200. El comparador RK suministra entonces una señal U'2 que indica que el contador RE muestra el mismo número que el registrador RCd.

4.3.5.3. - Corrección del cambio para dj=d4 ó d5.

1320

En este caso, cuando el contador RE está en la posición E3, el comparador RK4 suministra una señal U'1 que indique que es necesario transmitir una o dos señales SH adicionales.

1325

Esta corrección adicional se efectúa durante la fase Q6 que se elabora con una demora de algo menos de un período de cuadro con respecto a la fase Q5 ($Q6=Q'5 \times V'24 \times U1 \times d$) por razones que se darán al final de esta descripción.

./..



La señal E'3 controla la posición del contador RE a la posición E4 y la clave correspondiente CE4 es diferente de la clave CD4 y CD5, de modo que el circuito 450 suministra otra señal U1 y se vé que esta señal no puede controlar el avance del contador durante la fase Q5.

1330

Como se ha visto anteriormente, la fase Q6 se establece al final del período de cuadro y el contador RE se dispone en la posición E5 y se tiene una señal U2 para $d_j=d_4$. Para $d_j=d_5$ se dispone posteriormente a la posición E6 y la señal U2 aparece en esta ranura de tiempo de cifra. Cada una de estas dos posiciones controla la elaboración de una señal SH en la ranura de tiempo k4.

1335

Se ha visto que la corrección de cambio se efectúa modificando en una unidad, 1, 2 ó 3 veces consecutivas el avance del selector 113 al comienzo de un período de cuadro, siendo esta modificación equivalente a una fluctuación negativa.

1340

Cuando la fluctuación entre las señales comparadas con el circuito 130 (figuras 3 y 15) es positivo, esta corrección retarda el tiempo de detección de error y no existe ningún riesgo de distorsionar el funcionamiento de los circuitos.

1345

Cuando la fluctuación es negativa y el circuito 130 está próximo a detectar un error, por ejemplo, coincidencia entre las señales m1a y g2xkl, la corrección de cambio introduce repentinamente una fluctuación negativa adicional de 1, 2 ó 3 ranuras de tiempo de cifra y en el tiempo siguiente de medición, la señal m1a coincide con las señales k6xgl, k5xgl ó k4xgl. Este es el caso en que ocurrirá una pérdida de información así como un error de escritura en el almacén de instrucción.

1350

La pérdida no puede ser evitada pero el error de escritura queda compensado elaborando una señal de error para la condición:

$$N_0 = g1(k4+k5+k6)xanlxa).$$

1355

Esto ocurre también para la coincidencia, antes de una co-

337798

47.



corrección de cambio entre m_{lx} , y:

g_{2xk1} para $d_j=d_2$.

g_{2xk2} para $d_j=d_1$.

1360 Por otra parte, la fluctuación entre el tiempo de enlace y el tiempo de la central puede ser muy importante durante el arranque de la central y, a fin de acelerar la sincronización, se elabora una señal de error para la condición:

$$P_o = g_{2x}(k_1 + k_2 + k_3) x m_{2x} a.$$

4.3.6. - Segunda comprobación de las claves recibidas en

1365 V.24.

La ocurrencia de una señal U2 cambia el contador de fase desde Q5 a Q7 (condición Q'5 x U2 xk6). Al comienzo de la fase Q7, se completan las operaciones de corrección del cambio enviando una señal (condición E3xQ7xk4) que controla un salto durante la escritura de la línea 2 (estas señales serán leídas en M8) como aparece en la tabla III).

1370 La fase Q7 es transitoria e inmediatamente después del final del período de cuadro, el contador de fase se sitúa en Q8 (condición Q7xV'24 xd).

1375 Durante la fase Q8 se efectúa de nuevo una comprobación de encuadramiento idéntica a la efectuada durante la fase Q2 y, al comienzo de la operación, los vaivones S2 y S3 están en el estado 0. Se observará que todas las operaciones efectuadas por los circuitos RG1, RG2, Dd, S2 y S3 (figuras 8 y 9) y por el contador RG (figura 9) durante la fase Q2, se efectúan también durante la fase Q8. Si la operación de encuadramiento efectuada desde Q2 a Q7 ha funcionado correctamente la señal de se recibe tres veces, el contador RC se sitúa en la posición R3 y el vaivón S2 en el estado 0. La condición R3xS2 significa que la clave CSy es adecuada. El contador de fase se dispone entonces en Q9 (condición Q'8xR3xS2xb) durante la cual todos los circui

1385

./..



1390 tos de encuadramiento se reponen a la posición de reposo, así como el vaivén F el cual, cuando en el estado 1, controló el bloqueo del circuito de sincronización del grupo Gh. En Q9xm4xb el contador de fase se sitúa en la posición KO en la que el selector GS (figura 5) avanza un paso (condición KOxmnl que selecciona el grupo Gh+1) y el contador JS se repono a la posición ca que suministra una señal J1 (condición Q'Oxdxm6). El circuito de sincronización está entonces dispuesto para efectuar una nueva operación de encuadramiento.

1395 Si la condición R3xS2 se cumple, quiero decir que la clave encontrada no es la clave GSy y se establece la fase Q3 (condición Q'8xS2xR3xb) y las operaciones descritas anteriormente se repiten de nuevo.

1400 A fin de evitar que el circuito XCV se bloquee en un enlace particularmente distorsionado, la señal de demora de tiempo T32 controla la posición directa del contador de fase en Q9 (condición T32x Q'8xm4xb), y el enlace se sitúa en la posición de avería, como se ha explicado anteriormente (vaivén HS' en el estado 1 para la condición Q9xT32xA'xc).

5. - Selectores de control de un corrector de fase.

1405

TABLA IV

Selector de línea		Selector de columna					
Señal	Clave		Señal	Clave			
	B1	B2		B3	B4	B5	
1410 g1	0	0	k1	0	0	0	
			k2	0	0	1	
			k3	0	1	1	
g2	0	1	k4	1	1	1	
			k5	1	0	1	
g3	1	1	k6	1	0	0	

1415

337798

49.



Se describirá ahora con relación a las figuras 16 y 19 los contadores que constituyen, asociados con descifradores, el selector de línea 112 y el selector de columna 113 del corrector de fase 111. Las claves a que corresponden las señales g_1, g_2, g_3 y k_1 a k_6 se --
1420 muestran en la tabla IV.

Cada una de las cifras de estas claves se obtiene de un paso contador que comprende un vaivén 230 y un circuito de control 240, (figura 16), al que se aplican señales preparadoras SP y señales ejecutivas SV de polaridad negativa (diagramas 17.2 y 17.3), así como
1425 señales de control SC de polaridad positiva (diagramas 17.4. y 17.5.). Se admitirá que el vaivén está en el estado 1 (o en el estado 0) cuando un potencial $+V$ aparece en la salida K (ó \bar{K}) ósto es cuando el -- transistor 232 (231) está saturado.

Se supondrá que en la ranura de tiempo k_2 de una ranura de tiempo de canal G1 (ostando todos estos tiempos en el tiempo de enlace HJ), el vaivén 230 está en el estado 0 y que los condensadores 241 y 242 no tienen carga: ($V_B' - V_A' = 0, V_D' - V_C' = 0$). La base del transistor 231 está a un potencial ligeramente diferente del de tierra y el diodo 237 no conduce cualquiera que sea el potencial V_A' del punto A'.
1430

En este tiempo k_2 , se tiene $V_A = V_B = V_E = +V$. El diodo 247 está bloqueado y $V_B'' = +V$. Por lo tanto, los diodos 245 y 251 así como el -- diodo 243 no conducen y el condensador 241 permanece descargado.
1435

En k_3 , $V_A = 0, V_B = V_E = +V$. El diodo 247 sigue bloqueado pero pasa una corriente a través de los elementos 249, 251, 241, 243, (siendo los diodos 251 y 243 conductivos) y el condensador 241 está cargado a un potencial $V_B' - V_A' = +V$, (ver diagrama 17.6). Como la constante de tiempo de carga se selecciona de modo que el condensador alcance la carga requerida antes del final de la ranura de tiempo k_3 , al final de este tiempo se tiene: $V_A' = 0, V_B' = +V$.
1440

Por el contrario, si una señal SCl no está presente en k_3 ,
1445

./..



el diodo 247 ya no está bloqueado y el condensador 241 permanece descargado.

1450 Se vé así que la señal SP controla la carga del condensador asociado al transistor saturado, si una señal de control SCI está presente simultáneamente.

En k4, $V_A = V_B = +V$, $V_E = 0$. Como $V_A' = 0$ el diodo 243 está bloqueado. El diodo 247 es conductivo y $V_B'' = 0$. Los diodos 245 y 251 no conducen ya que $V_B > V_B''$ y el potencial V_B' permanece igual a $+V$.

En k5 y k6, los potenciales de control no se modifican.

1455 En k1 de la ranura de tiempo G2 se tiene: $V_A = +V$, $V_B = V_E = 0$. Los diodos 245, 247, 251 conducen y $V_B = 0$. El potencial de este punto se hace así más negativo en V voltios lo mismo que el del punto A', permaneciendo bloqueado el diodo 243.

1460 El condensador 241 comienza así a descargar y pasa una corriente en la dirección de la flecha 49 a través de la unión base-emisor del transistor 241, el diodo 237 que conduce, el condensador 241 y el diodo 245. La corriente del transistor es en dirección inversa y éste bloquea rápidamente de modo que el vaivén 231 se dispone al estado 1. El circuito de descarga del condensador está diseñado de tal modo que la descarga es muy rápida y la señal K aparece casi al comienzo del tiempo k1.

1465

Se vé así que la señal SV controla la descarga del condensador asociado al transistor saturado y el bloqueo de este transistor.

1470 Resumiendo, un ciclo de señales SP-SV controla el cambio de estado del vaivén con tal de que se aplique una señal de control SC al mismo tiempo que la señal SP al condensador asociado con el transistor saturado.

1475 Se observará que la señal SP puede aplicarse permanentemente ya que el diodo 243 permanece bloqueado en $V_A = 0$, (condensador cargado).

337798

51.



La reposición al estado 0 se efectúa en forma similar bajo el control de las señales SP, SV y SCO y puede verse en los diagramas 17.7 y 17.8 que la señal K desaparece un poco después de la ranura de tiempo k6 de la ranura de tiempo de canal G2.

1480 La figura 18 representa el diagrama general del contador de línea que comprende tres pasos, suministrando dos de estos la clave de línea y el tercero la señal de inhibición BE utilizada durante la corrección de fluctuación en el caso en que $F_c \neq F_j$. En este contador, cada uno de los circuitos de control T1, T2, T3 comprende los terminales SP, SV, SCl, SCO, a los que se aplican las señales de control que tienen las mismas referencias.

1490 Se ha visto anteriormente que una de las operaciones hechas durante la corrección de fluctuación consiste en ordenar un avance de + 1 unidad en la selección de línea del corrector de fase L11, efectuándose esta operación en la ranura de tiempo de canal (en el tiempo HJ) que sigue a la elaboración de una señal EA ó ER.

En la tabla V que se da a continuación, la columna 1 representa la línea seleccionada.

TABLA V

	1	2	3	4	5
		Ranura de tiempo G1		Ranura de tiempo G2	
Línea seleccionada		Clave anterior	Nueva clave		
			Normal	Adelanto	Retraso
1500	g1	00	01	11	00
	g2	01	11	00	01
	g3	11	00	01	11
		B1 B2	B1 B2	B1 B2	B1 B2

en una ranura de tiempo de canal G1, por el descifrado de la clave representada en la columna 2 y las columnas 3, 4 y 5 representan las claves mostradas por el contador en la ranura de tiempo siguiente G2 en

./..



el caso, respectivamente, de una selección normal y de una corrección adelantada y una corrección retardada. Comparando esta tabla con la - figura 18 las condiciones de adelanto resumidas en la tabla VI que se dá a continuación pueden ser escritas. So observará que las señales

1510 k3, k1, EA, ER, B1, B2 son señales de polaridad positiva con respecto a tierra de modo que una señal $\overline{k3}$, por ejemplo, es una señal negativa de base +V y de una amplitud de V voltios que aparece en k3.

En cuanto a la señal BE se vé que dura durante toda la ranura de tiempo de canal g2 que sigue inmediatamente a continuación de la señal ER, (ver diagrama 7.8), que aparece en particular durante el tiempo k3, (ver figura 3).

1515

TABLA VI

	Disposición del estado 0 al estado 1	Redisposición del estado 1 al estado 0
1520 Vaivén B1	$B2 \times \overline{EA} \times \overline{ER} + \overline{B2} \times EA \times B1$	$B1 \times ER$
Vaivén B2	$B2 \times ER$	$B1 \times \overline{EA} \times \overline{ER} + B1 \times B2 \times EA$

El contador de columna del selector 113 (representado en la figura 19), funciona en forma ligeramente diferente, Utiliza una clave cíclica en la que sólo una cifra se modifica desde una posición a la siguiente y está sometida, cuando una señal de corrección del - cambio SH está presente, a un salto desde k4 a k6. Puede verse, en es

1525 te contador, que los terminales de entrada SP están permanentemente al potencial +V y que los terminales de entrada SV reciben las señales complementarias de las señales Y de polaridad positiva suministradas por el repetidor regenerativo 101 (figura 3) en su terminal de salida

1530 12.

Debido a la utilización de una clave cíclica, cada vaivén conmuta solamente una vez por cada ranura de tiempo de canal. Así, por ejemplo, el vaivén B3 se sitúa del estado 0 al estado 1 en K4 (ver ta-

1535



337798

1540 bla IV). A fin de controlar esta ~~comutación~~ la señal de control se aplica en k3 a la entrada SP y la señal ejecutiva, constituida por una señal \bar{Y} que define la siguiente ranura de tiempo de cifra, sitúa el vaivén en el estado 1. Para la corrección de cambio, una señal SH que aparece en k4 (circuito 443, figura 10) controla el salto a la posición k6.

1545 Si bien se han descrito los principios del invento con relación a formas específicas y modificaciones concretas del mismo, ha de quedar claramente entendido que esta descripción se hace a modo de -- ejemplo y no como limitación del alcance del invento.

Esto invento corresponde a una solicitud de pPatento formulada en Francia el 9 de Marzo de 1966 señalada con el nº. PV 52.687 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

1550 Los puntos de invención propia y ~~nueva~~ que se presentan para que sean objeto de esta Patente de veinte años, son los siguientes:

- 1555 1. - Mejoras en circuitos de sincronización de impulso y cuadro en centrales asociadas a una rod de transmisión de datos en clave de modulación de impulsos comprendiendo: medios para constituir grupos de seis enlaces si cada ranura de tiempo de canal está dividida en seis ranuras de tiempo de cifra, reservándose cada una de dichas ranuras de tiempo de cifra a la explotación en paralelo de los mensajes recibidos, en forma seriada, sobre un enlace dado; medios asociados a la línea entrante de cada enlace, comprendiendo cada uno de dichos circuitos de línea entrante primero un repetidor regenerativo que recibe las señales de mensaje entrantes y suministra señales de mensaje normalizadas y señales de referencia a la frecuencia media de las señales de mensaje entrantes, segundo un corrector de fase que tiene una capacidad de
- 1560



1565 tros mensajes y que está organizado como una memoria de tres por seis y en la que la soloción oscrita está controlada por un selector de línea y un selector de cifra que recibe las señales de referencia de tal modo que las señales de mensaje normalizadas recibidas en forma seriada se almacenan cíclicamente en dicho corrector de fase en forma paralela,

1570 tercero medios para leer en forma en paralelo el contenido del corrector de fase en la ranura de tiempo de cifra reservada a la explotación de los mensajes recibidos en el enlace en cuestión de modo que las tres líneas de dicho corrector de fase son leídas cíclicamente en dicha ranura de tiempo de cifra y cuarto un detector de fluctuación de frecuencia en el que las posiciones de tiempo de las señales de referencia y de las

1575 señales de ranura de tiempo de cifra se comparan y que suministran una información sobre la dirección de la fluctuación cuando dicha fluctuación excede de un valor predeterminado; medios asociados a cada grupo de enlaces, incluyendo cada uno de dichos circuitos de grupo de enlace,

1580 primero seis circuitos de línea entrante, segundo un grupo de almacén de datos que comprende 144 líneas si cada enlace comprende 24 canales, tercero un almacén de instrucción de grupo que tiene seis líneas, estando cada una de dichas líneas reservada a instrucciones relativas a un enlace y que son leídas cíclicamente con las señales de ranura de tiempo de cifra, comprendiendo dicho almacén un contador de dirección de grupo que controla la selección de dirección cíclica en el almacén de datos de grupo, una memoria de error y una memoria de avería y cuarto un detector de desincronización que suministra una señal de desincronización cuando no se recibe una clave de sincronización de cuadro durante

1585 la selección de tiempo de su dirección en el almacén de datos de grupo; medios para almacenar la información en la dirección de la fluctuación suministrada por el detector de fluctuación de frecuencia de un circuito de línea entrante dado sobre la línea de la memoria de error relativa a dicho enlace; medios para corregir el error de fluctuación en un

1590

337798

55.



1595 circuito de línea entrante dado, bajo el control de la información
leída en la memoria de error cuando la dirección V24 reservada al al-
macenaje de la clave de cuadro se extrae del contador de direcciones
de grupo en una ranura de tiempo de cifra reservada a dicho circuito
de línea entrante, consistiendo dicha corrección según la dirección
1600 de la fluctuación, primero en una corrección de avance o retardación
sobre el avance del selector de línea del corrector de fase y segundo
en una corrección de retardación o avance sobre el avance de la direc-
ción suministrada por el contador de dirección de grupo, de modo que
1605 todos los mensajes recibidos sobre el enlace en cuestión, excepto la
clave de cuadro, se escriben sin ningún error u omisión en el almacén
de datos de grupo.

2. - Mejoras en circuitos de sincronización según el punto
1 comprendiendo medios para controlar cíclicamente en un circuito de
sincronización común, la sincronización de cuadro sobre todas las lí-
neas ontrantes incluyendo: medios para seleccionar cíclicamente todos
1610 los grupos de enlaces hasta que se detecta una señal de sincronización,
deteniendo dicha señal la selección; medios para comenzar después una
selección cíclica de los enlaces de dicho grupo; medios para detener
dicha selección de enlace cuando el enlace desincronizado se identifi-
1615 ca y para conectar dicho enlace al circuito de sincronización común;
medios para verificar en dicho circuito, la clave de cuadro examinando
tres veces sucesivamente los mensajes recibidos durante la selección
de tiempo de la dirección V24 en el almacén de datos de grupo y para
elaborar una señal de coincidencia cuando son idénticas a la clave de
1620 cuadro y una señal de no coincidencia en el caso contrario; medios con-
trolados por una señal de coincidencia para reanudar la selección cí-
clica de enlaces; medios controlados por una señal de no coincidencia
para efectuar una búsqueda de clave de cuadro que consiste en examinar
todas las señales recibidas hasta que un grupo de seis señales sucesi-



1625 vas es idéntico a la clave de cuadro y para elaborar, cuando se detecta tal grupo, una señal que caracteriza el cambio de posición de tiempo de dicho grupo de señales con respecto a una dirección de mensaje en el corrector de fase; medios para establecer la sincronización de cuadro comprendiendo primeros medios para modificar la selección de dirección en el almacén de datos de grupo de modo que la dirección V2 se seleccione en el tiempo de transferencia del mensaje con relación al canal 2, etc. ..., y segundos medios para corregir la posición de cambio de tiempo del grupo de señales idénticas a la clave de cuadro por correcciones de avance sucesivas sobre el selector de cifra del

1630 corrector de fase; medios para verificar la clave de cuadro posteriormente, suministrando dichos medios una señal de coincidencia o una señal de no coincidencia, controlando respectivamente dichas señales el comienzo de la selección cíclica de enlaces o la búsqueda de una nueva clave de cuadro.

1640 3. - Mejoras en circuitos de sincronización según los puntos 1 y 2 comprendiendo: medios para elaborar una señal de tiempo con un período de repetición que cubre 32 períodos de cuadro; medios para controlar la operación de verificación con dichas señales de modo que si una señal de coincidencia o de no coincidencia no aparece después

1645 de un tiempo determinado, se detiene dicha operación, una información del enlace defectuoso se describe en la línea correspondiente de la memoria de avería y se reanuda la selección cíclica de enlaces.

4. - Mejoras en circuitos de sincronización.

./..

337798 57.



Tal y como se ha descrito en la Memoria que antecede, rep
1650165 presentado en los dibujos que se acompañan y a los fines especifica-
dos.

Esta Memoria consta de cincuenta y siete hojas escritas
por una sola cara.

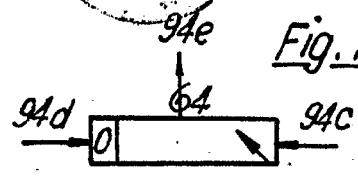
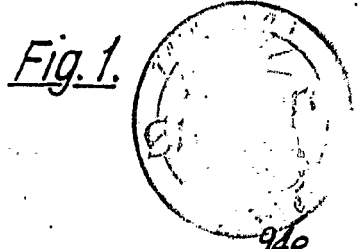
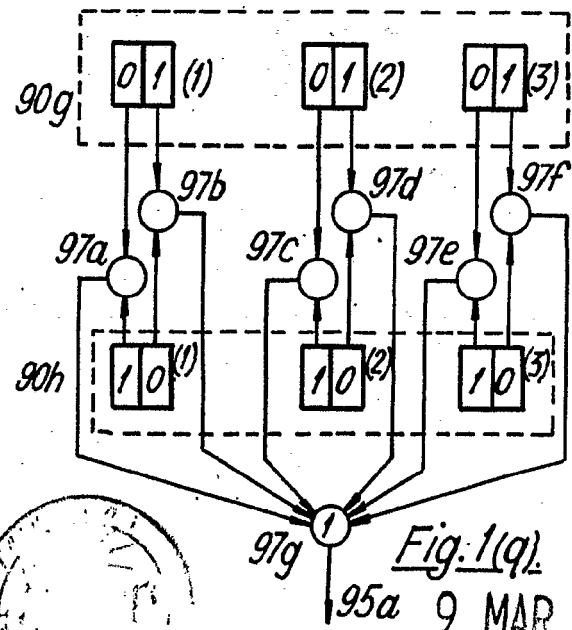
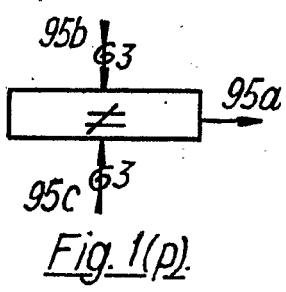
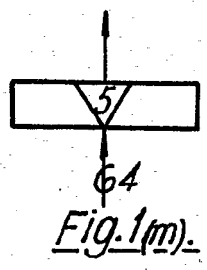
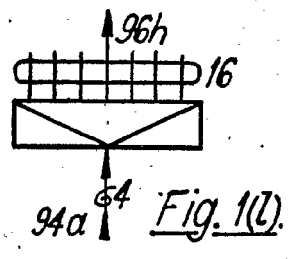
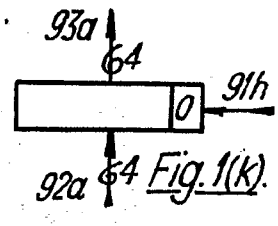
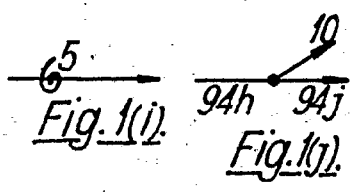
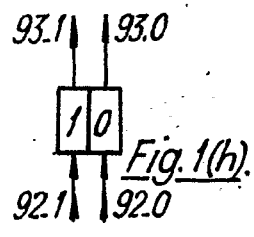
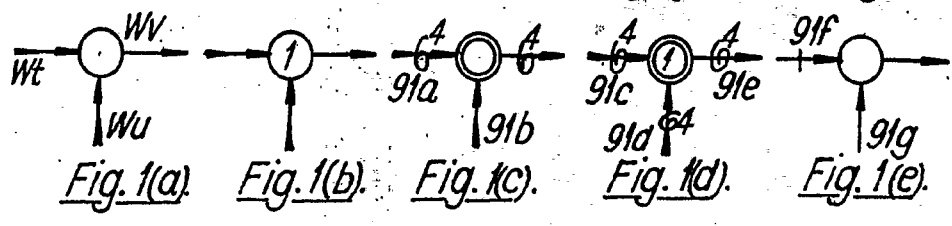
Madrid, 9 MAR. 1967



EUGENIO BARROSO
Secretario General



337798

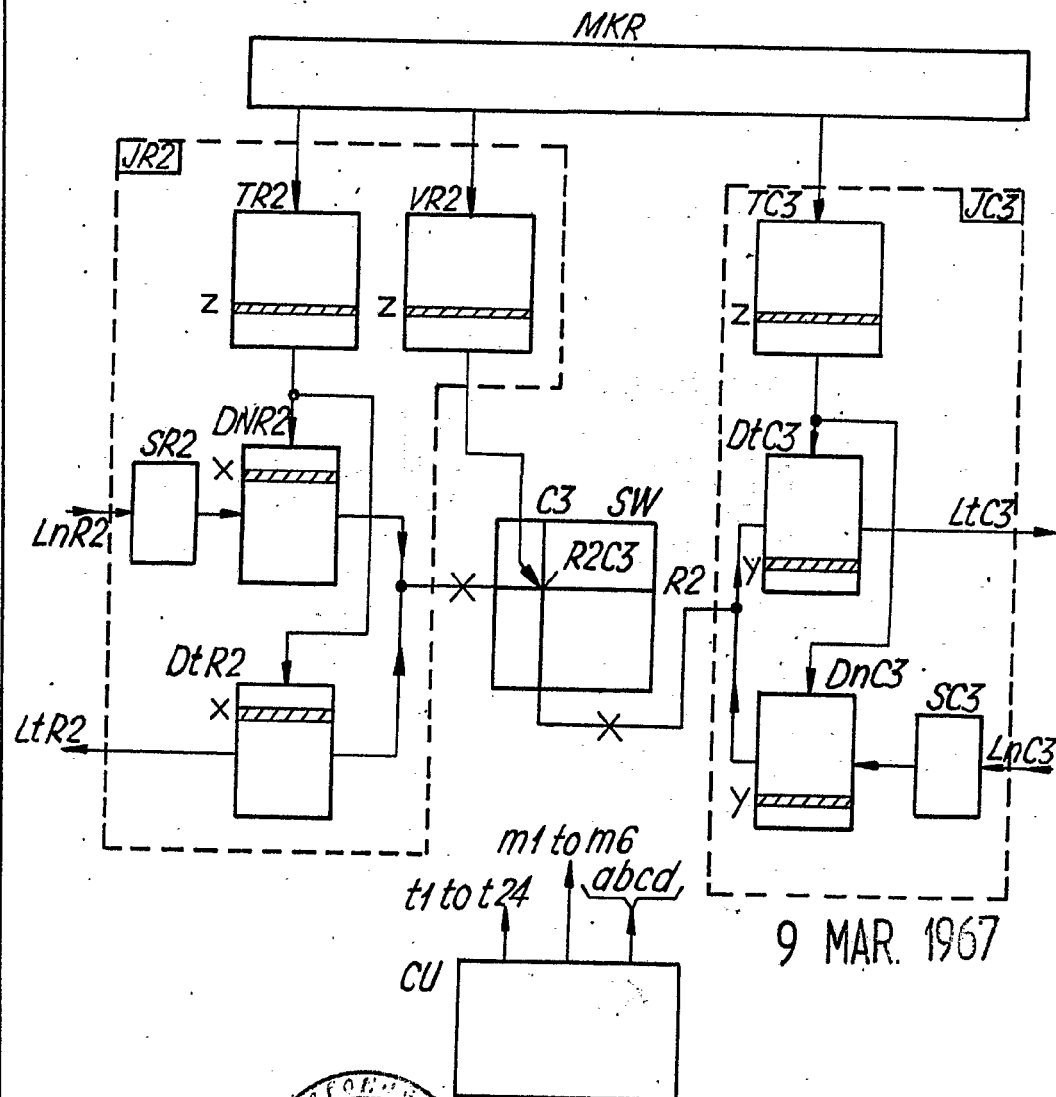


9 MAR. 1967

Eugenio Barroso
 EUGENIO BARROSO
 Secretario General



337798



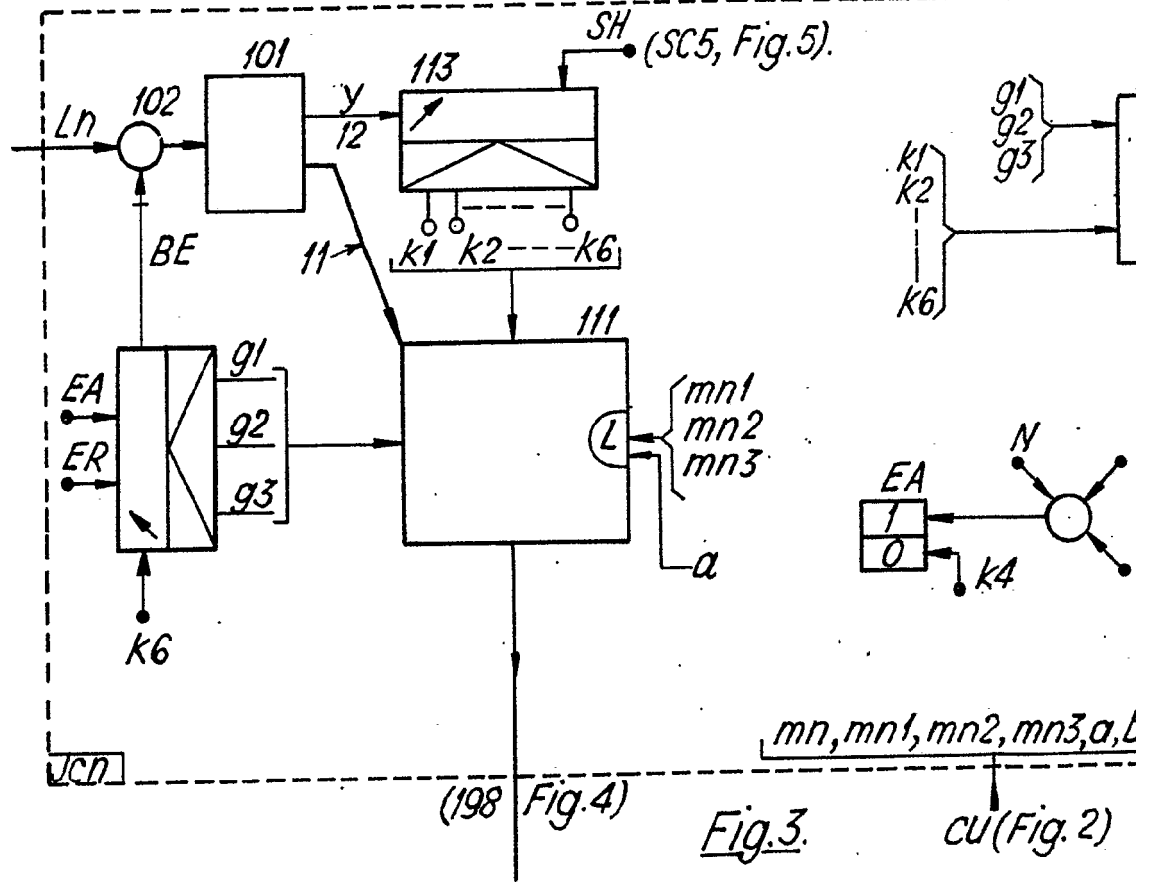
9 MAR. 1967

Fig. 2



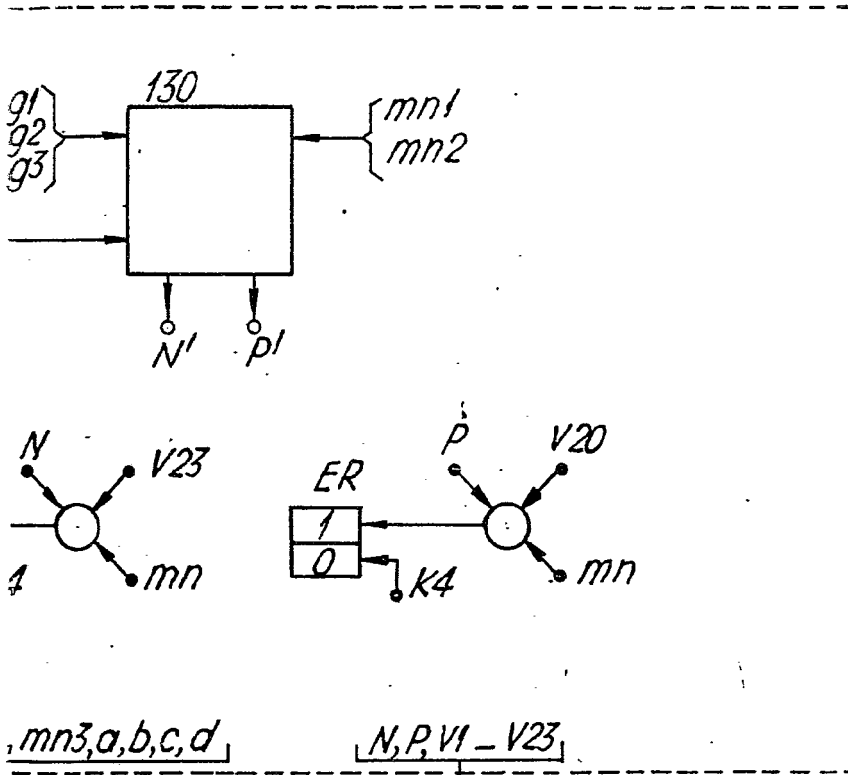
Eugenio Barroso
EUGENIO BARROSO
Secretario General

337798





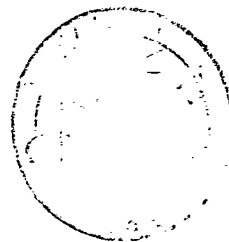
337798



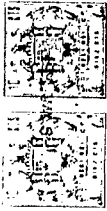
(Fig. 2)

Gch (Fig.4.)

9 MAR. 1967



E. Rossi
 EUCENIO DE ARCO
 Secretario General



337798

337798

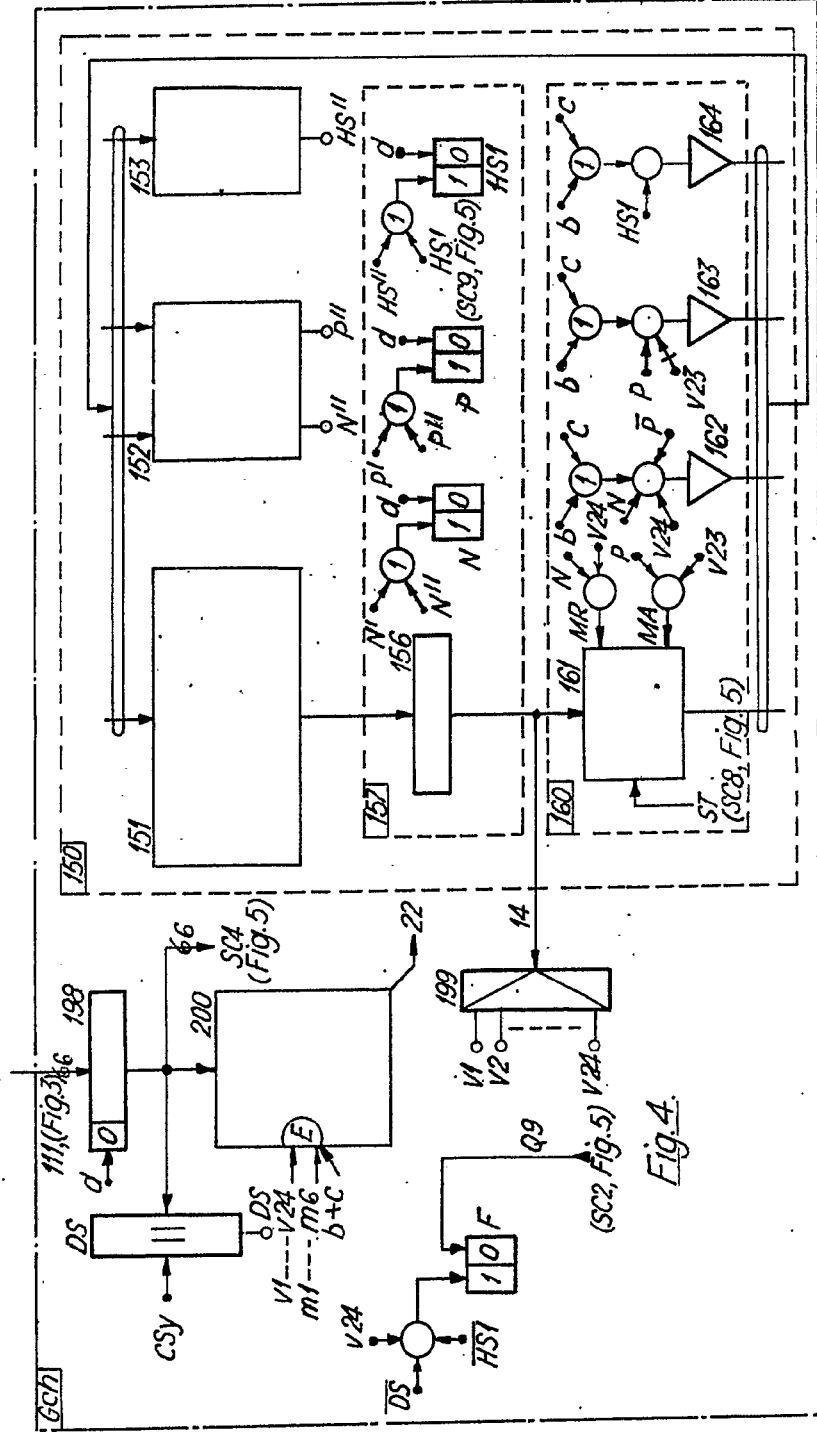


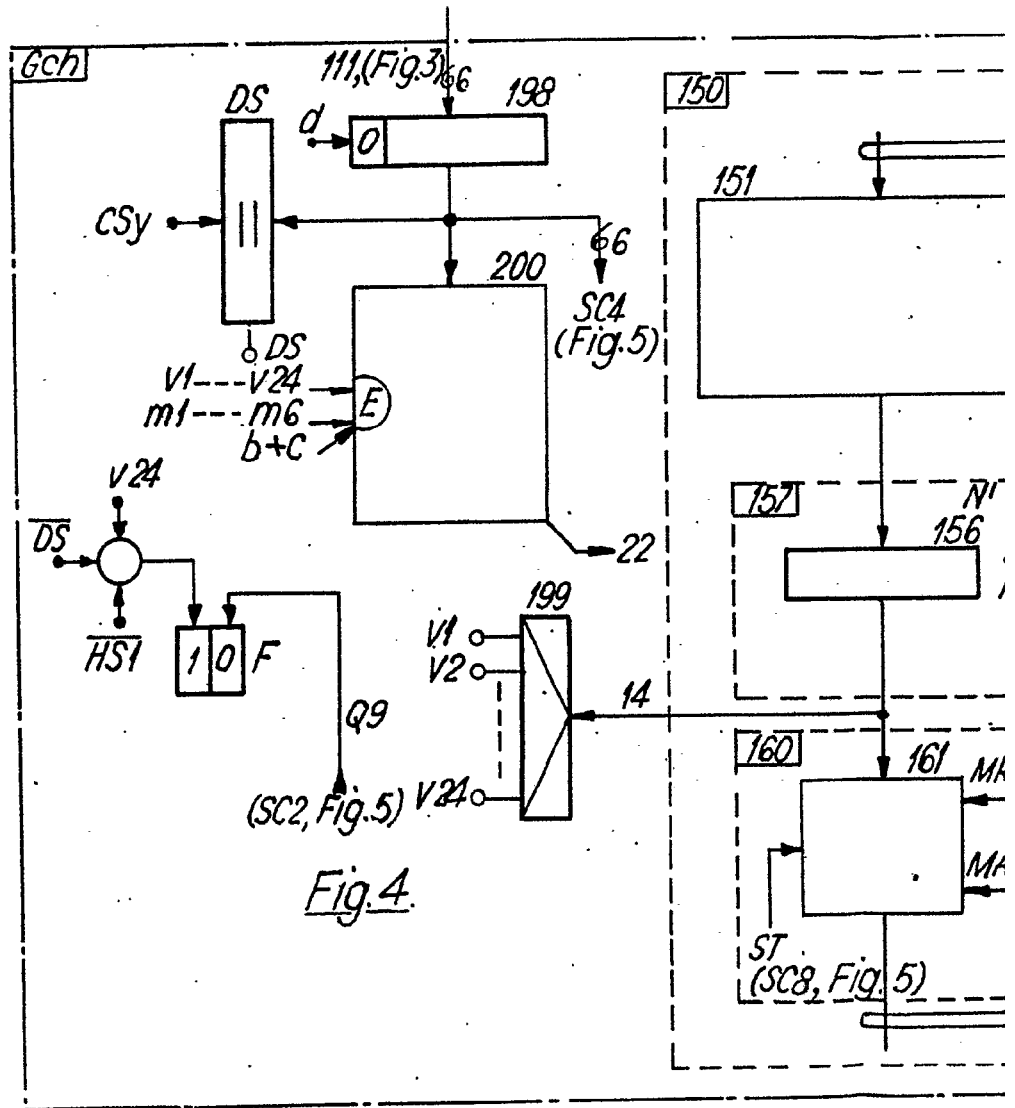
Fig. 4.

9 MAR 1967



SECRET
SECRETARY GENERAL

337798



337798

337798

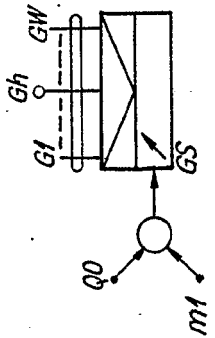
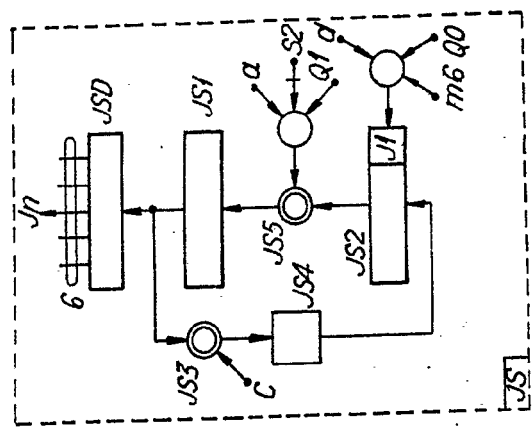
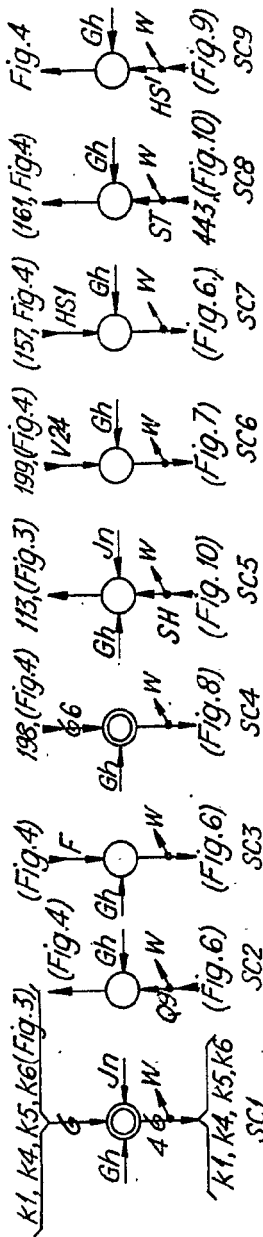
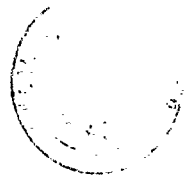


Fig. 5

9 ME



Handwritten signature and printed text: EUGENIO Secretal. J. L. S. S. A.

337798

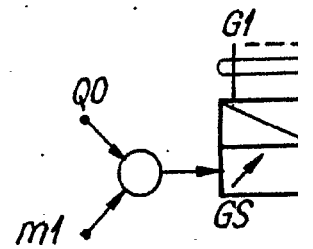
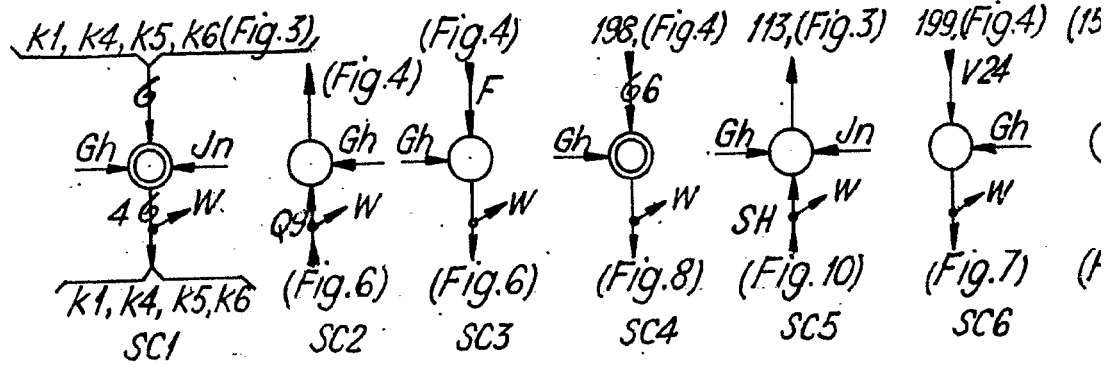
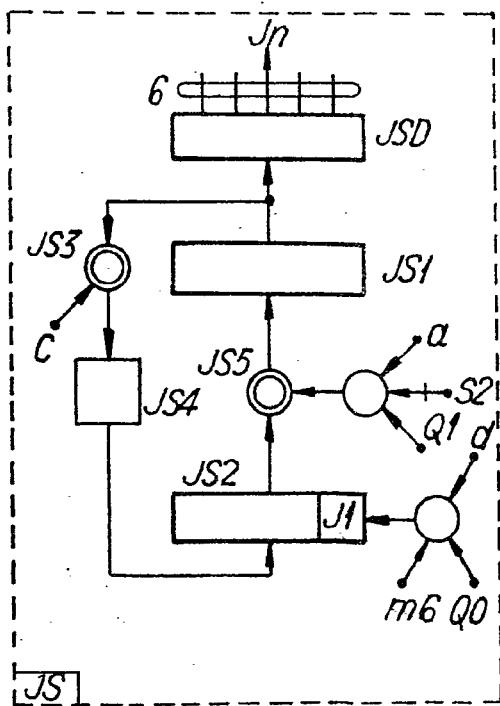
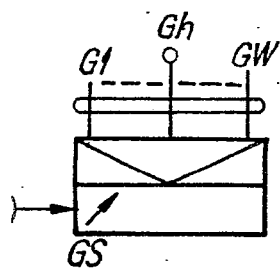
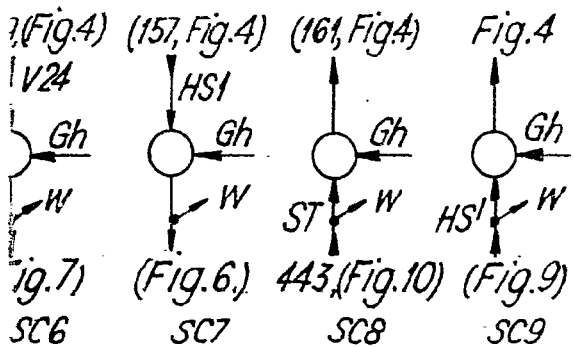


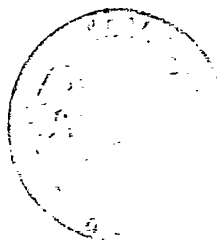
Fig. 5



337798



9 ME 1945



Eugenio Ferrero
 EUGENIO FERRERO
 Secretario General

337798

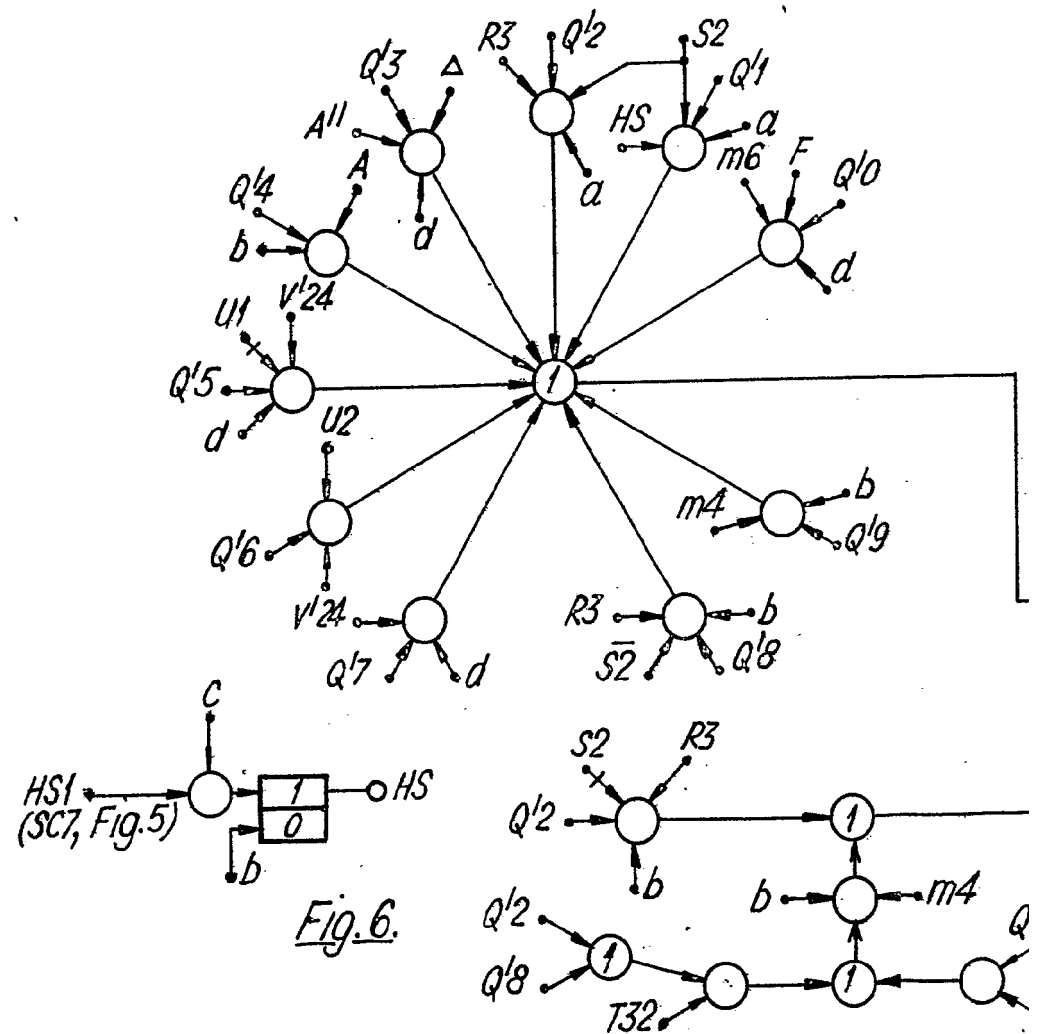
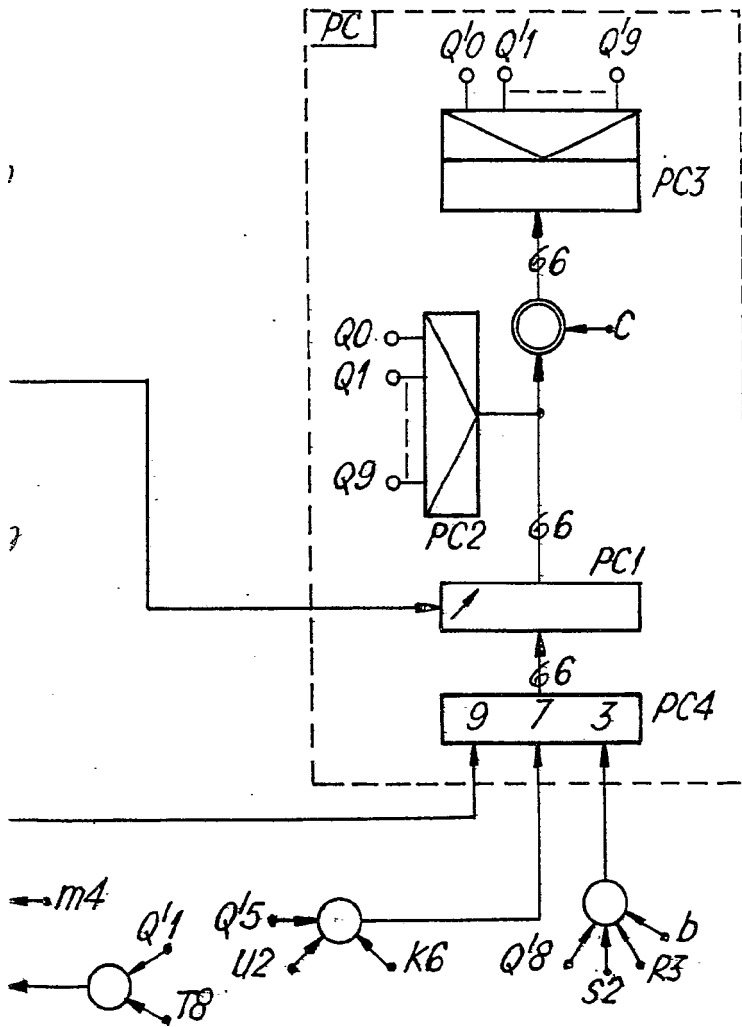


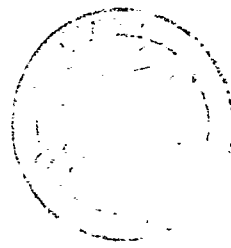
Fig. 6.



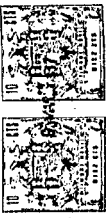
337798



9 MAR. 1967



Eugenio Barroso
EUGENIO BARROSO
Secretario General



337798

337798

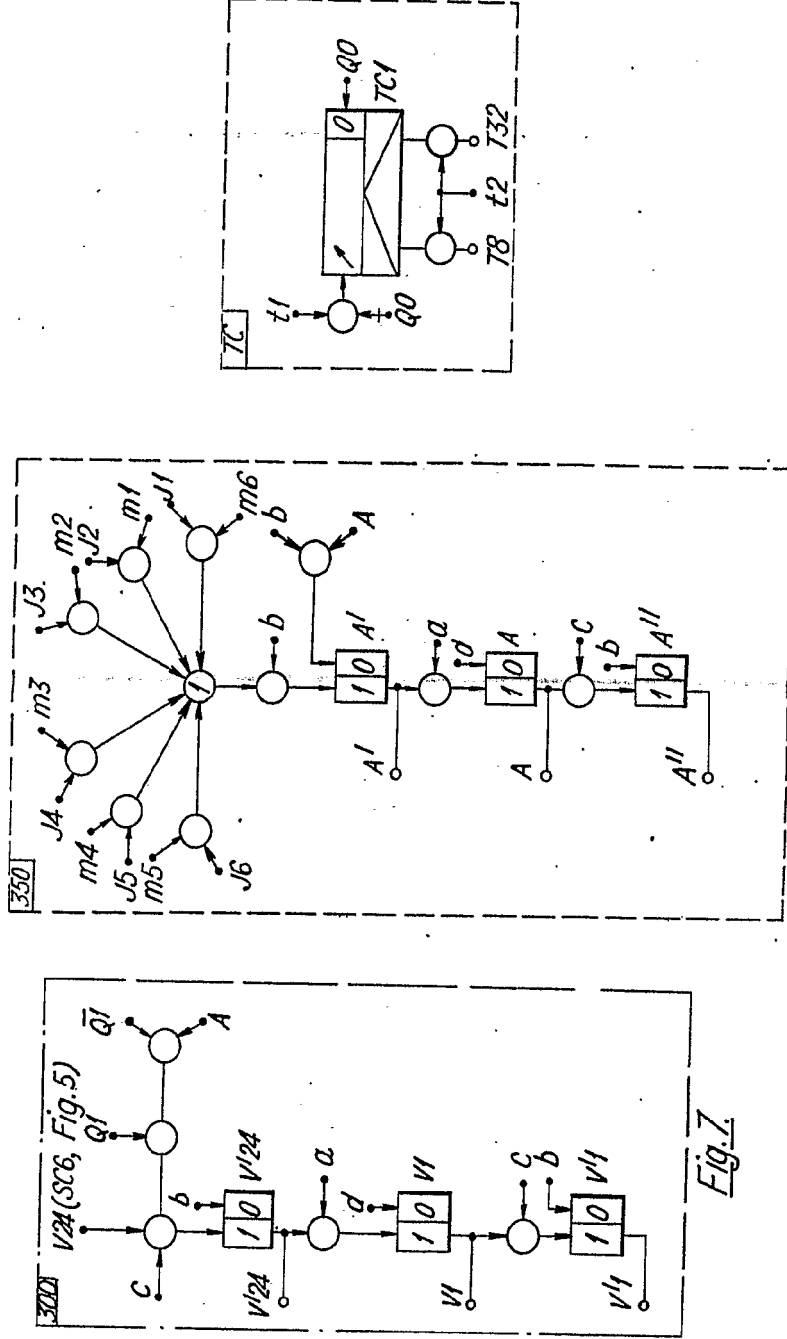


Fig. 7

9 MAR 1967



E. Barroso

EUGENIO BARROSO
Secretario General

337798

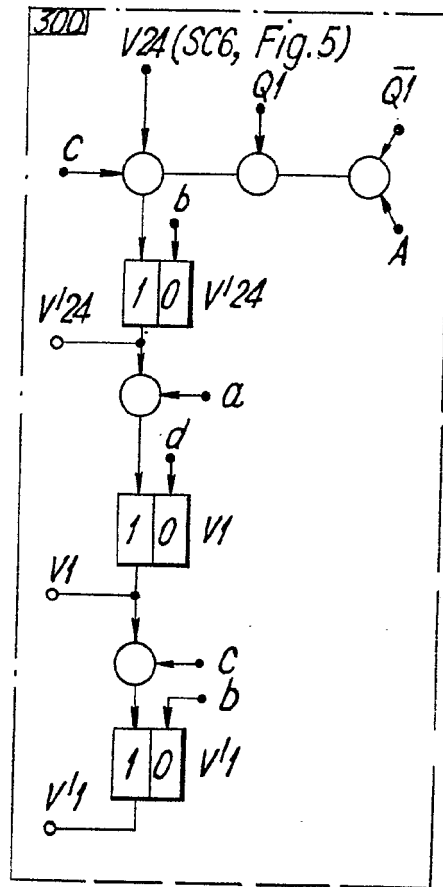
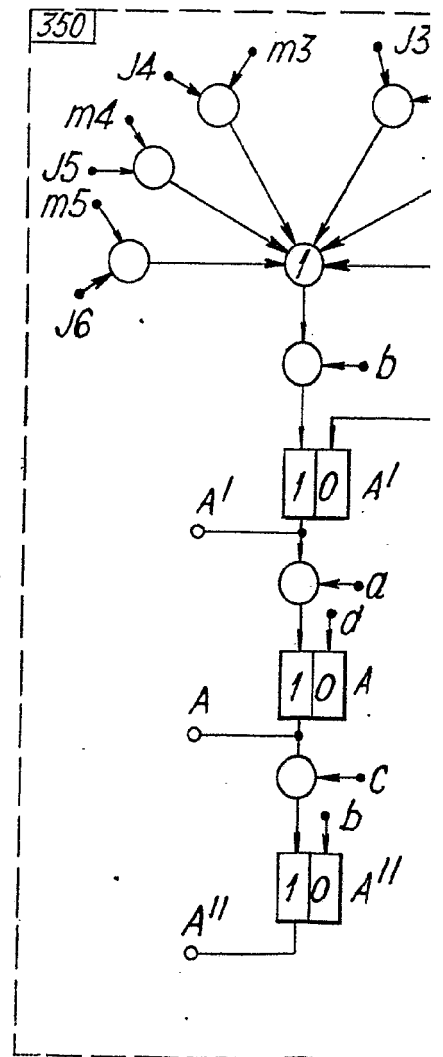
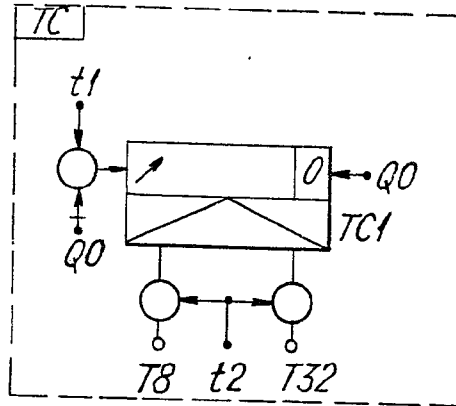
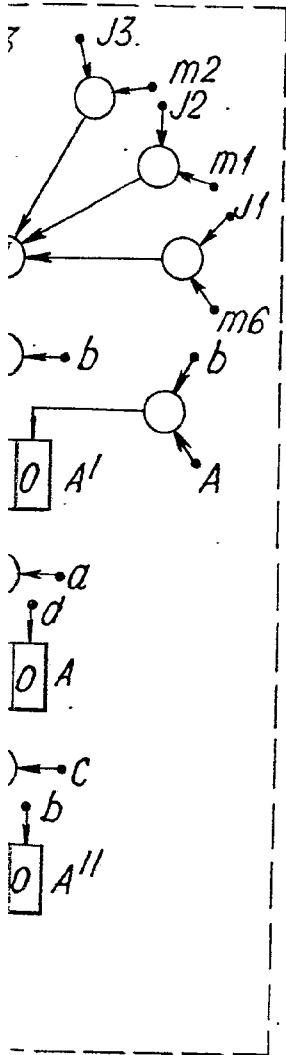


Fig. 7.

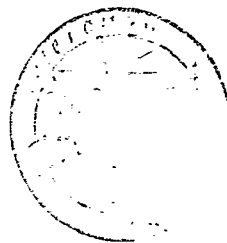




337798



9 MAR 1967



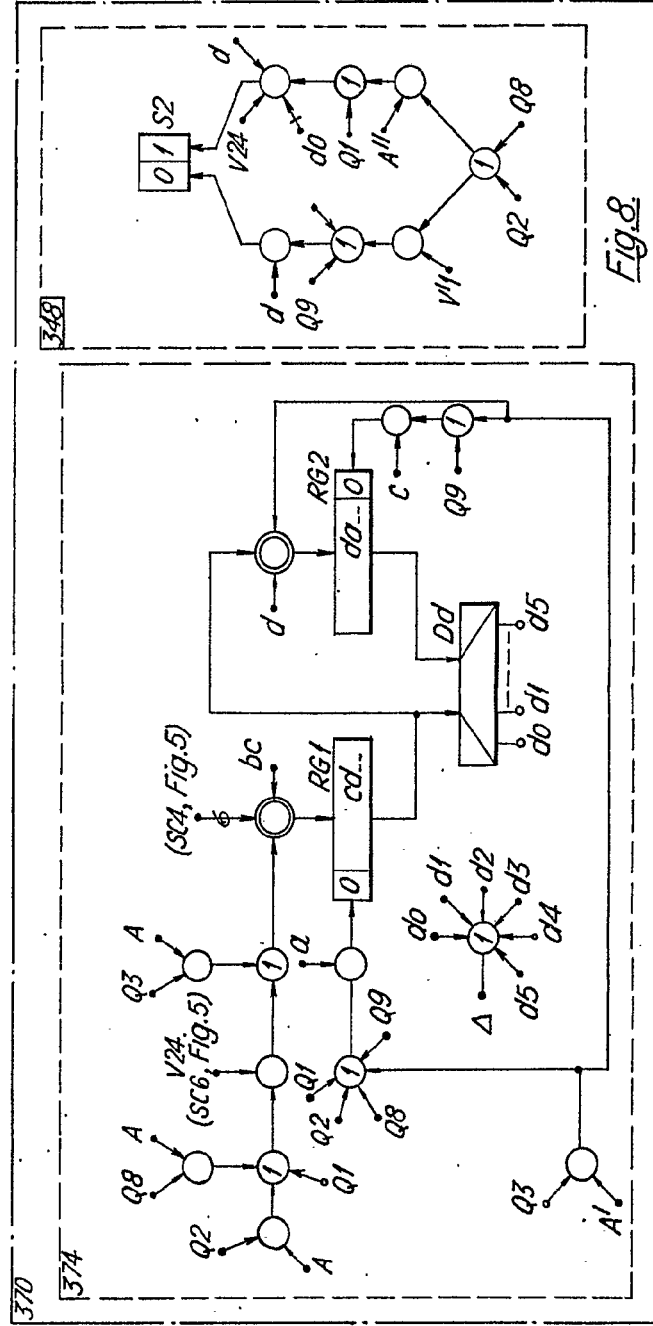
E. Barroso

EUSENIO BARROSO
Secretario General

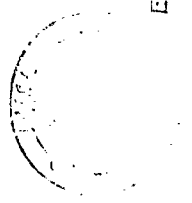


337798

337798



9 MAR 1967

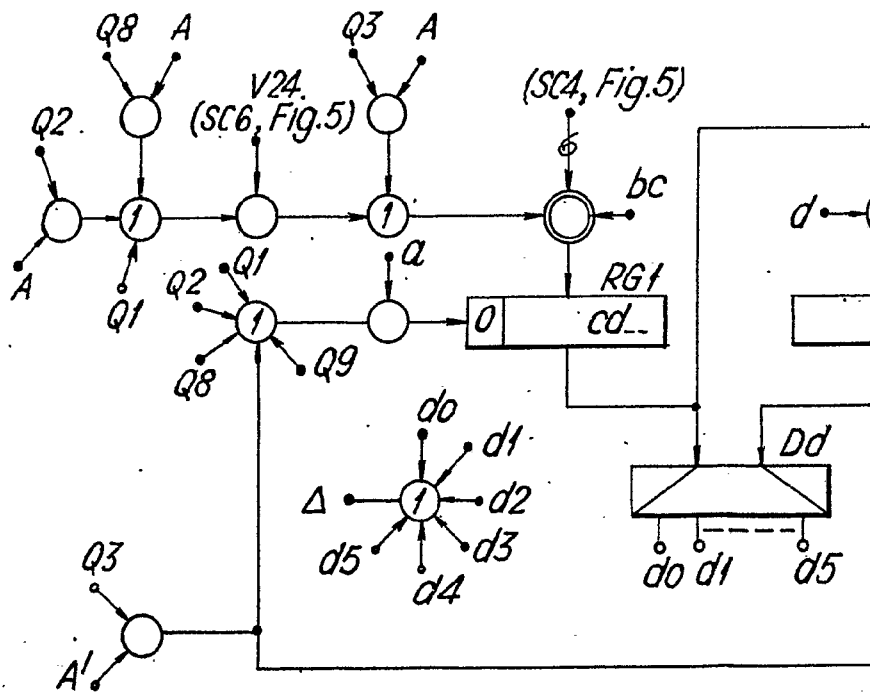


Secretary General
EUROPEAN COMMISSION

337798

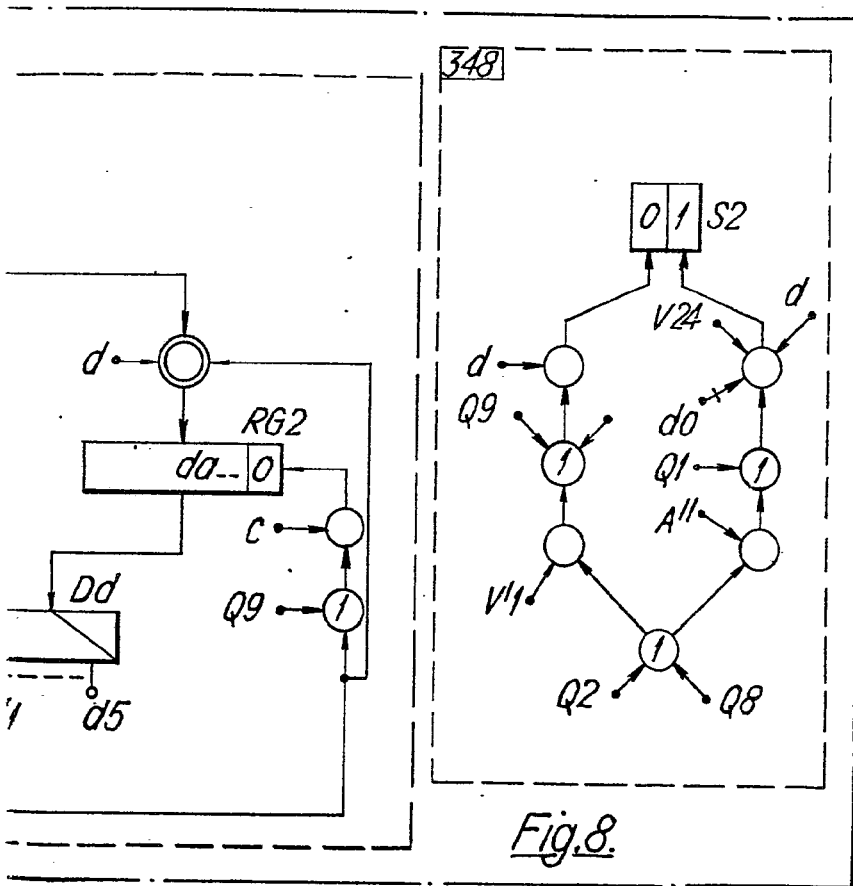
370

374





337798



9 MAR. 1967



Eugenio
 EUGENIO BARRIOS
 Secretario General



337798

337798

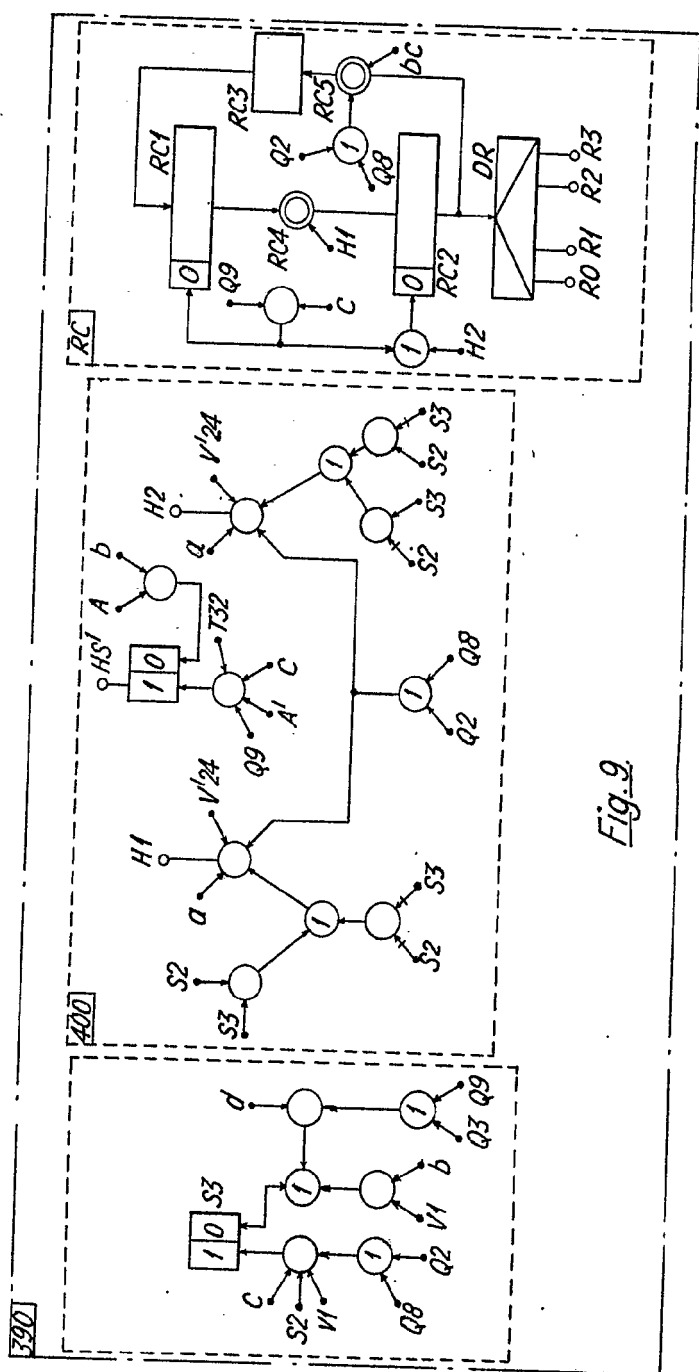


Fig. 9

9 MAR 1950



Handwritten signature
EUGENIO M. ...
Secretary General

337798

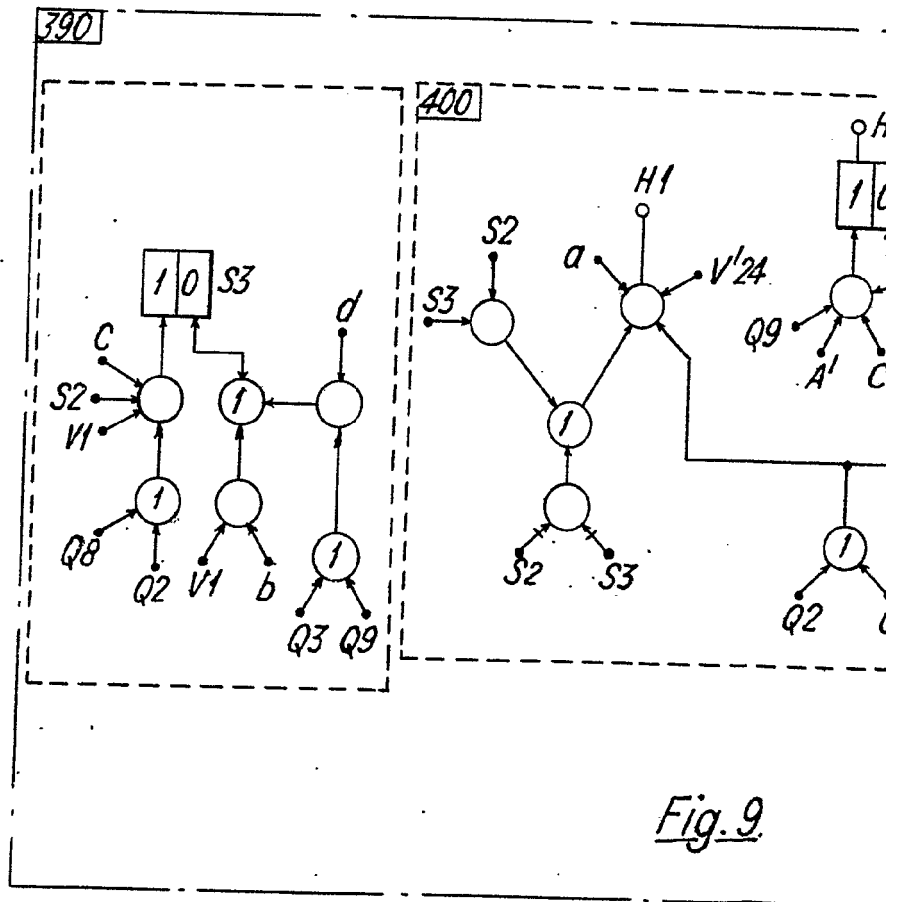
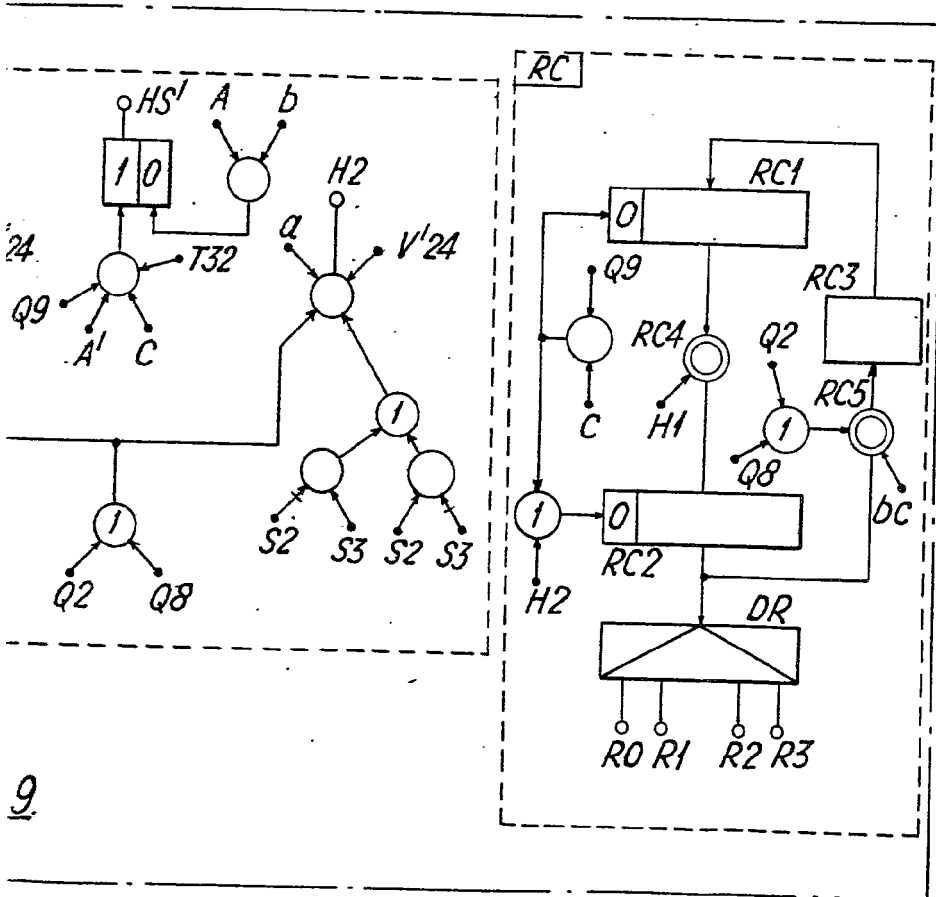


Fig. 9

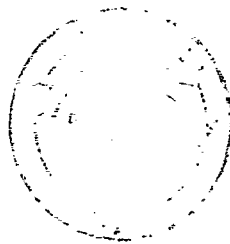


337798



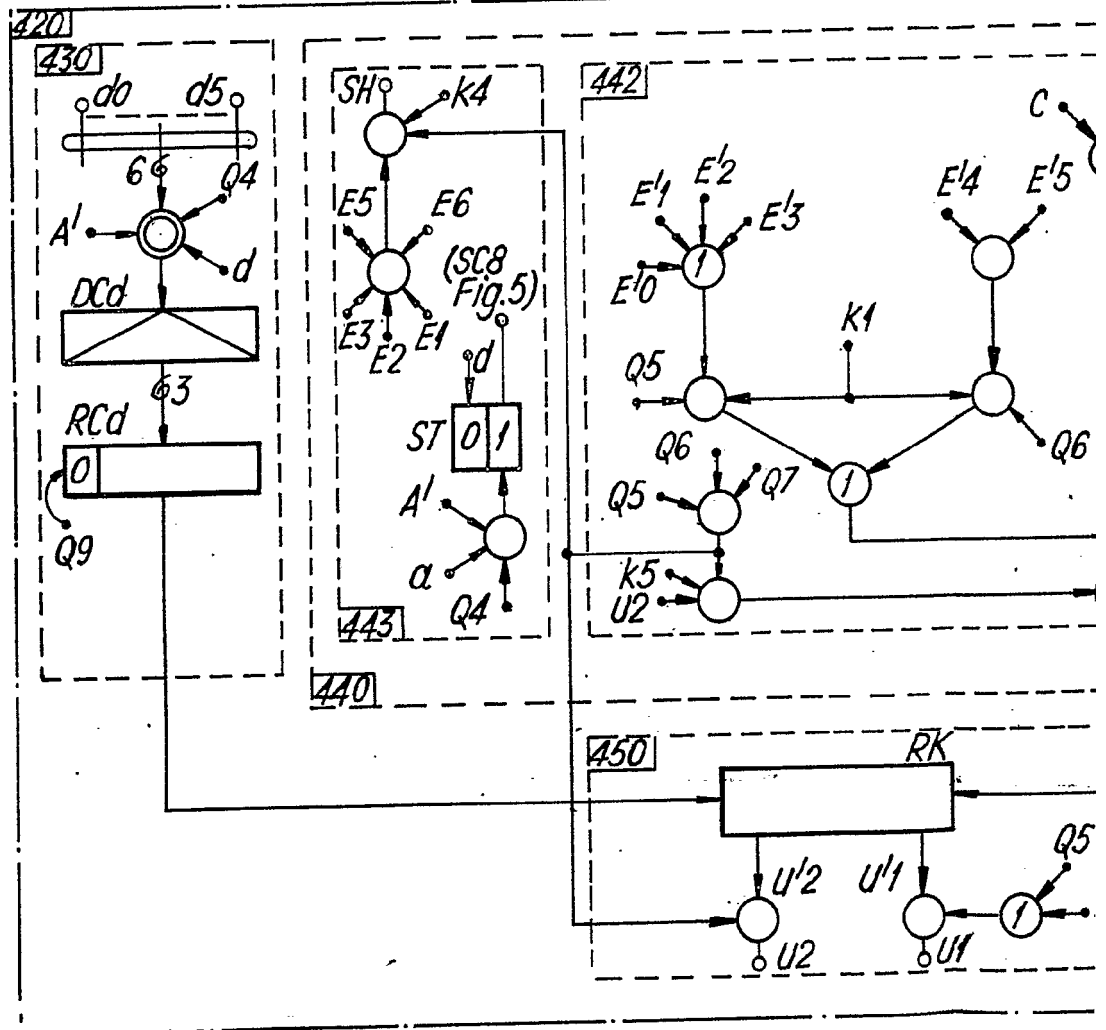
9

9 MAR 1917



Eugenio Barroso
 EUGENIO BARROSO
 Secretario General

337798





337798

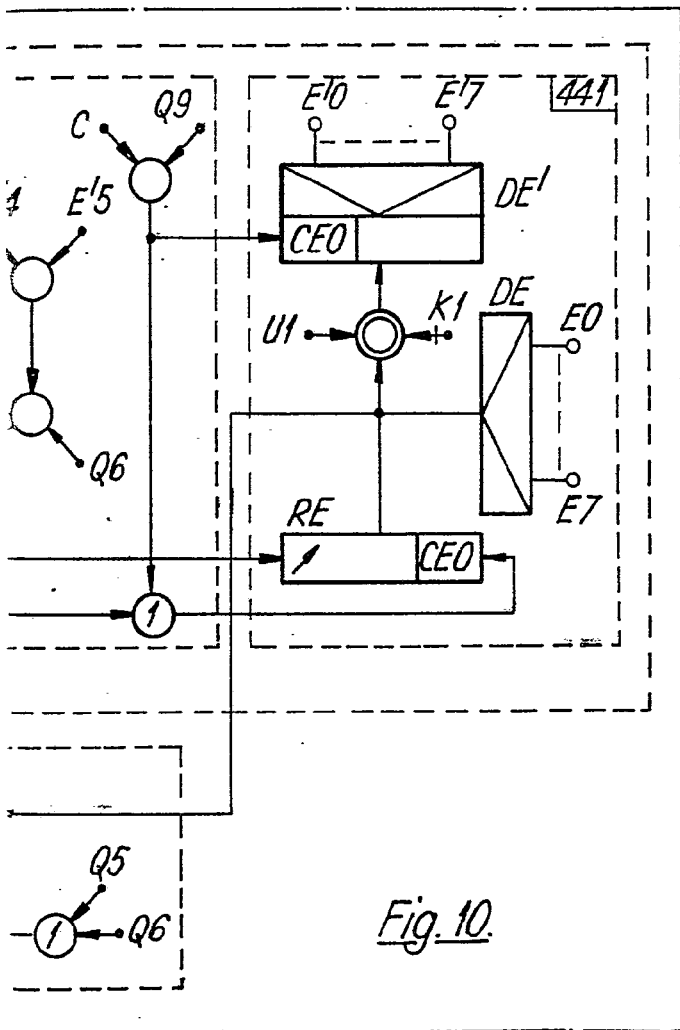
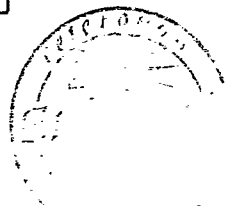


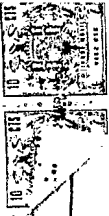
Fig. 10.

9 MAR. 1967



Eugenio Barroso

EUCENIO BARROSO
Secretario General



337798

337798

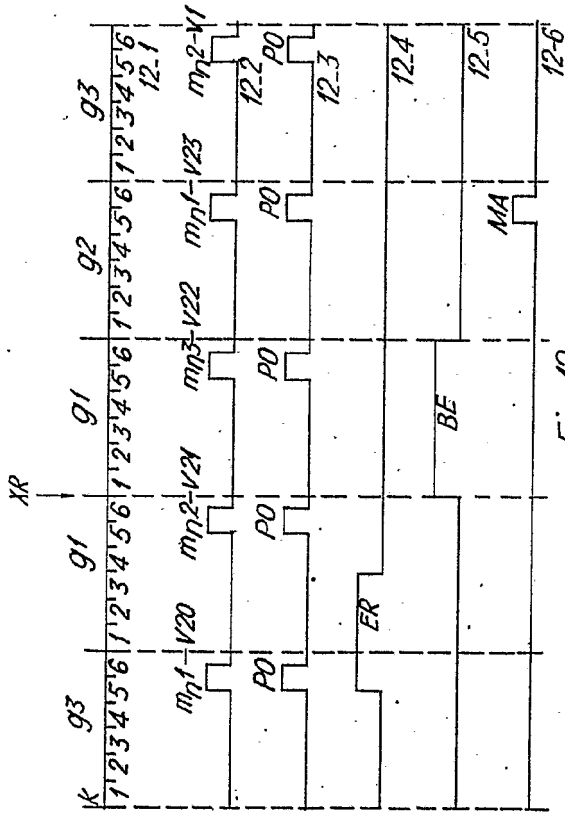


Fig. 12

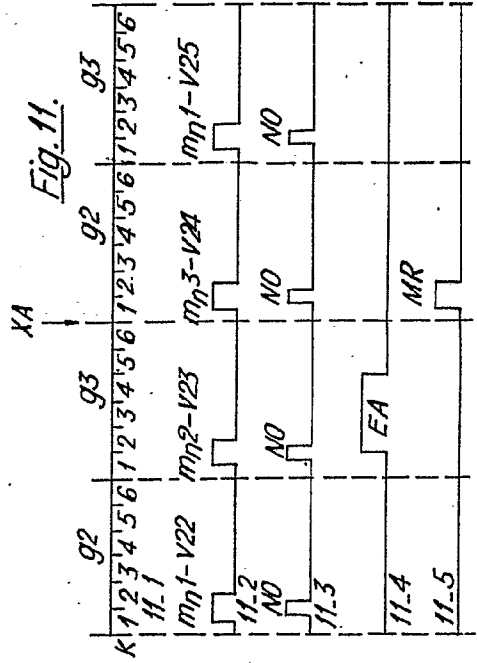


Fig. 11

9 MAR 1967



Macedo
EUGENIO S. ARDUBU
Secretario General

337798

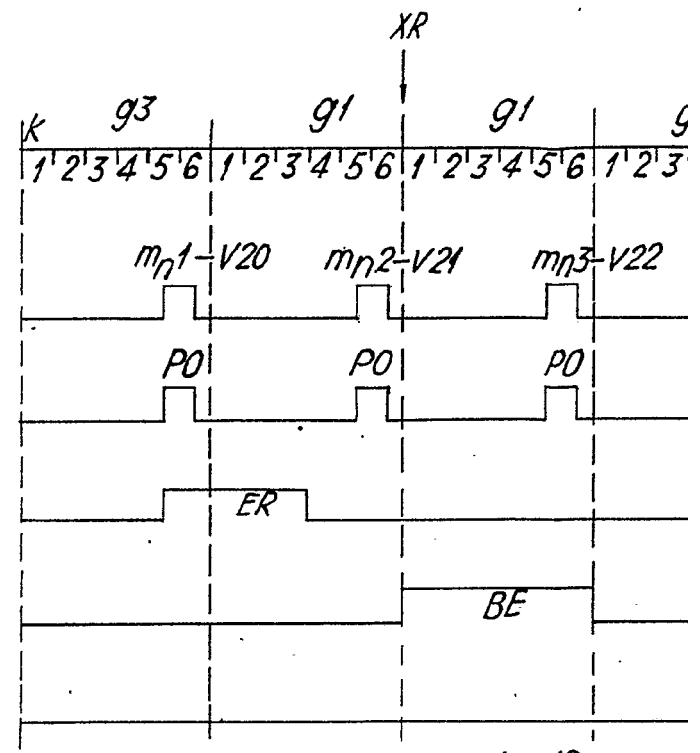
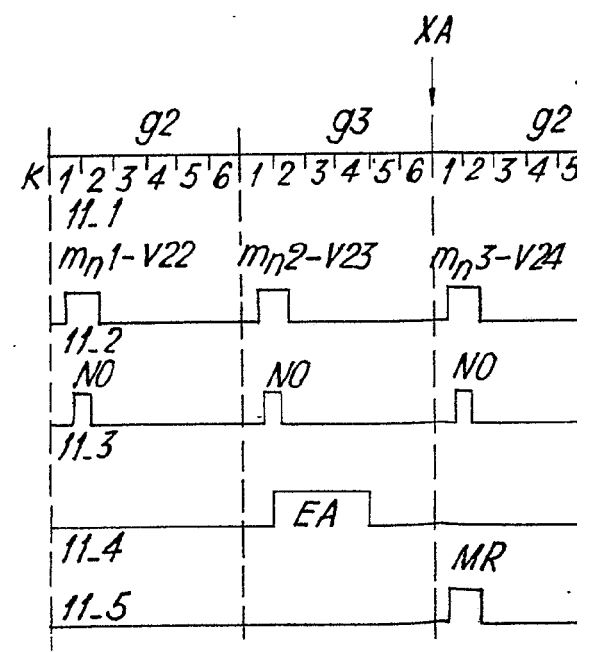


Fig. 12.





337798

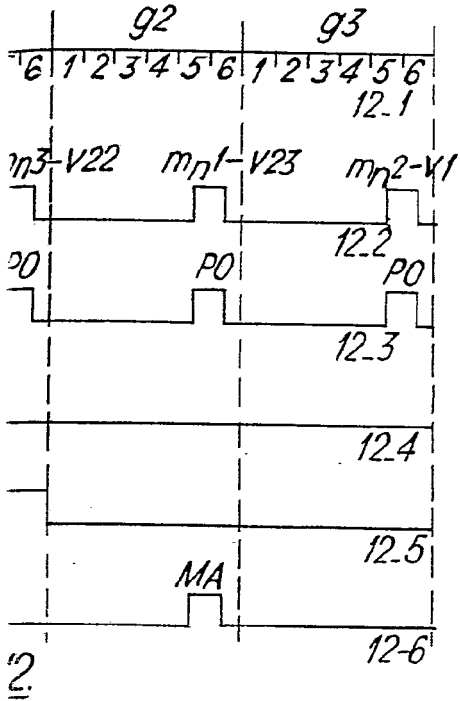
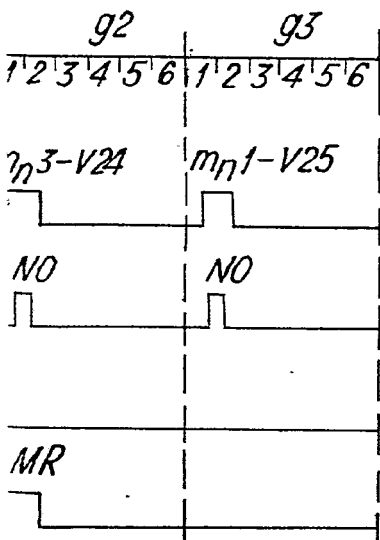
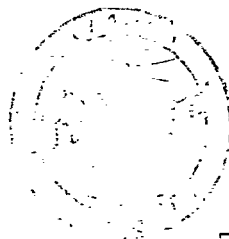


Fig. 11.



9 MAR. 1967



Eugenio B. Arco

EUGENIO B. ARCO
Secretary General

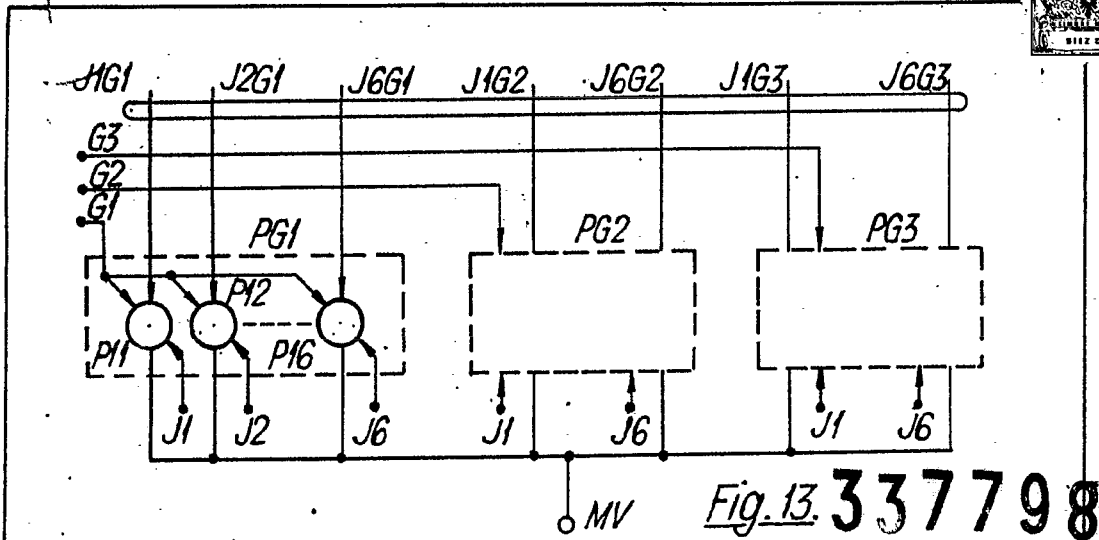


Fig. 13. 337798

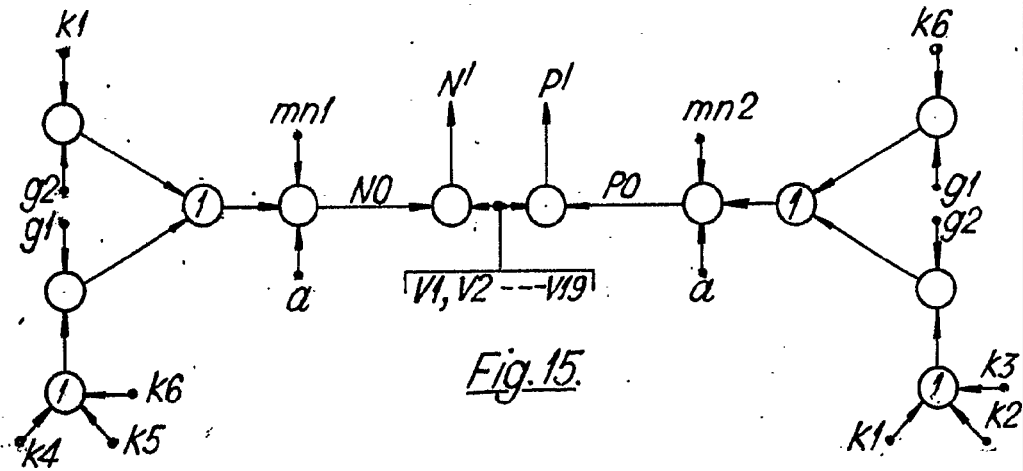


Fig. 15.

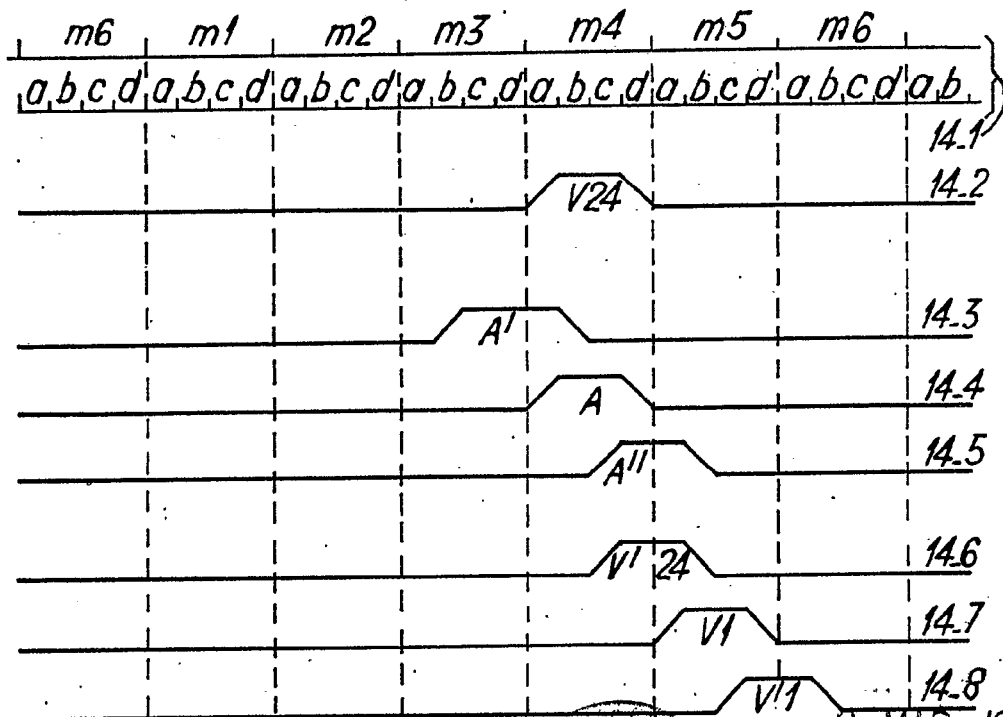
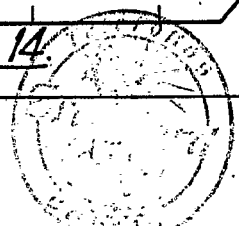


Fig. 14.

9 MAR 1967



Eugenio Barroso
EUGENIO BARROSO
Secretario General



337798

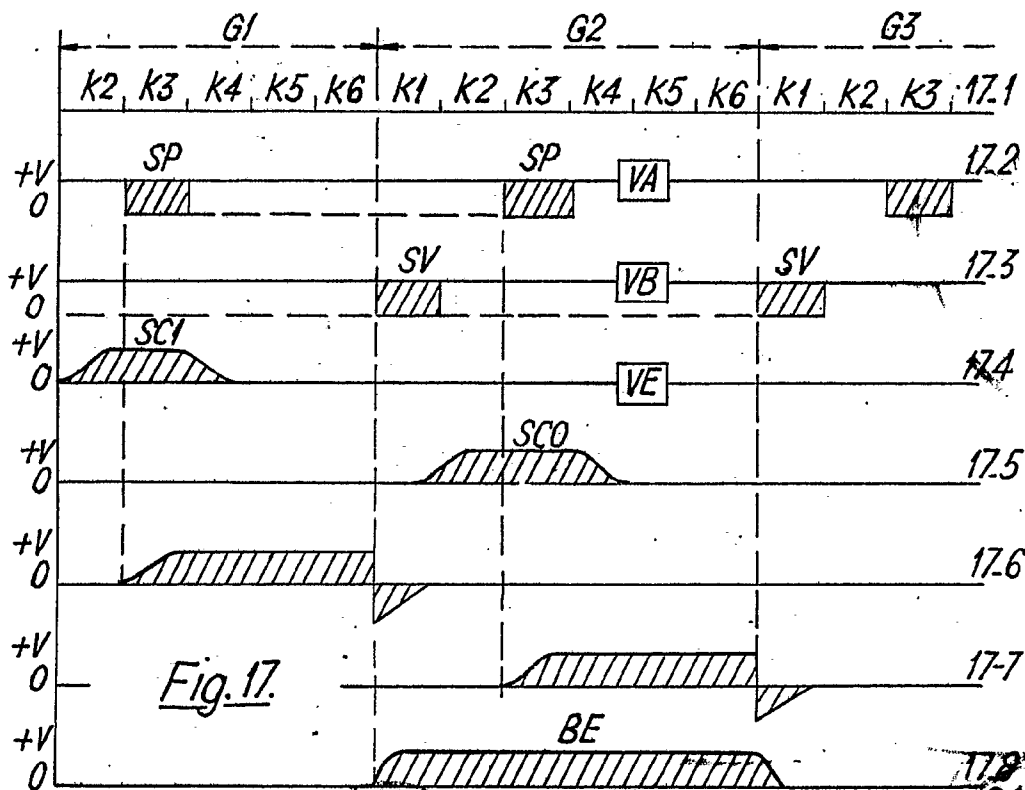
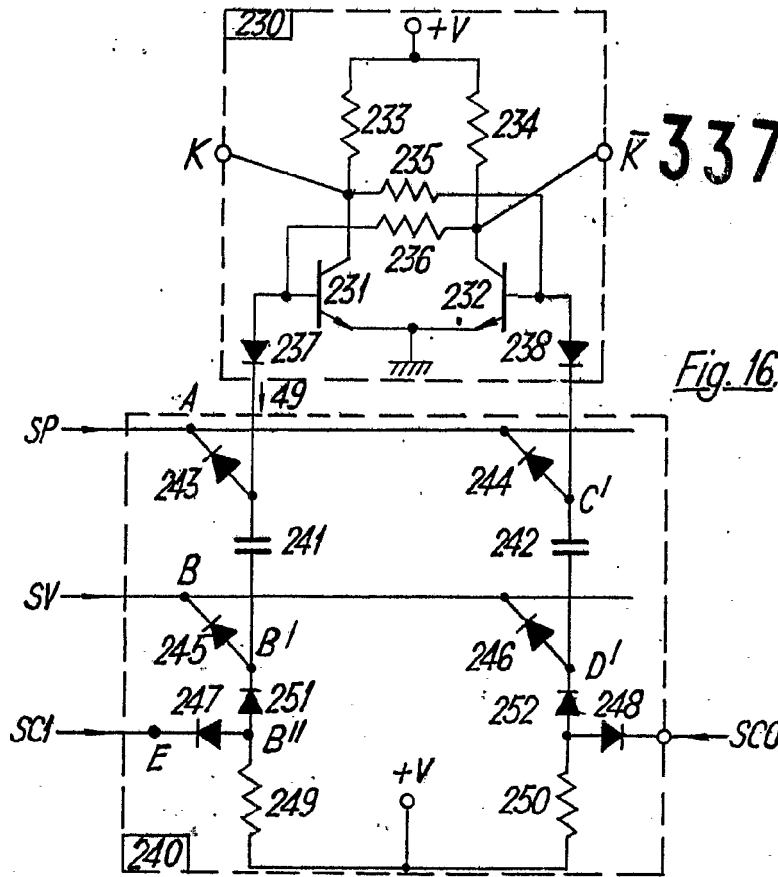
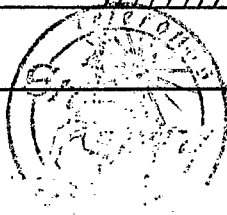


Fig. 17.

9 MAR 1967



EUGENIO BARROS
Secretario General



337798

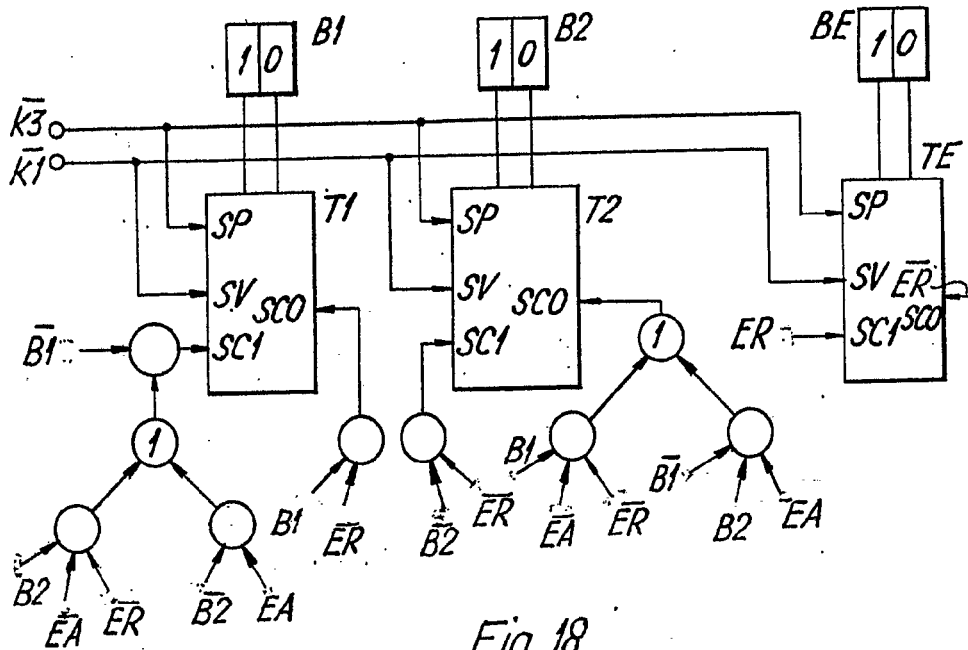


Fig. 18.

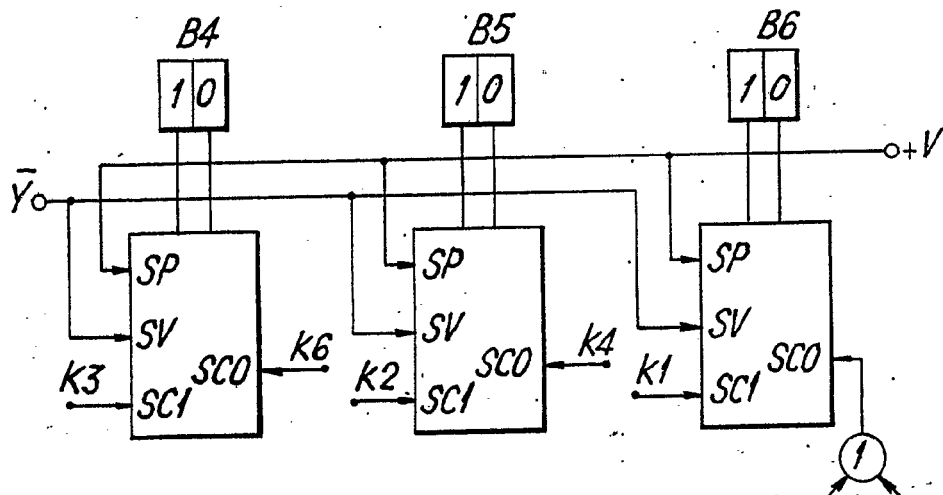


Fig. 19.

9 MAR. 1967



EUGENIO
Secretario General



337798

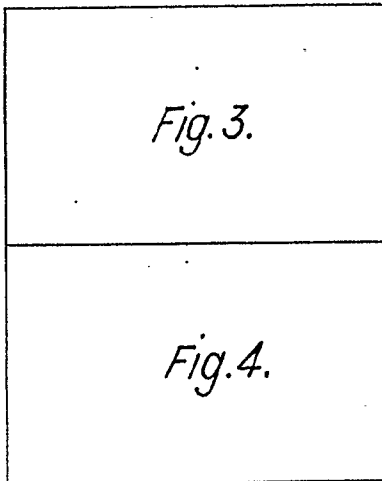


Fig. 3.

Fig. 4.

Fig. 20.

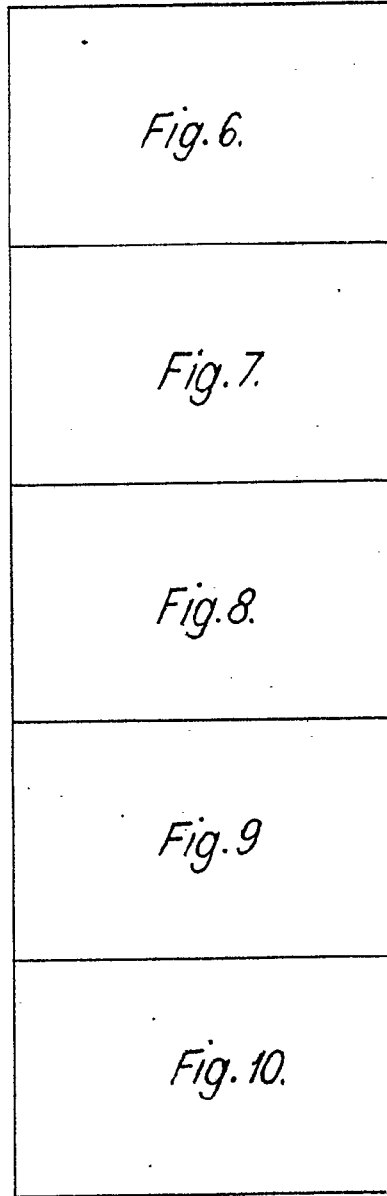


Fig. 6.

Fig. 7.

Fig. 8.

Fig. 9.

Fig. 10.

Fig. 21.

9 MAR. 1967



Eugenio Barroco
EUGENIO BARROCO
Secretario General