

336026

M. F. Barjot- A.E.A. Chatelon-P. Girard 4-18-6



336626

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "MEJORAS EN SISTEMAS DE TRANSMISION DE
CODIGO DE IMPULSOS" A NOMBRE DE STANDARD ELECTRICA S.A.
CON DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO Nº.5

El sistema determina el número de transiciones en un grupo de código sin vuelta a cero (NRZ) que tiene un tiempo de guarda asociado que resulta "0" cuando el número de transiciones es menor que un valor dado y "1" cuando el número de transiciones es mayor que el valor dado. Con "0" los dígitos pares del grupo de código se invierten aumentando el número de transiciones y se inserta "1" en el tiempo de guarda. Con "1", el grupo de código no se altera y se inserta "0" en el tiempo de guarda. Un filtro responde a la transición de estos grupos de código resultantes para dar sincronización. La condición binaria en el tiempo de guarda se detecta y el grupo de código resultante se convierte a los grupos de código originales.

Antecedentes del invento

Este invento se refiere a sistemas como los de transmisión o proceso de datos que requieren sincronización entre dos componentes que utilizan señales de PCM (modulación de código de impulsos) y mas particularmente a los sistemas que utilizan señales PCM NRZ.

./.

336626



2.

Para la explicación se describirá el invento con relación a los sistemas de transmisión de datos PCM NRZ que utilizan un terminal o central terminal transmisora y un terminal o central receptora que
20 tiene un número de repetidores regenerativos entre ambos. Se sobreentiende, sin embargo que el sistema objeto del invento y su técnica son también aplicables a los sistemas de proceso de datos.

En los sistemas PCM NRZ, la información está en forma de un código binario de dígitos en relación serie en el que posiciones de
25 tiempo o espacios de tiempo de dígito contiguas separadas regularmente están ocupadas por un bit binario. Esto es, en el grupo de código tipo NRZ no hay tiempo de guarda entre dígitos adyacentes del grupo de código. Así dos o más dígitos adyacentes de condición "1" permanecerían al nivel "1" y no volverían a "0" entre dígitos adyacentes. Esta técnica está en contraste con la de modulación de código de vuelta a cero
30 en la que los dos o más dígitos adyacentes en la condición binaria "1" volverían a "0" entre los dígitos binarios "1" adyacentes.

Los grupos de código NRZ pueden transmitirse por modulación de amplitud de una señal portadora a un primer nivel durante el
35 tiempo de dígito en el que se presenta el dígito "1" y a un segundo nivel diferente durante el tiempo de dígito en que aparece un dígito "1". La característica del sistema de modulación de código tipo NRZ y sus técnicas son bien conocidas y se describen en particular en el artículo titulado "Modulation and Coding" publicado en el N°. 4 del vol.
40 de "Electrical Communication".

La técnica de código tipo NRZ tiene la ventaja de que reduce la anchura de banda de la señal transmitida. Sin embargo, hay una dificultad aneja para extraer las señales de sincronización en la forma de transiciones entre el binario "1" y el binario "0" y las transiciones del binario "0" al binario "1". Se sabe que en un repetidor regenerativo y en un terminal receptor las señales recibidas se regeneran
45

./.

336626

3.



y se retemporizan en posiciones de tiempo definidas por señales de sincronización suministradas, por ejemplo por un filtro de banda estrecha sintonizado a la frecuencia de repetición de los impulsos de dígito y que se excita en modulación de tipo NRZ por señales correspondientes a las transiciones antes mencionadas en ambas direcciones entre las dos condiciones binarias. Sin embargo, como se ha mencionado en el artículo anterior, la amplitud de esas señales y su fase varía de acuerdo con la densidad de las transiciones de las señales recibidas siendo menor esta densidad en las señales de código NRZ a medida que los dígitos transmitidos comprenden una serie de dígitos idénticos.

Resumen del invento. Un objeto de este invento es modificar los grupos de código NRZ transmitidos, para facilitar la restitución de la señal de sincronización constituida por las transiciones entre las dos condiciones binarias.

Otro objeto de este invento es modificar los grupos de código NRZ para dar grupos de código que tienen un número de transiciones entre las dos condiciones binarias igual o mayor que un número dado de transiciones N de forma que cuando se considere un tren total de grupos de código las transiciones tiendan hacia un número constante.

Otro objeto del presente invento es modificar los grupos de código NRZ de forma que tengan un número de transiciones tan constante como sea posible para excitar un filtro de banda estrecha para extraer la señal de sincronización.

Una característica de este invento es la provisión de un sistema para procesar un tren de una pluralidad de grupos de código NRZ de N dígitos que tiene un tiempo de guarda entre los grupos de código NRZ adyacentes que comprende unos primeros medios acoplados a un generador de grupos de código NRZ para producir una señal de control para cada uno de los grupos de código NRZ, dependiendo cada una de las señales de control del número de transiciones entre las dos condiciones binarias.

./..



dentro del grupo de código NRZ correspondiente, y segundos medios acoplados al generador y a dichos primeros medios que responden a cada una de las señales de control y el grupo de código NRZ correspondiente: para convertir cada uno de los grupos del código NRZ correspondientes a un grupo de código predeterminado para producir un tren de grupos de código predeterminados que tiene un mayor número de transiciones que el tren de grupos de código NRZ para proporcionar información de sincronización. Otra característica de este invento es la provisión, además de los medios primero y segundo antes mencionados, de unos terceros medios acoplados a los segundos medios que responden a las transiciones del tren de grupos de código predeterminados para abstraer la información de sincronización y cuartos medios acoplados a los segundos medios para convertir cada uno de los grupos de código predeterminados en el grupo de código NRZ correspondiente.

Breve descripción de los dibujos

Las antes mencionadas y otras características y objetos del invento se comprenderán mejor con relación a la siguiente descripción hecha de acuerdo con los dibujos que se acompañan en los que:

95 La figura 1 es un diagrama esquemático en bloque de un sistema de acuerdo con los principios del invento; y

La figura 2 es una serie de curvas de tiempo útiles para explicar el funcionamiento del sistema de la figura 1.

Descripción de la realización preferida

100 Para simplificar la descripción de las operaciones lógicas que se presentan en el sistema de la figura 1, las notaciones de álgebra lógica están establecidas de acuerdo con los textos "Logical Design of Digital Computers" de M. Phister (Editor J. Wiley) y Arithmetic Operations in Digital de R.K. Richards (Editorial D. Van Nostrand
105 Co-publisher).

Para explicar la operación de la realización del sistema

./..

336626

5.



de acuerdo con este invento, según se ha representado en la figura 1, se han hecho varias suposiciones, según se indican en la figura 2. La señal de entrada S_1 (curva G, figura 2) representa cuatro grupos de código NRZ recibidos sucesivamente en el terminal 10 de la figura 1, que tienen diferentes combinaciones de código. Estos cuatro grupos de código están referenciados O1, O2, O3 y O4 en la curva A de la figura 2. Se supone que las combinaciones de código están expresadas en un código binario no redundante que comprende ocho dígitos que ocupan ocho espacios de tiempo de dígito referenciados t_1, t_2, \dots, t_8 (Curva B, figura 2) y un tiempo de guarda t_g . Cada uno de los espacios de tiempo de dígito está dividido en dos espacios de tiempo básicos t_a y t_b , definidos por los impulsos de tiempo representados en las curvas E y F de la figura 2. Las curvas C y D de la figura 2 representan las señales de tiempo t_g y t_l y las curvas E y F de la figura 2 representan las señales de tiempo t_a y t_b que se emplean en el sistema de este invento. Todas las señales de tiempo que definen los diferentes espacios de tiempo son suministrados por el generador de señales de tiempo TSG, representado en la figura 1.

El sistema de la figura 1 comprende el circuito de entrada NC1 acoplado al terminal 10 que recibe los grupos de código de entrada $\overline{S_1}$ (curva G, figura 2). El terminal 10 está acoplado a un inversor 7 para dar la señal complementaria S_1 , curva H, figura 1. Un retraso 8 se acopla al inversor 7 y tiene un retardo T igual a los espacios de dígito t_1, t_2, \dots, t_8 más el espacio de tiempo de guarda t_g y da $\overline{S_2}$ en su salida, curva I de la figura 2. La salida del retardador 8 se acopla al inversor 9 y da en su salida la señal S_2 , curva J, figura 2.

El detector de transición TD se acopla al terminal 10, la salida del inversor 7 y las apropiadas de las señales de tiempo del generador STSG según se ilustra, para suministrar en cada transición de condición binaria "1" a condición binaria "0" y de condición binaria



"0" a condición binaria "1", una señal Co. El contador Cr está acoplado a la salida del detector TD para contar las transiciones detectadas y para dar una salida del flip-flop C3 para identificar si el número de transiciones en un grupo de código dado es menor o superior que un valor dado N con la salida \bar{C} que indica que el número de transiciones es menor que N y una salida C que indica que las transiciones son mayores que N. A la salida del contador CR se acopla una memoria de transición TN en la que se almacena el estado del flip-flop C3 y suministra una señal M ó \bar{M} durante el tiempo reservado al proceso del grupo de código en el circuito de transmisión TC.

El circuito TC recibe las señales retardadas S2 y $\bar{S}2$ y da en su salida una señal R que es la señal S2 durante los espacios de tiempo de dígito impares (t_1, t_3, etc) o la señal $\bar{S}2$ durante los espacios de tiempo de dígito pares (t_2, t_4, etc) cuando la memoria TM suministra una señal \bar{M} . Si el circuito TC recibe de la memoria TM una señal M, la señal S2 se aplica directamente sin modificación a su salida para formar la señal de salida R.

Un medio de propagación PM transmite la señal R al equipo que requiere sincronización en el que el filtro F detecta las transiciones en la señal R y la salida resultante se aplica al circuito de sincronización para el generador de señal de tiempo STSG. Las señales de sincronización así recibidas, suministradas por el filtro F sincronizan las señales de tiempo del generador STSG para regenerar y retemporizar los dígitos en posiciones de tiempo bien definidas. Así, mediante la cooperación del filtro F la parte de recepción de un receptor regenerativo o terminal receptor permite la identificación sin ambigüedad de los diferentes espacios de tiempo de dígito de un grupo de código. Esta operación se llama "encuadre" en el caso de transmisión PCM múltiple de división en el tiempo habiéndose ya descrito numerosos circuitos que cumplen esta función así como en la patente

336626

7.



francesa N^o. 1.301.275. La operación de encuadre permite que las se-
ñales de tiempo estén en sincronización exacta con las señales recibi-
das, esto es que la señal tg se produzca cuando el tiempo de guarda
170 del grupo de código se ha recibido, la señal t1 cuando se ha recibido
el primer dígito del grupo de código, y así sucesivamente.

La señal R es también recibida por el circuito de entrada
NC2 y suministra la señal R directamente y la señal \bar{R} a través de los
medios de inversor 34. La salida del circuito NC2 se aplica al circuito
175 de detección de dígito de guarda MD junto con las señales de tiempo
adecuadas del generador STSG, según se ha ilustrado. El circuito MD
suministra una señal V cuando el tiempo de guarda comprende una con-
dición binaria "0" y una señal \bar{V} cuando el tiempo de guarda comprende
una condición binaria "1". La presencia de la señal \bar{V} indica que de-
180 ben ser complementados dígitos pares de la combinación de código mien-
tras que la presencia de una señal V significa que los dígitos de la
combinación de código no tienen que ser modificados. Un circuito de
complementación CC acoplado al circuito MD y que recibe las señales de
tiempo apropiadas del generador STSG, según se ha representado, llevan
185 a efecto las instrucciones recibidas del circuito MD para dar en el
terminal de salida del circuito CC una señal G de acuerdo con las
instrucciones contenidas en las señales V y \bar{V} .

Para comprender mejor el sistema de este invento, a conti-
nuación se describirá la operación con relación al grupo de código Q1
190 y el grupo de código Q2. Se verá de la curva G, figura 2 que la señal
recibida S1 tiene un binario "0" en cada tiempo de guarda tg.

Considerando primero la combinación de código Q1, se obser-
va que los ocho espacios de tiempo de dígito están ocupados por una se-
rie continua de impulsos en la condición binaria "1". Esta combinación
195 de código se acopla a la puerta AND 11 junto con el impulso de tiempo
tb. La puerta AND 12 tiene también aplicada a ella impulsos de tiempo

./.



tb y la señal \bar{S}_1 en la salida del inversor 7. Se observará que la puerta AND 17 durante los espacios de tiempo tg y t1 no dejará pasar nunca una señal a su salida puesto que los impulsos de tiempo tg y t1 están acoplados a través de la puerta OR 16 y el inversor 32 para dar un binario "0" en la entrada de la puerta AND 17. En el momento tb en el espacio de tiempo t2, la puerta AND 11 dará una salida que colocará el biestable B1 en la posición "1" que se aplica a la puerta AND 13 aplicándose una condición "0" a la puerta AND 14. La condición "0" del flip-flop B1 previene una salida de la puerta AND 13 y así no habrá salida de la puerta OR 15 ni la puerta AND 17. Esta condición persistirá en el espacio de tiempo ta del espacio de tiempo t3 puesto que el biestable B1 permanecerá en la posición en que se colocó en el momento tb del espacio de tiempo t2. Las condiciones anteriores persistirán durante los espacios de tiempo t4-t8., produciendo una salida Co que tiene una condición binaria "0" como se ha representado en la curva K de la figura 2.

Los biestables C1, C2 y C3 del contador CR se colocan en su condición "0" en el momento t1. Con una salida Co "0", los biestables C1, C2 y C3 seguirán en la condición en que se colocaron en el momento t1 de lo que resulta una salida binaria "1" para la salida \bar{C} y una condición binaria "0" para la salida C.

Durante el tiempo de guarda tg, del grupo de código Q2, las puertas AND 18 y 19 de la memoria TM se excitan por las señales de tiempo ts y tg. Con una salida "1" de la porción "0" del flip-flop C3, la puerta AND 19 dará una salida que colocará el flip-flop M1 en su condición "0" resultando de ello una señal M que tiene un binario "0".

A través de medios del inversor 33, la señal \bar{M} está prevista para aplicación con la señal M al circuito TC.

El circuito TC comprende un biestable B2 que se coloca en el tiempo t1 en su condición "0" y en cada espacio de tiempo sucesivo

336626

9.



se conmuta alternativamente por la señal de tiempo t_a de forma que el biestable B2 está en el estado "0" durante los espacios de tiempo de dígitos impares y en el estado "1" durante los espacios de tiempo de dígito par. La salida "1" del flip-flop B2, la señal $\overline{S_2}$ y la señal \overline{M} están acopladas a una puerta AND 22. La salida "0" del flip-flop B2, la señal \overline{M} y la señal S están acopladas a una puerta AND 20. La puerta AND 23 tiene acoplada a ella la señal de tiempo t_g y la señal \overline{M} . Las salidas de estas varias puertas AND están acopladas a la puerta OR 24 para dar la señal R en su salida.

Continuando con la operación de la modificación del grupo de código Q1, se vera que en el momento t_1 , la salida "0" del flip-flop B2 está en condición "1" y la señal S2 está también en condición "1", la puerta AND 21 dará un dígito "1" en el espacio de tiempo t_1 . En el espacio de tiempo t_a en el espacio de tiempo t_2 , el flip-flop se ajusta para dar una condición "1" en su salida "1" cebando por lo tanto la puerta AND 22. Puesto que la señal \overline{M} y S2 está en una condición "0" y todas las otras puertas AND 20, 21 y 23 tienen por lo menos una entrada "0", el dígito que aparece en el espacio de tiempo 2 de la señal R estará en condición "0". La condición alternativa del flip-flop Bw y las condiciones de las distintas señales aplicadas a las puertas AND 20, 21, 22 y 23 producirá dígitos de condición binaria "1" en los espacios de tiempo impares como se ha ilustrado en la curva N, figura 2. Se señalará en la curva N, figura 2 que el espacio de tiempo de guarda t_g tiene una condición binaria "1" en él. Esta condición es suministrada por una puerta AND 23 que tiene acoplada a ella la señal de tiempo t_g y la señal \overline{M} resultando en una salida de la puerta AND 23 y de aquí una salida de la puerta OR 24.

La señal R se propaga entonces por medios FM con su transmisión detectada por el filtro F para sincronización del generador STEC. La señal R se aplica también al circuito NC2.

./.



El circuito MD comprende una puerta AND 26 que da una salida de ella durante el espacio de tiempo t_a del espacio de tiempo t_g . Esta salida se acopla a las puertas AND 25 y 27. La puerta AND 25 tiene acoplada a ella la señal R y la puerta AND 27 tiene acoplada a ella la señal \bar{R} . Estas dos puertas AND determinan la condición binaria presente en el espacio de tiempo t_g de la señal R esta en la condición "1", se producirá una salida de la puerta AND 25 que ajusta el flip-flop V1 a su condición "0" resultando una señal V que tiene una condición binaria "0" y una señal \bar{V} en una condición "1" como se ha representado en las curvas P y Q de la figura 2.

Estas dos señales del circuito MD acopladas al circuito CC que comprende el flip-flop B3 accionado por las señales de tiempo t_1 para ajustar el flip-flop B3 a su condición "1" al principio del grupo de código y una señal de tiempo t_a que alterna las condiciones "1" y "0" de las salidas "1" y "0" del flip-flop B3. El circuito CC comprende además tres puertas AND 28, 29 y 30 para complementar los dígitos de numeración par en señal R cuando la condición binaria del tiempo de guarda así designado y una puerta OR 31 acoplada a estas tres puertas AND para dar una señal de salida G. Considerando todavía el grupo de código Q1, se ve que en el espacio de tiempo t_1 , la señal R está en la condición "1" y la señal \bar{V} está también en la condición "1". Además la salida "1" del flip-flop B3 está en la condición "1". Así, la puerta AND 28 se activará para dar una salida que tiene una condición "1" para pasar a través de la puerta OR 31. En el espacio de tiempo t_2 , se ve que la señal R está en la condición "0", la señal \bar{R} está en la condición "1" mientras que \bar{V} está en la condición "1". En ese momento el biestable B3 se ha conmutado por la señal de tiempo t_s para dar una condición "1" de su salida "0" y una condición "0" de su salida "1". En estas condiciones la puerta AND 29 pasará una salida a la puerta OR 31 que tiene una condición "1".

336626

11.



La operación anterior continuará durante los restantes espacios de tiempo del grupo de código Q1 que produce la misma secuencia de ocho dígitos binarios en la condición "1" para la señal G (Curva R, figura 2) como estaba presente en la señal de entrada S1 (Curva G, figura 2).

Consideramos ahora el funcionamiento del sistema para el grupo de código Q2. Como antes, el detector TD no produce ninguna salida Co en los espacios de tiempo t_g y t_l debido a la entrada a la puerta AND 17 de la puerta OR 16 y el inversor 32. En el espacio de tiempo t_2 , la señal \bar{S}_1 hará que la puerta AND 12 produzca un ajuste de salida del flip-flop B1 a su condición "0" resultando en una salida "1" a la puerta AND 14 y una salida "0" a la puerta AND 13. Esta condición del flip-flop B1 continuará hasta el espacio de tiempo t_3 del espacio de tiempo t_3 . Así, en el espacio de tiempo t_a del espacio de tiempo t_3 habrá una salida de la puerta AND 14 que está acoplada a través de la puerta OR 15 y, por lo tanto, a través de la puerta AND 17 para producir un impulso de salida para la señal Co. Esta operación del detector TD continuará hasta que todas las transiciones del grupo de código Q2 se detectan como se indica en la curva K de la figura 2.

Como antes, el contador CR tiene cada uno de sus flip flops C1, C2 y C3 ajustados a su posición "0" en el momento t_l . Los impulsos de avance para los contadores CR son producidos por la señal Co. Los tres primeros impulsos de una señal Co no cambiarán la condición del biestable C3 de forma que la salida C tenga una condición binaria "1" y la salida \bar{C} tenga una condición binaria "0". En el momento t_a del tiempo t_g , la puerta AND 18 dará una salida que colocará el flip-flop M1 en su condición "1" produciendo una señal M que tiene una condición binaria "1" como se indica en la curva L, figura 2.

El circuito TC controlado por señales M y \bar{M} y la salida

./..

336626

12.



del flip-flop B2 se colocará como anteriormente con relación al grupo de código Q1. Sin embargo, la condición binaria de M y \bar{M} ha cambiado, y en efecto provoca una operación de las puertas AND 20, 21 y 22 para producir una salida idéntica a la señal de entrada retardada S2. En otros términos, no hay complementación de los dígitos de código pares puesto que el número de transiciones es mayor que el número dado de transiciones N. La puerta AND 23 accionada en el momento t_g no produce ninguna salida puesto que la señal \bar{M} está en la condición binaria "0" resultando en una condición binaria "0" que está presente en el tiempo de guarda. Esto se ilustra en la curva R de la figura 2.

Como antes, la señal R se acopla al filtro F para sincronización y al circuito de entrada NC2. Como antes, el circuito MD da una salida de la puerta AND 26 en el espacio de tiempo t_a del espacio de tiempo t_g para aplicación a las puertas AND 25 y 27. Puesto que el espacio de tiempo de dígito de guarda tiene una condición binaria "0" la puerta AND 27 producirá una salida para ajustar el flip-flop V1 a su condición "1" resultando una señal V que está en condición "1" y una señal \bar{V} que está en condición binaria "0". El flip-flop B3 funciona como antes, pero a pesar de la condición del flip-flop B3 no puede aparecer salida de las puertas AND 28 y 29 puesto que la señal \bar{V} está en una condición "0" a través de la duración del tiempo del código de grupo Q2. Sin embargo, la puerta AND 30 está activada por la señal R para producir en la salida de la puerta OR 31 el grupo de código de la señal R. Así, la señal G es idéntica a la señal R, esto es, no hay modificación del grupo de código recibido como se ilustra en la curva R de la figura 2.

La operación del sistema de la figura 1 seguirá el mismo esquema que se ha descrito en lo que antecede con relación al grupo de código Q1 para los grupos de código Q3 y Q4. Esto es debido al hecho de que las transiciones detectadas en los grupos de código Q3 y Q4

./.

336626

13.



son menos que el número dado N . Así, el circuito funcionará sustancialmente como se ha descrito anteriormente con relación a Q_1 en la producción de la señal R y la recuperación de los grupos de código NRZ como se indican en la señal G .

En resumen, el detector TD recibe la señal S_1 y en un espacio de tiempo de dígito dado t_j controla el ajuste del flip-flop B_1 a su estado "1" en el tiempo t_h mediante la puerta AND 11 que excita la puerta AND 14. De forma semejante, la señal S_1 ajusta el flip-flop B_1 a su estado "0" mediante la puerta AND 12 que excita la puerta AND 13. Las señales de salida de las puertas AND 13 y 14 se pasan a través de la puerta OR 15. La puerta AND 17 acoplada a la puerta OR 15 se excita por la condición lógica $(\overline{t_g + t_l}) \times t_a$ como son suministradas por el circuito OR 16 y el inversor 32 y la señal de tiempo t_z . Así, puede establecerse que aparece una señal C_0 en el espacio de tiempo básico t_a del espacio de tiempo de dígito $t \cdot (j + 1)$ para cada transición de "0" a "1" ó de "1" a "0" cuando $J = 2 - 8$ y que no aparece ninguna señal C_0 cuando $j = 0$ ó 1. Esto significa que para la señal S_1 (curva G , figura 2) la cuenta de las transiciones que puede haber a ambos lados del espacio de guarda t_g no se tiene en cuenta y por lo tanto es equivalente a contar el número de transiciones en el grupo de código considerado solo.

El contador CR que recibe su señal de avance de la señal C_0 tiene sus flip-flops C_1 , C_2 y C_3 repuestos a "0" por la señal t_1 . Cuando el número de transiciones o impulsos de la señal C_0 es menor que 4, es decir $N < 4$, el flip-flop C_3 está en el estado "0" y cuando $N > 3$ el flip-flop C_3 está en el estado "1". Sin embargo, debe realizarse que el valor de N puede seleccionarse para tener otros valores con una modificación correspondiente del contador. Al final del tiempo reservado a la recepción de un grupo de código, esto es el momento t_a del tiempo t_g , del grupo de código siguiente, uno de los circuitos

./.



AND 18 y 19 de la memoria TM se excita de acuerdo con que esté presente la condición $G \bar{6} \bar{C}$ y el flip-flop M1 esté colocado en el estado "1" o en el estado "0" respectivamente.

380 De acuerdo con las convenciones adoptadas en lo anterior, la señal ($M = "1"$) se obtiene cuando $N > 3$ y la señal \bar{M} ($M = "0"$) se obtiene en la situación en que $N < 4$. Estas señales son procesadas por el circuito TC que comprende el flip-flop B2. El flip-flop B2 se ajusta a estado "0" en el tiempo de dígito t_1 y en los tiempos de dígito sucesivos se conmuta en el tiempo básico t_a de forma que está en el estado "0" durante los espacios de tiempo de dígito impares y en el estado "1" durante los espacios de tiempo de dígito par. La expresión l3gica para la operaci3n del circuito TC es la siguiente:

$$R = M \times S_2 + B_2 \times \bar{M} \times S_2 + B_2 \times M \times S_2 + M \times t_g$$

390 Cuando est3 presente una condici3n l3gica $M \times S_2$, la se3al S_2 se transmite directamente como una se3al R por la puerta AND 20 y la puerta OR 24.

395 Cuando la condici3n l3gica $\bar{B}_2 \times M \times S_2$ est3 presente, los d3gitos impares se transmiten como se3al R por la puerta AND 21 y la puerta OR 24.

Quando est3 presente una condici3n l3gica $B_2 \times \bar{M} \times S_2$, los d3gitos pares se transmiten como se3al R en forma complementaria a trav3s de la puerta AND 22 y la puerta OR 24.

400 Cuando est3 presente la condici3n l3gica $\bar{M} \times t_g$, se transmite una condici3n binaria "1" como se3al R en el tiempo de guarda a trav3s del circuito AND 23 y el circuito OR 24. (\bar{M} debe estar en la condici3n binaria "1").

405 En el circuito MD, la puerta AND 26 da a las puertas AND 25 y 27 una se3al de control en el tiempo t_s en el espacio de tiempo t_g , esto es al principio de la recepci3n del tiempo de guarda. En ese momento la puerta AND 27 est3 excitada por la se3al \bar{R} y controla el

336626

15.



ajuste del flip-flop V1 al estado "1", o la puerta AND 25 es excitada por la señal R y controla el ajuste del flip-flop V1 al estado "0".

410 El circuito CC comprende el flip-flop B3 controlado de la misma forma que el flip-flop B2 por señales t1 y ta y además las puertas AND 28, 29 y 30 y la puerta OR 31.

Este circuito suministra la señal G que caracteriza un dígito "1" del grupo de código para la condición lógica:

$$G = V \times R + \bar{V} \times R \times B3 + \bar{V} \times \bar{R} \times \bar{B3}$$

415 Esta ecuación ilustra que una señal G (una salida "1") se obtiene bajo las siguientes condiciones cuando se recibe: (a) un dígito "1" en R que pertenece a un grupo de código en el que el dígito de guarda a condición es "0", (b) un dígito "1" en R situado en un tiempo de dígito impar y que pertenece a un grupo de código cuyo dígito de guarda o condición es "1", y (c) un dígito "0" en R situado en una posición de dígito par y que pertenece a una combinación de código cuyo dígito de guarda o condición es "1". En todas las otras situaciones se obtiene la señal \bar{G} , principalmente, una condición binaria "0". Se ve que el circuito CC hace una operación que es la inversa de la realizada por el circuito TC.

425

Se ha visto en la descripción anterior que el detector de transición TD cuenta las transiciones en un grupo de código aislado. Más precisamente, no tiene en cuenta una transición entre tg y t1 que ocurrirá si el dígito en el tiempo t1 esta en condición "1", o la transición entre t8 y tg que habrá si el dígito en el tiempo t8 está en una condición "1".

430

En estas condiciones, el número máximo de transiciones Nm que puede existir en un grupo de código de n dígitos, transmitido usando técnica de modulación NRZ es:

435 $Nm = n - 1$

El sistema objeto del invento complementa los dígitos de

./.

336626

16.



número o posición de tiempo par para:

$$N \frac{n - p}{2}$$

440 En este N representa el número de transiciones y P = 0 si n es par ó P = 1 si n es impar.

Se comprueba fácilmente que el número de transiciones en el código modificado es entonces igual a $n-1-N$, sin tener en cuenta las transiciones que habrá si el dígito transmitido en t_1 es un "0" y si el dígito transmitido en el espacio de tiempo de dígito siguiente es diferente del transmitido en el espacio de tiempo t_8 .

450 Aunque los principios del invento se han descrito en relación con aparatos específicos, se sobreentiende que esta descripción se ha hecho únicamente a título de ejemplo y no como una limitación del alcance del invento de acuerdo como se establece en las reivindicaciones que se acompañan.

Este invento corresponde a una solicitud de patente formulada en Francia el 9 de Febrero de 1.966 señalada con el número PV 49.026 y se acoge por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

- - - - - N O T A - - - - -

455 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

1.- Mejoras en sistemas de transmisión de código de impulsos en un sistema para procesar un tren de una pluralidad de n dígitos de grupos de código sin vuelta a cero (NRZ) que tiene un tiempo de guarda entre los adyacentes de dichos grupos de código NRZ que comprende:

460 Un generador de dichos grupos de código NRZ
Primeros medios acoplados a dicho generador para producir una señal de control para cada uno de dichos grupos de código NRZ dependiendo cada una de las señales de control del número de transiciones entre las dos condiciones binarias dentro del grupo correspondiente de

./.



17.

336626

código NRZ; y

segundos medios acoplados a dicho generador y dichos primeros medios que responden a cada una de dichas señales de control y el correspondiente de dichos grupos de código NRZ para convertir cada uno de los grupos de código correspondientes NRZ a un grupo de código predeterminado para producir un tren de grupos de código predeterminados que tiene un número de dichas transiciones mayor que dicho tren de grupos de código NRZ para dar información de sincronización.

2. Mejoras en un sistema como el del punto 1 que además comprende:

terceros medios acoplados a dichos segundos medios que responden a dichas transiciones de dicho tren de grupos de código predeterminados para extraer dicha información de sincronización; y

cuartos medios acoplados a dichos segundos medios para convertir cada uno de dichos grupos de código predeterminados al correspondiente de dichos grupos de código NRZ.

3. Mejoras en un sistema como el del punto 1 en el que dichos primeros medios comprenden:

primeros medios de circuito lógico para producir dicha señal de control que tiene una condición binaria cuando el número de dichas transiciones dentro de uno de dichos grupos de código NRZ es menor que un valor dado y la otra condición binaria cuando el número de dichas transiciones dentro de uno de dichos grupos de código NRZ es mayor que dicho valor dado; y

dicho segundo medio comprende:

segundos medios de circuito lógico que responden a dicha condición de dicha señal de control para complementar dígitos de numeración par de dicho grupo de código NRZ para producir el correspondiente de dichos grupos de código predeterminados y que responde a dicha otra condición de dicha señal de control para producir la co-



rrespondiente de dichos grupos de código predeterminados que es idéntico a dicho grupo de código NRZ.

4.- Mejoras en un sistema como el del punto 3 en el que dichos segundos medios de circuito lógico comprenden además:

500

más:

medios que responden a dicha condición de dicha señal de control para producir dicha otra condición binaria en dicho tiempo de guarda que precede a dicho grupo de código NRZ y que responde a dicha otra condición de dicha señal de control para producir dicha condición binaria en dicho tiempo de guarda que precede a dicho grupo de código NRZ.

505

5.- Mejoras en un sistema como el del punto 4 que además comprende:

510

terceros medios acoplados a dichos segundos medios que responden a dichas transiciones de dicho tren de grupos de código predeterminados para extraer dicha información de sincronización; y

515

cuartos medios acoplados a dicho segundo circuito lógico que responde a la condición binaria presente en dicho tiempo de guarda que precede cada uno de dichos grupos de código predeterminados para convertir cada uno de dichos grupos de código predeterminados al correspondiente de dichos grupos de código NRZ.

6.- Mejoras en un sistema como el del punto 1 en el que dichos primeros medios comprenden

520

medios detectores de transición acoplados a dichos generadores que producen un impulso de salida a la detección de una transición de la condición binaria "1" a la condición binaria "0" y a la detección de una transición de la condición binaria "0" a la condición binaria "1"

525

medios de recuento binario acoplados a dichos medios detectores para producir una primera señal cuando dichos impulsos de salida



son menos que un valor dado y una segunda señal cuando dichos impulsos de salida son más que dicho valor dado,

530 un primer elemento biestable acoplado a dichos medios de recuento ajustado durante dicho tiempo de guarda según cada uno de dichos grupos de código NRZ para dar dicha señal de control que tiene una condición binaria "0" a la ocurrencia de dicha primera señal y una condición binaria "1" a la ocurrencia de dicha segunda señal.

7.- Mejoras en un sistema como el del punto 6 que además comprende

535 medios de filtro acoplados a dichos segundos medios que responden a dichas transiciones de dicho tren de grupos de código predeterminados para extraer dicha información de sincronización; y

540 terceros medios acoplados a dichos segundos medios para convertir cada uno de dichos grupos de código predeterminados en los correspondientes de dichos grupos de código NRZ.

8.- Mejoras en un sistema como el del punto 6 en el que dichos segundos medios comprenden

545 un segundo elemento biestable activado para estar en su estado "0" durante los tiempos de dígito impar y en su estado "1" durante los tiempos de dígito par,

medios de retardo acoplados a dicho generador para retardar dichos grupos de código NRZ un tiempo igual al tiempo de uno de dichos grupos de código NRZ más dicho tiempo de guarda,

550 primeros circuitos lógicos acoplados a dichos medios biestables primero y segundo y dichos medios de retardo para dar el grupo de código NRZ retardado como el correspondiente de dichos grupos de código predeterminados cuando dicho primer elemento biestable se ajusta en su estado "1" y el grupo de código retardado NRZ que tiene sus dígitos pares invertidos como el correspondiente de dichos grupos de código predeterminados cuando dichos primeros medios biestables están

336626

20.



su estado "0",

560 terceros medios acoplados a dichos primeros medios biestables activados durante dicho tiempo de guarda que precede al correspondiente de dichos grupos de código predeterminados para dar en dicho tiempo de guarda precedente una condición binaria "1" cuando dichos primeros medios biestables están en el estado "0" y para dar en dicho tiempo de guarda precedente una condición binaria "0" cuando dicho primer medio biestable está en su estado "1", y

565 cuartos medios acoplados a dichos primeros circuitos lógicos y dichos terceros medios para dar dicho tren de grupos de código predeterminados.

9.- Mejoras en un sistema como el del punto 8 que además comprende

570 medios de filtro acoplados a dichos cuartos medios que responden a dichas transiciones de dicho tren de grupos de código predeterminados para extraer dicha información de sincronización; y

575 quintos medios acoplados a dichos cuartos medios que responden a la condición binaria presente en dicho tiempo de guarda que precede cada uno de dichos grupos de códigos predeterminados para convertir cada uno de dichos grupos de código predeterminados al grupo de código NRZ correspondiente.

10.- Mejoras en un sistema como el del punto 9 en el que dichos quintos medios comprenden

580 un tercer elemento biestable activado para estar en su estado "1" durante los tiempos de dígito impar y a su estado "0" durante los tiempos de dígito pares,

585 medios de detección de dígito de guarda acoplados a dichos cuartos medios para producir una tercera señal cuando dicho tiempo de guarda comprende una condición binaria "1" y una cuarta señal cuando dicho tiempo de guarda comprende una condición binaria "0",

./.



336626

21.

un cuarto elemento biestable acoplado a dichos medios de detección de dígito de guarda que se ajusta a su estado "1" cuando dicha cuarta señal está presente y que se ajusta a su estado "0" cuando dicha tercera señal está presente, y

590

segundos circuitos lógicos acoplados a dichos medios biestables tercer y cuarto y dichos cuartos medios para convertir cada uno de dichos grupos de código predeterminados al correspondiente de dichos grupos de código NRZ dando cada uno de dichos grupos de código predeterminados como el correspondiente de dichos grupos de código NRZ cuando está presente dicha cuarta señal e invirtiendo los dígitos para de cada uno de dichos grupos de código predeterminados cuando está presente dicha tercera señal.

595

11.- Mejoras en sistemas de transmisión de código de impulsos,

600

Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados

Esta memoria consta de veintiuna hojas escritas por una sola cara.

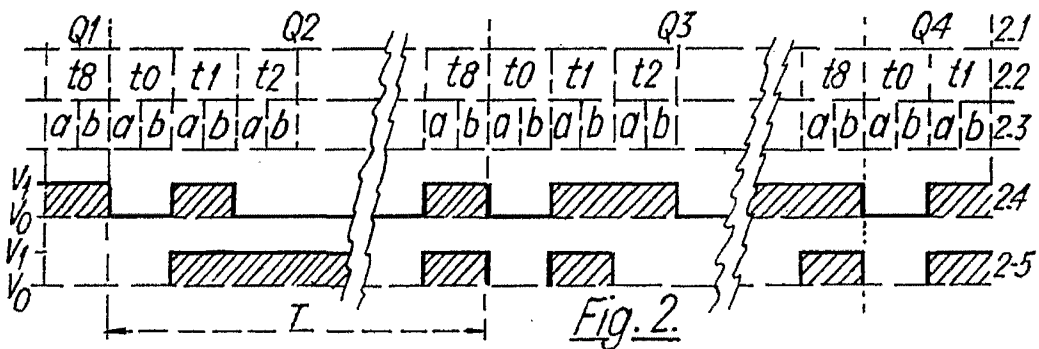
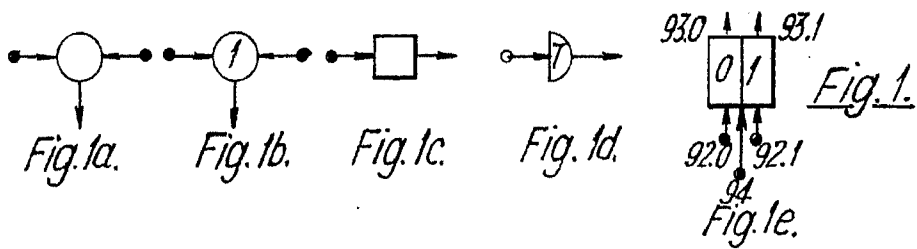
Madrid, 9 FEB. 1967.



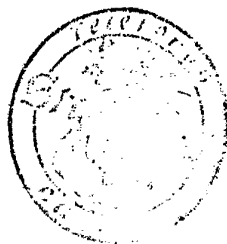
Eugenio Sarroco
EUGENIO SARROCO
Secretario General



336626



9 FEB 1967



E. Barros
 EUGENIO BARROS
 Secretario General



336626

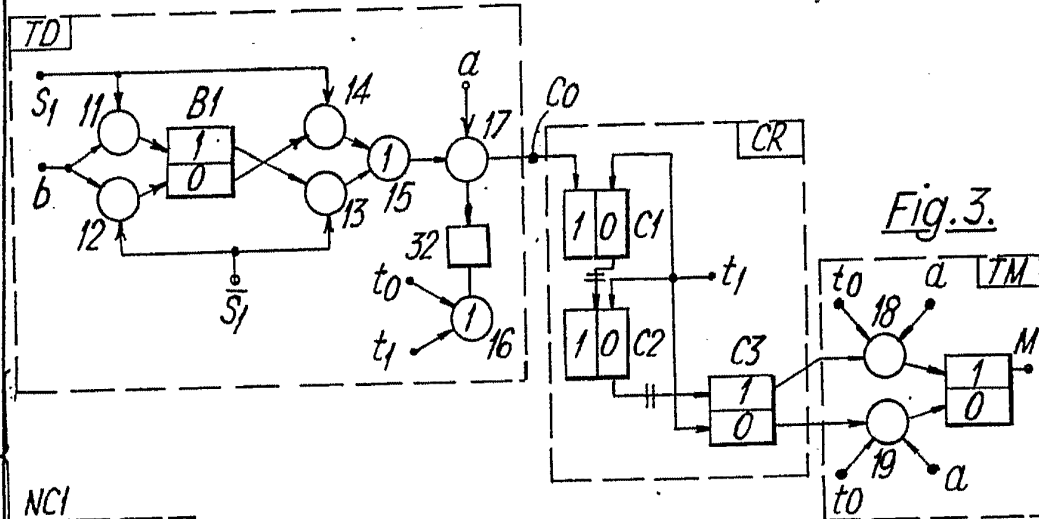


Fig. 3.

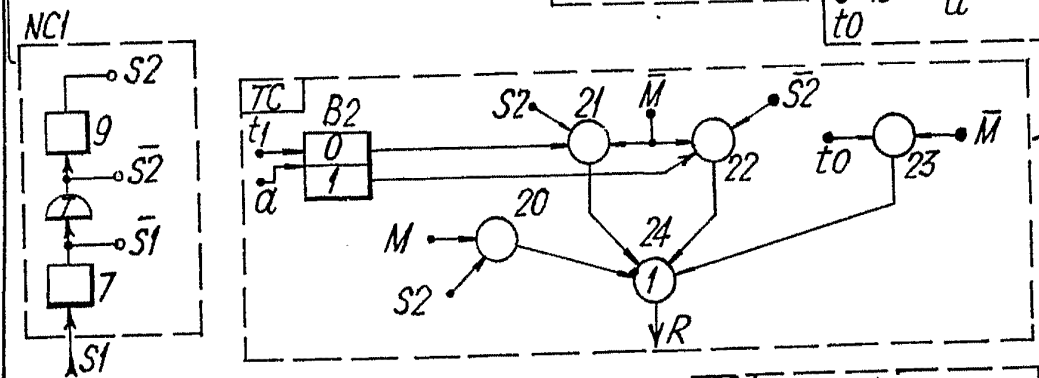
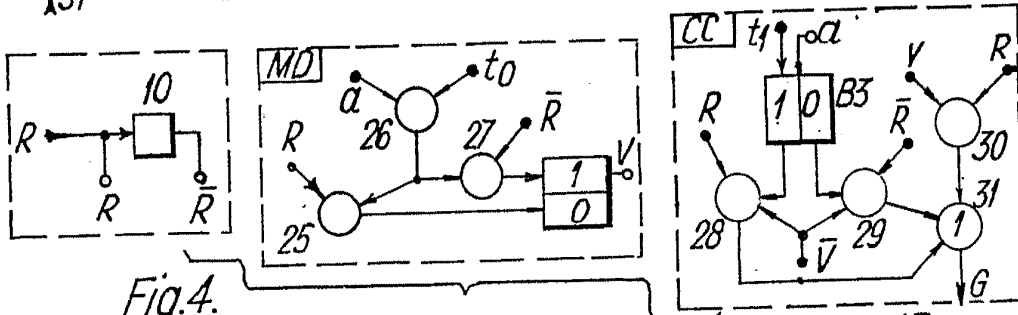


Fig. 4.



9 FEB. 1967



Eugenio Barroso
EUGENIO BARROSO
Secretario General