P.- 34.010
Docket 45.713

3 FEB

336127

MEMORIA DESCRIPTIVA

que se presenta para unir a la solicitud

d e

P A T E N T E D E I N V E N C I O N

formulada el 27 de Enero de 1967, con el nº 336.127

e n

E S P A Ñ A

por VEINTE años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION, entidad norteamericana, establecida en Armonk, N.Y., Estados Unidos de América,

por:

" UNA DISPOSICION PARA COMPROBACION DE PARIDAD PARA SISTEMAS DE COMPUTADORAS "

La presente invención se refiere a sistemas de comprobación de paridad para usar, por ejemplo en sistemas computadores digitales.

Muchos sistemas de computación digitales, sistemas de transmisión de datos y otros sistemas similares que manejan o transfieren datos digitales, se comprueban usando bits de paridad en los datos. En algunos sistemas esta forma de comprobación se usa para comprobar la mayoría del flujo de datos. En otros sistemas, sin embargo,

los dispositivos de comprobación y generación de bit de paridad están solamente situados en puntos seleccionados de modo que los datos se comprueban solamente en partes de estos sistemas. Por ejemplo, en algunos computadores digitales, los datos no se comprueban en paridad excepto cuando son extraídos del almacenamiento. Estos computadores tienen generadores de paridad para la generación de bits de paridad cuando se aplican los datos al almacenamiento, y circuitos de comprobación de paridad para los datos de comprobación extraídos del almacenamiento.

Un sistema de comprobación de paridad de acuerdo con la invención comprende medios para aplicar datos de prueba predeterminados a un circuito de manipulación y/o transferencia de datos binarios para proporcionar, si el circuito está funcionando correctamente, datos de salida de paridad predeterminada, un generador para generar un bit de paridad de valor fijo, medios para combinar el bit de paridad con los datos de salida, y un circuito de comprobación de paridad conectado para comprobar los datos combinados.

Con objeto de que la invención pueda ser comprendida detalladamente, se describirán ahora particularmente sus realizaciones preferidas con referencia a los dibujos adjuntos, en los cuales:

La figura 1 es un diagrama en bloques de parte de un computador digital que incorpora un sistema de comprobación de paridad de acuerdo con la invención; y

la figura 2 es un diagrama en bloques de un sistema de transmisión de datos que incorpora un sistema de comprobación de paridad de acuerdo con la invención.

336127

El sistema de computador digital mostrado en la figura 1 comprende un almacén de datos 1, un registro 2 de datos de almacenamiento, una unidad 3 aritmética y lógica (U.A.L), y dos registros 4 y 5 de entrada de unidad aritmética y lógica a través de los cuales se transfieren los datos desde el registro 2 hasta la unidad 3. Las señales de salida desde la unidad aritmética y lógica son transferidas de nuevo al almacén 1 a través del registro 2 por las líneas 6 de salida.

El sistema opera en un modo en paralelo por bit y cada una de las extensas líneas de interconexión mostradas en el diagrama representa un número de conductores igual al tamaño de los bytes (grupo de bits) de los datos. Las líneas estrechas indican, cada una de ellas, un solo conductor.

En el sistema mostrado, se añade un bit de paridad a cada byte de datos conforme es introducido en el almacén, y se comprueba la paridad de los datos extraídos del almacén. Para el resto del sistema, sin embargo, no se incluye ningún bit de paridad con los bytes de datos. Los circuitos de comprobación y de generación de paridad incluyen un generador 7 de paridad, un generador 9 de bit 1 binario, una sola posición P de digitos en el registro 2, y un circuito 8 de comprobación de paridad. El generador 7 de paridad está conectado a los conductores 6 de salida de unidad aritmética y lógica a través de un interruptor 10 y el generador 9 de bit al conductor de salida de generador de paridad a través de un interruptor 11. Los interruptores 10 y 11 están calibrados.

Bajo condiciones de funcionamiento normales,

los interruptores 10 y 11 se ajustan en la posición b. Los bytes de resultado generados por la unidad aritmética lógica son, por lo tanto, aplicados a través de las líneas 6 al generador 7 de paridad y al registro 2. Considerando solamente con el fin de explicación, que el sistema de comprobación de paridad acciona una paridad impar, y luego un bitio resultante es de paridad par, el generador genera una señal de un 1 binario que es aplicada a la posición P de digitos del registro 2. La palabra entera en el registro 2 (byte de datos más bit de paridad) se comprueba entonces en paridad impar y es transferida luego al almacén. Cada palabra extraída del almacén es pasada al registro 2, comprobada en paridad por el circuito 8 de comprobación de paridad y pasada luego, sin el bit de paridad a los circuitos aritméticos.

Si se desea comprobar aquella parte del sistema que incluye los registros 4 y 5 y la unidad 3 aritmética y lógica, se conectan los interruptores 10 y 11 en la posición a y se inicia una rutina de diagnóstico. Por ejemplo, si se desea comprobar esta parte del circuito cuando la unidad aritmética y lógica esté ajustada para sumar, se extraen del almacén en sucesión dos palabras conocidas, que, cuando se suman, producirán un byte de paridad par. La primera se comprueba en paridad y se aplica luego al registro 4, la segunda se comprueba en paridad y se aplica al registro 5. Se suman luego en la unidad aritmética y lógica y el resultado es aplicado al registro 2, pero no, debido a la posición del interruptor 10, al generador 7 de paridad. En vez de un bit del generador 7, la posición P del registro 2 recibe un bit 1 binario, a través del interruptor 11,

desde el generador 9. La paridad de la palabra en el registro 2 se comprueba luego por el circuito 9 de comprobación. Si se ha producido algún error durante el paso de información a través de los registros 4 y 5 y la unidad aritmética y lógica, esto se indicará en el circuito 8 de comprobación de paridad, sometido naturalmente, a la limitación de sistemas de comprobación de paridad. Así, los datos son comprobados en paridad eficazmente a través de aquellas partes del sistema en las cuales no está presente un bit de comprobación de paridad.

En la rutina descrita más arriba, la unidad aritmética y lógica se ajustó para la suma, es evidente que, seleccionando las palabras conocidas apropiadas del almacén, la rutina será igualmente eficaz para cualquier función realizada por la unidad aritmética y lógica. Además, seleccionando de nuevo una o más palabras particulares del almacén, pueden comprobarse partes de un computador digital distintos de las mostradas en la figura 1 de una manera similar.

Aunque la descripción está restringida a un sistema de flujo de datos en paralelo, la invención es igualmente aplicable a sistemas en serie.

La figura 2 muestra un sistema de transmisión de datos al cual se aplica un sistema de comprobación de paridad de acuerdo con la invención. En esta figura las líneas de interconexión gruesas indican barras colectoras, cada una de las cuales lleva bytes de datos y las líneas finas indican conductores de bit simples. Los bytes de datos son aplicados desde, por ejemplo, un computador a un registro 12 y desde el registro a un transmisor 13. Este transmisor transmite estos datos en forma de serie a un receptor 14 a

23 FEB. 196

través de una línea 15. En el receptor los datos se dispo nen de nuevo en forma en paralelo por bit y se aplican a un registro 16. Debe observarse que no han sido empleados bits de paridad ni en el transmisor ni en el receptor. El registro 16 tiene una posición P de bits de paridad conectada para recibir bits de paridad desde un generador 17 de bits 1 binario o un generador 19 de paridad a través de un interruptor 20. Un circuito 18 de comprobación de paridad está conectado para comprobar palabras completas (datos más bits de paridad) en el registro 16.

Solamente con el fin de explicación, se consi derará que el circuito de comprobación de paridad no muestra errores cuando la paridad de la palabra del registro 16 es impar. El sistema de transmisión transmite datos en grupos de palabras en número fijo. Al final de cada grupo, se transmite una palabra de paridad par particular. Esta palabra puede ser recibida por el registro 12 o generada en el mismo transmisor. Al final del grupo de datos, un contador en el receptor emite una señal sobre la línea 21, indicando que ha sido recibido un grupo completo. Esta señal es aplicada al interruptor 20 que es conmutado así a la posición b de modo que el bit 1 binario es aplicado desde el generador 17 a la posición P del registro 16.

Al mismo tiempo, la palabra de paridad par particular se aplica desde el receptor al registro 16. Si esta palabra ha permanecido inalterada durante la transmisión, el registro 16 contiene una palabra de paridad impar y no es señalado ningún error por el circuito de comprobación 18. Si, sin embargo, ha habido alguna falta en la transmisión de la palabra, el circuito de comprobación indi

336127

ca un error. De nuevo, esto está sometido a las limitaciones de comprobación de paridad.

Al producirse una señal de error, es transmitida una indicación de error por un transmisor (no mostrado) en el juego asociado con el receptor 14, siendo dicha indicación recibida por un receptor (no mostrado) asociado por el transmisor 13, y la palabra de paridad par particular antes mencionada es vuelta a transmitir. Si entonces el circuito de comprobación de paridad no señala ningún error, se vuelve a transmitir el grupo de bytes de datos.

Durante la transmisión de los grupos de datos, no está presente ninguna señal en la línea 21 y el interruptor 20 vuelve a la posición a. Es aplicada por lo tanto una salida desde el generador 19 de paridad a la posición P del registro 16. El valor de los bitios de paridad desde el generador 19 depende de la paridad de palabras de datos aplicadas desde la salida del receptor 14, de modo que las palabras de salida de paridad correcta son obtenidas desde el registro 16.

Así, se realizan comprobaciones de error de paridad entre la transmisión de grupos de bytes de datos proporcionando así una medida de comprobación sin necesidad de transmitir bits de paridad con cada palabra de datos. Aunque, en esta realización, fueron realizadas comprobaciones de paridad sobre palabras de datos en paralelo, es evidente que tales comprobaciones podrían realizarse cuando se empleara un sistema de funcionamiento en serie.

En las figuras 1 y 2, los interruptores de muestran como interruptores mecánicos, por ejemplo relés.

Sin embargo, podrían ser igualmente interruptores electrónicos que utilizaran transistores. En la realización descrita con referencia a la figura 1, los interruptores 10 y 11 serían accionados normalmente por señales de control desarrolladas por el sistema de control de computador cuando se inicie la rutina de diagnóstico.

Esta solicitud, que corresponde a la presentada en Gran Bretaña el 29 de Enero de 1966, bajo el número 4056/66, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

- N O T A -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta Patente de Invención en España, por VEINTE años, son los siguientes:

1.- Una disposición para comprobación de paridad que comprende medios para aplicar datos de prueba predeterminados a un circuito de manipulación y/o transferencia de datos binarios para proporcionar, si el circuito está funcionando correctamente, datos de salida de paridad predeterminada, un generador para generar un bit de paridad de valor fijo, medios para combinar el bit de paridad con la señal de salida, y un circuito de comprobación de paridad conectado para comprobar los datos combinados.

336127

2.- Una disposición de acuerdo con la reivindicación 1, en la cual el circuito de manipulación y/o transferencia de datos incluye una unidad aritmética y lógica y dichos datos de prueba comprenden dos palabras de datos que, al aplicarse a una unidad aritmética y lógica, cuando esté controlada para realizar una función particular, dan por resultado una palabra de salida de paridad predeterminada.

3.- Una disposición de acuerdo con las reivindicaciones 1 ó 2, que incluye un generador de bits de paridad variable conectado a dicho circuito y dispuesto para generar un bit de paridad que tiene un valor determinado por la paridad de los datos de salida desde el circuito y para aplicar dicho bit de paridad a los medios de combinación, y medios de interruptor para aislar el generador de bits de paridad de valor fijo o el generador de bits de paridad variable desde el circuito, siendo tal la disposición que cuando son aplicados dichos datos de prueba al circuito, el generador de bits de paridad variable está aislado de él, y cuando se aplican a él otros datos, está aislado de él el generador de bits de paridad de valor fijo.

4.- Una disposición de acuerdo con la reivindicación 1, en la cual dicho circuito incluye un sistema de transmisión de datos dispuesto para transmitir grupos de palabras de información, estando entremezclados los grupos con palabras de prueba únicas de paridad predeterminada, siendo combinada cada una de dichas palabras de prueba, en la salida del sistema de transmisión, con dicho bit de paridad de valor fijo.

336127

5.- Una disposición de acuerdo con la reivindicación 4, que incluye un generador de bits de paridad variable conectado a la salida del sistema y dispuesto para generar un bit de paridad que tiene un valor determinado por la paridad de cada palabra de salida del sistema y para aplicar dicho bit de paridad a los medios de combinación, y medios de interruptor para aislar la salida del generador de bits de paridad de valor fijo o del generador de bits de paridad variable de los medios de combinación, siendo tal la disposición que cuando se aplique una palabra de prueba a los medios de combinación, el generador de bits de paridad variable queda aislado de ellos, y cuando se aplique a ellos una palabra de información, el generador de bits de paridad de valor fijo queda aislado de ellos.

6.- " UNA DISPOSICION PARA COMPROBACION DE PARIDAD PARA SISTEMAS DE COMPUTADORAS "

Tal y como se ha descrito en la Memoria que antecede, representado en el dibujo que se acompaña, y con los fines que se han especificado.

Esta Memoria consta de diez hojas escritas por una sola de sus caras.

Madrid, 3 FEB. 1967

P. A.

Alberto del Elzaburu
Por Poder

336127

3 FEB 19

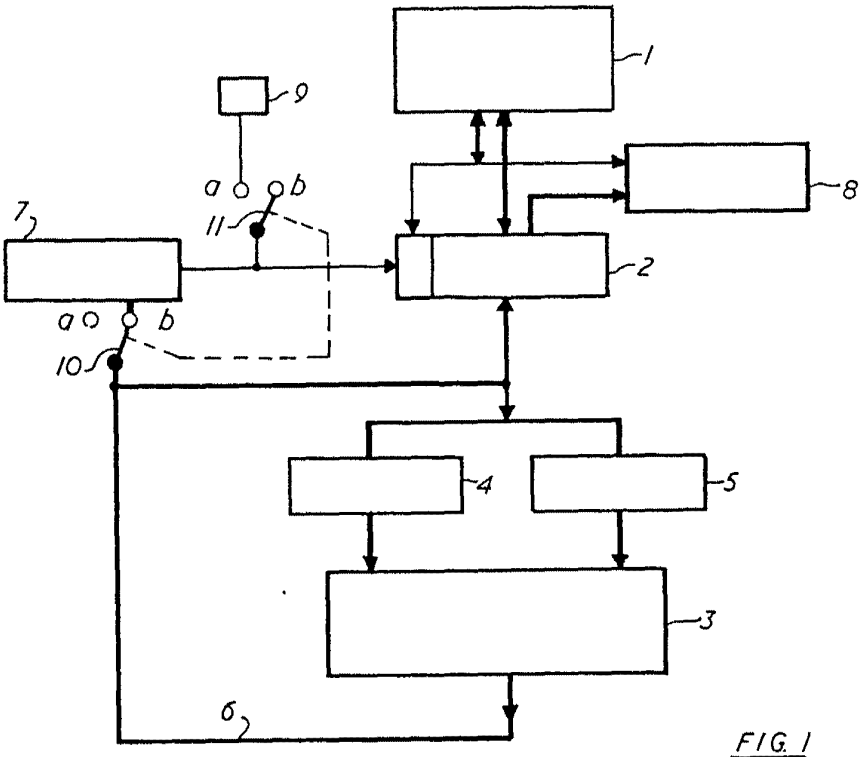

FIG. 1

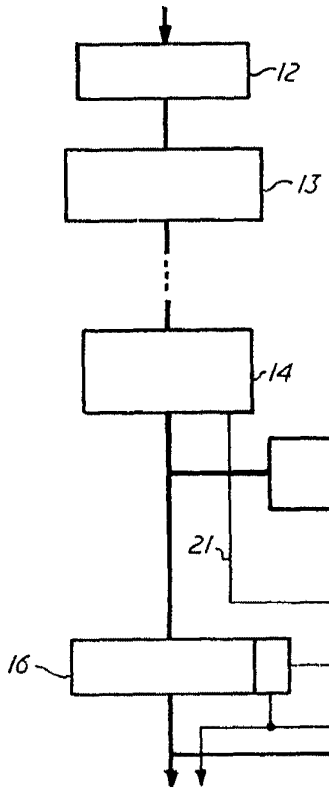

FIG. 2

336127

Alberto del Ebro