

334175



MEMORIA DESCRIPTIVA

que se presenta para unir a la solicitud  
de

PATENTE DE INVENCION

formulada el 5 de Diciembre de 1.966, con el N° 334.175

en

E S P A Ñ A

por VEINTE años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION,  
entidad norteamericana, establecida en Armonk, N.Y., Esta-  
dos Unidos de América, por:

"UN APARATO DE PRESENTACION PARA SISTEMAS DE TRATAMIENTO DE  
DATOS"

---

La presente invención se refiere a sistemas de  
presentación, y más especialmente a los sistemas de presen-  
tación empleados en equipos terminales asociados a un sis-  
tema ordenador o de tratamiento de datos.

5 En los tipos primitivos de sistemas de presen-  
tación, en los que se utiliza un componedor para convertir  
señales numéricas codificadas, procedentes de uno o más te-  
clados, en señales de video para su presentación visual en  
uno o más dispositivos de presentación, se suele hacer que  
una estación dada, de entre una pluralidad de ellas, sea



capaz de monopolizar el componedor para dar un mensaje entero. Si en el mismo momento hay diez o más terminales en disposición de utilizar el componedor, se selecciona una de ellos para que use el componedor transmitiendo el mensaje entero, mientras los nueve restantes tienen que esperar. A continuación, se selecciona una de las nueve estaciones para que transmita su mensaje entero, mientras los ocho terminales restantes quedan forzosamente esperando. El proceso continúa hasta que a todos los terminales se les ha dado servicio. Las estaciones seleccionadas en los últimos lugares pueden sufrir un retraso excesivamente largo.

Por todo ello, es rasgo característico del presente invento el de habilitar una disposición perfeccionada, en la que se asigna un componedor, a base de un solo símbolo, a cada uno de entre una pluralidad de terminales, por turno. El símbolo es una letra, un número o un carácter especial. De un sistema perfeccionado de este tipo se derivan diversas virtudes. Primeramente, cuando en una pluralidad de terminales se permite a cada uno transmitir un solo símbolo por turno, se aumenta la velocidad de suministro de datos al componedor, y éste se utiliza más eficazmente. En segundo lugar, un sistema perfeccionado conforme al presente invento permite que los operadores de diez equipos terminales, por ejemplo, mecanografien sus mensajes simultáneamente, con lo que se utiliza más eficazmente el tiempo de los operadores, ya que a ninguno de ellos se le tiene esperando. Este resultado se obtiene debido a que la velocidad a la que funciona el componedor, y la

25 FEB



5  
velocidad a la que éste puede cambiarse o conmutarse de un terminal a otro, es mucho mayor que la velocidad a la que los operadores de una pluralidad de terminales - pueden suministrar manualmente grupos de señales numéricas representativas de símbolos individuales.

10  
Por todo ello, es característico de este invento un sistema de presentación perfeccionado, en el que un conponedor se conmuta de un terminal a otro y convierte en señales de video un solo juego de señales numéricas codificadas, en cada estación y cada vez.

15  
Es asimismo característico de este invento un sistema de presentación perfeccionado, para uso con un sistema ordenador o de tratamiento de datos, en el que se puede mecanografiar, presentar y verificar, por parte de los operadores, una pluralidad de mensajes en una pluralidad de terminales, antes de hacerlos seguir hasta el sistema ordenador o de tratamiento de datos; y las respuestas, si se piden, vienen determinadas, transferidas desde el sistema de tratamiento de datos a los terminales, y presentadas para que las examinen los operadores.

25  
Es asimismo característico de esta invención un sistema de presentación perfeccionado que tiene una pluralidad de terminales cada uno de los cuales incluye un dispositivo cíclico de almacenaje o memoria y un dispositivo de presentación, en el que el período o tiempo de un solo ciclo del dispositivo cíclico de almacenaje es igual al periodo de un cuadro de imagen completo, incluidos los periodos de retroceso de la traza de barrido.



Otra característica de esta invención reside en un sistema de presentación perfeccionado que utiliza una pluralidad de equipos o aparatos terminales, cada uno de los cuales incluye un dispositivo de almacenaje cíclico y un dispositivo de presentación del mismo período de ciclo, utilizándose bitios marcadores en cada uno de los dispositivos cíclicos de almacenaje a los fines del sincronismo y para localizar la posición de las señales últimamente almacenadas en ellos.

Es asimismo característico de este invento un dispositivo de presentación perfeccionado, que es de construcción relativamente sencilla y por tanto económico de fabricar y entretener.

En una de las disposiciones conforme al presente invento, se habilita un sistema de presentación perfeccionado que posee una pluralidad de terminales, cada uno de los cuales tiene un teclado, un dispositivo de almacenaje cíclico y un dispositivo de presentación. El dispositivo de almacenaje cíclico tiene un período igual al período de uno de los cuadros de imagen del dispositivo de presentación. El componedor se conecta a cada una de las etapas sucesivamente, y a cada estación se le da una oportunidad para suministrar señales numéricas codificadas desde el teclado al componedor, quien a su vez suministra unas señales de video que se guardan en el dispositivo de almacenaje cíclico. El símbolo representado por cada grupo o juego de las señales numéricas codificadas es visualmente presentado en el dispositivo de presentación, y una pluralidad de tales símbolos forma en el dispositivo de presentación un mensaje. Los dispositivos cíclicos de al-



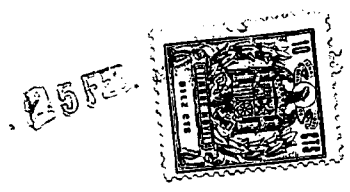
macenaje de los diversos terminales pueden conectarse selectivamente para transferir grupos de señales numéricas codificadas a una calculadora o un dispositivo ordenador de datos, y las señales numéricas codificadas procedentes del dispositivo ordenador de datos pueden ser suministradas al componedor, que convierte estas señales en señales de vídeo y las suministra a un terminal seleccionado, para guardarlas en el dispositivo de almacenaje cíclico. El ordenador de datos ejecuta su transmisión o transferencia de datos a gran velocidad, y esta transferencia de datos y desde los terminales da muy poca interrupción, o ninguna, a los teclados de los terminales en su uso del computador. Así, un mensaje puede ser mecanografiado, presentado, verificado y luego transmitido a un sistema ordenador de tratamiento de datos, y el terminal puede determinar, transferir y presentar la respuesta.

Los indicados y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo de la siguiente descripción más particularizada de una forma preferida de realización del invento, ilustrada en los dibujos adjuntos, en los cuales:

La figura 1 es un esquema de conjunto general que ilustra una forma preferida de realización de este invento;

la figura 2, 3 y 4 forman conjuntamente un esquema funcional que representa las funciones de control y la circulación de datos del aparato de la fig. 1;

la figura 5 ilustra la manera en que las figs. 2 a 4 inclusive han de disponerse físicamente unas respecto a otras;



la figura 6 ilustra en detalle el convertidor serie-paralelo y el contador de bitios de BGD (decimal codificado en binario) y de video indicados en bloque en la fig. 2;

5 las figuras 7 y 8 ilustran con detalle el compo-  
nedor indicado en bloque en la fig. 2;

la figura 9 ilustra con detalle uno de los separadores-reguladores ("buffers") de línea de retardo y uno de los dispositivos de control de bitios marcadores indicado en bloque en la fig. 3;

10 las figuras 10 a 15 inclusive son unos diagramas útiles para explicar el formato de la información guardada en los separadores-reguladores de línea de retardo de la fig. 3; y la manera de generar las presentaciones en la cara o pantalla de los dispositivos de presentación de la fig. 3; y

15 la figura 16 es un esquema funcional que ilustra con detalle el control de sincronismo horizontal y vertical indicado en bloque en la fig. 3.

20 A continuación se hace referencia a la fig. 1, que representa unos equipos terminales múltiples de presentación TM-1 y TM-2, cada uno de los cuales incluye un teclado, una presentación en televisión (TV) y un dispositivo de memoria separador-regulador ("buffer") con recirculación. El teclado permite la selección manual de símbolos, entre los cuales se incluyen letras, números y caracteres especiales. La presentación de TV incluye un tubo de televisión provisto de la retícula habitual generada por medio de señales procedentes de circuitos de barrido horizontal y vertical, y la presentación de TV incluye asimismo circuitos

30



5

10

15

20

25

30

para el sincronismo horizontal y vertical, señales de control del retroceso, o bloqueo y desbloqueo, en vertical y horizontal, y señales de modulación o de video para generar una presentación visual. El dispositivo de memoria separador-regulador es una disposición de memoria o almacenaje a base de línea de retardo, que incluye medios para hacer circular repetida y continuamente (con recirculación continua) las señales en él almacenadas. El periodo del separador-regulador de línea de retardo, el tiempo de tránsito de una señal por la línea de retardo, se selecciona de modo que sea igual al período o intervalo de tiempo necesario para generar una retícula, incluido el tiempo necesario para un retroceso horizontal y vertical.

Los caracteres del teclado se convierten, en toda estación terminal TM, en impulsos eléctricos codificados en un sistema de notación decimal codificado en binario (BCD). A los fines de la ilustración, se supone que el formato BCD (decimal codificado en binario) empleado es: 1, 2, 4, 8, A, B, C. Las señales binarias de este formato se suministran en paralelo desde el teclado a unos circuitos comunes de conexión CC que trasladan las señales de datos introducidas por el teclado a unos circuitos componedores SS compartidos en el tiempo. Los circuitos componedores SS reciben los caracteres decimales cifrados o codificados en binario en paralelo y los convierten en caracteres decimales codificados en binario en serie, forma ésta que es la adecuada para su almacenaje en el separador-regulador de recirculación por línea de retardo. Los circuitos componedores convierten también los caracteres decimales codificados en binario, recibidos en paralelo,



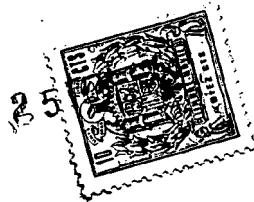
5 en señales de video que son suministradas en serie para su  
almacenaje en el separador-regulador de recirculación por  
línea de retardo. Las señales de video son unos elementos  
de impulso o puntos binarios que se sincronizan con las  
áreas de punto apropiadas de la retícula, y se emplean pa-  
ra modular el haz electrónico del tubo de presentación de  
TV, generándose de ese modo una representación visual del  
símbolo representado. Cada separador-regulador de línea de  
retardo tiene un período de recirculación sincronizado con  
10 un ciclo de cuadro de imagen, o retícula de exploración, de  
la correspondiente presentación de TV, y acumula caracte-  
res de uno en uno, procedentes de los circuitos componedo-  
res SS. La salida de cada separador-regulador de línea de  
retardo va directamente acoplada a los controles de video  
15 del receptor de TV asociado, para presentar continuamente  
las señales de video acumuladas.

Todas las presentaciones de TV tienen sus retícu-  
las sincronizadas respecto a las señales de reloj CTV sumi-  
nistradas desde los circuitos de control de tiempo compart-  
20 ticos (ST). Los circuitos de control de tiempo compartidos  
ST suministran asimismo unas señales de reloj CSS y CDP  
(control de circuitos componedores y control del ordenador  
de datos), que tienen una relación fija en el tiempo res-  
pecto a las señales CTV, a los circuitos componedores SS  
25 que están compartidos en el tiempo por todos los termina-  
les TM a base de carácter a carácter, y a un ordenador de  
datos SD que puede comunicar con cada uno de los terminales  
TM. Las señales decimales codificadas en binario acumuladas  
en los separadores-reguladores de línea de retardo de cada  
30 terminal TM pueden ser pasadas al ordenador de datos SD



para su tratamiento, por medio de los circuitos comunes de conexión, tras la verificación visual de ser correctos los datos en la presentación visual de TV de la estación de origen de los mismos.

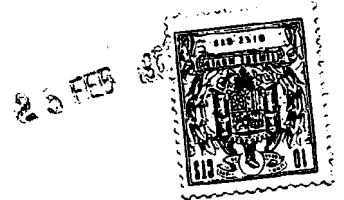
5                    Los circuitos de conexión compartidos incluyen unos circuitos CC1 a CC4 inclusive. El circuito de conexión CC1 toma las señales decimales codificadas en binario del teclado de cada estación terminal TM por turno; y las suministra a los circuitos componedores SS. Estas  
10                    señales vienen suministradas en la forma de paralelo. Después de que el circuito componedor SS haya convertido las señales BCD que vienen en paralelo en señales de video y de BCD, en la forma de serie, estas señales son suministradas por medio de los circuitos de conexión compartidos  
15                    CC2 al separador-regulador de línea de retardo del terminal TM asociado. Los datos acumulados en los reguladores-separadores de línea de retardo pueden localizarse por medio de bitios marcadores, que pueden ser pasados por medio del circuito de conexión común CC3 a los circuitos componedores SS, a los fines del sincronismo. Esto da la seguridad de que los nuevos datos suministrados por el circuito componedor SS a los separadores-reguladores de línea de retardo de los diversos terminales TM vienen adecuadamente sincronizados. Los datos acumulados en los separadores-reguladores de línea de retardo de los diversos terminales  
20                    TM pueden ser pasados por medio de los circuitos de conexión CC4 a un ordenador de datos, para su tratamiento, después de verificados en cuanto a exactitud en la presentación de TV de la estación de origen. Los datos tratados  
25                    procedentes del ordenador de datos SD pueden ser suministrados, en forma de señales decimales codificadas en binario, en paralelo, a los circuitos componedores SS, donde  
30



se convierten a video y se transmiten a través de los circuitos de conexión CC2 al terminal de origen, donde pueden ser presentados dichos datos tratados.

5 Los circuitos compartidos de control de tiempo ST controlan la coordinación y el sincronismo de todos los dispositivos o unidades de la fig. 1. Así, las presentaciones de TV, los separadores reguladores de línea de retardo, los circuitos componedores SS y los circuitos de conexión CC compartidos se sincronizan entre sí. Los circuitos compartidos de control de tiempo ST también coordinan la transferencia de datos a y desde el ordenador de datos SD.

10 Los teclados de los diversos terminales son manipulados por medio de operadores y, por tanto, los datos codificados en binario son suministrados en instantes o tiempos aleatorios al circuito de conexión compartido CC1. Los teclados de los diversos terminales se escrutan o "muestran" con una frecuencia tal, y el almacenaje y la presentación consiguientes de los caracteres mecanografiados se terminan a una velocidad tan rápida, por medio del equipo eléctrico común, que es posible manipular y tratar con facilidad la introducción manual de datos hecha en los teclados por los más hábiles y rápidos operadores. Los circuitos de conexión compartidos CC, los circuitos componedores compartidos SS, el ordenador de datos compartido y los circuitos compartidos de control de tiempo ST, trabajan a velocidades electrónicas y ejecutan sus funciones en pocos microsegundos; en tanto que el más rápido operador al teclado manipula las teclas, en el mejor de los casos, con velocidades de algunos milisegundos. Así, puede hacerse funcio-



nar simultáneamente una pluralidad de terminales TM, para  
presentar y guardar diferentes mensajes utilizando circui-  
tos que trabajan a grandes velocidades, a base de carácter  
por carácter desde cada terminal por turno. En cada tecla-  
do se dispone de teclas de control para permitir al opera-  
dor anular la información presentada y transmitir al orde-  
nador de datos la información cuya exactitud haya verifíca-  
do el operador. Esto permite cierta flexibilidad de impro-  
visación de mensajes en borrador para el ordenador de da-  
tos. Cuando se haga una pregunta al ordenador de datos, és-  
te deriva rápidamente la respuesta, la cual es transferida  
por el equipo eléctrico común, que incluye los circuitos  
componedores y los de conexión, a la estación de origen,  
donde es guardada y presentada para que el operador la exa-  
mine inmediatamente.

A continuación se hace referencia a las figuras  
2 a 4 inclusive, que ilustran con mayor detalle una dispo-  
sición de sistema del tipo indicado en forma esquemática  
general en la fig. 1. Las figuras 2 a 4 han de disponerse  
tal como se indica en la fig. 5. La disposición general  
de una forma preferida de realización del invento, ilus-  
trada en las figuras 2 a 4 en esquema funcional o por blo-  
ques, se describe en relación con la manera de interconec-  
tarse los diversos componentes o bloques de circuitos y al  
funcionamiento general realizado por cada uno de estos com-  
ponentes o bloques. La descripción de la disposición gene-  
ral va seguida de descripciones detalladas por separado  
de los diversos componentes o bloques, cuando ello es ne-  
cesario. Los cables empleados para trasladar datos se re-  
presentan con dos líneas paralelas provistas de flechas



en uno de los extremos, dando a entender la conexión. En algún punto situado entre los extremos de los cables, las dos líneas paralelas se ensanchan en forma en cierto modo semicircular, y el número inscrito en este ensanchamiento representa el de conductores o líneas que hay en los cables. Los símbolos o caracteres que aparecen en **negrita**, o con trazo grueso, dentro de un recuadro o bloque, designan el nombre común del circuito en él representado: por ejemplo, & para un circuito de coincidencia, O para un circuito disyuntivo, I para un inversor, etc. En algunos casos hay una pluralidad de circuitos de coincidencia y disyuntivos representados conjuntamente por un solo bloque o recuadro, y cuando así sucede el número de tales circuitos de coincidencia o disyuntivos viene designado por un número situado en el ángulo inferior derecho del recuadro o bloque. En toda la descripción se supone, arbitrariamente, que la lógica empleada es la positiva, a menos que se indique expresamente lo contrario. Es decir, los circuitos lógicos tales como los de coincidencia y los disyuntivos, por ejemplo, son accionados por niveles de señal positivos en las entradas, dando a la salida un nivel de señal positivo. Las figuras 2 y 3 ilustran una disposición lógica de los caminos de circulación de los datos y las funciones de control del equipo representado en disposición física en la fig. 1.

Con referencia en primer lugar a la fig. 2, los teclados 20 a 22 inclusive suministran señales decimales codificadas en binario (BCD), por los respectivos cables 23 a 25 inclusive, a unos circuitos de coincidencia asociados 26 a 28 inclusive. Cada uno de estos circuitos de coincidencia es una representación esquemática de que se



emplean siete circuitos de coincidencia, lo cual está  
indicado por el número 7 inscrito en el ángulo inferior  
derecho de cada recuadro. Cada uno de los siete circui-  
tos de coincidencia tiene dos entradas. El circuito de  
coincidencia 26, por ejemplo, tiene siete circuitos de  
coincidencia con dos entradas cada uno. Una de estas en-  
tradas viene de uno de los siete conductores del cable  
23, y la otra entrada de cada circuito de coincidencia  
se toma de la línea 29. El circuito de coincidencia 27  
incluye igualmente siete circuitos de coincidencia indi-  
viduales, como lo indica el número 7 que hay en el ángulo  
inferior derecho del recuadro correspondiente. Los siete  
conductores del cable 24 están conectados a otros tantos  
conductores individuales de los circuitos de coincidencia,  
y la línea 30 va conectada también a todos estos circuitos  
de coincidencia. De igual manera, el circuito de coinci-  
dencia 28 incluye siete circuitos de coincidencia indivi-  
duales, como lo indica el número 7 del ángulo inferior de-  
recho. A todos estos circuitos de coincidencia va conecta-  
da la línea 31 e, individualmente, los siete conductores  
del cable 25 van respectivamente conectados uno a cada uno  
de estos circuitos de coincidencia. Las líneas 29 a 31  
inclusive son activadas en secuencia por un circuito es-  
crutador 32. El circuito de escrutinio 32 puede ser una  
disposición de circuitos cualquiera de tipo usual que se  
emplee para examinar o "muestrear" una pluralidad de dis-  
positivos, y dar a cada uno la oportunidad, por turno,  
para transmitir señales de datos. Este circuito escrutador  
puede ser puesto en marcha o parado por la activación de  
unas líneas respectivas 33 o 34. El circuito de escrutinio



32 sirve para seleccionar uno de los circuitos de coincidencia 26 a 28 inclusive y hacer pasar las señales decimales codificadas en binario, de formato 1, 2, 4, 8, A, B, C, por los siete conductores asociados de los respectivos cables 35, 36 y 37, a un circuito disyuntivo 38. El circuito disyuntivo 38 representa esquemáticamente una disposición de siete circuitos disyuntivos individuales, como lo indica el número 7 que hay en el ángulo inferior derecho del recuadro correspondiente. Cada uno de estos siete circuitos disyuntivos tiene tres entradas, procedentes una de cada uno de los tres cables 35 a 37 inclusive. Por ejemplo, uno de los circuitos disyuntivos deja pasar todos los impulsos de 1 binario que hay en las líneas 35 a 37 inclusive; otro de los circuitos disyuntivos deja pasar todos los impulsos de 2 binario procedentes de dichas líneas 35 a 37; y otro circuito disyuntivo deja pasar todos los impulsos de 4 binario que haya en los citados cables 35 a 37. De igual manera, los circuitos disyuntivos asociados dejan pasar las señales de bitios 8, A, B y C de estos cables. Las señales procedentes del circuito disyuntivo 38 se trasladan por un cable 39 a unos circuitos disyuntivos 40 y 41. El circuito disyuntivo 40 incluye siete circuitos disyuntivos individuales, como se da a entender con el número 7 del ángulo inferior derecho, y cada uno de estos circuitos disyuntivos individuales recibe dos entradas. Una de las entradas se toma de uno de los conductores del cable 39, y la otra entrada se toma de uno de los conductores, el correspondiente, de un cable 42. Las salidas del circuito disyuntivo 40 se suministran por medio de un cable 43 a un componedor 100. El cable 39

5

10

15

20

25

30



5  
10  
15  
20  
25  
30

está conectado al circuito disyuntivo 41, que es un solo  
circuito disyuntivo dotado de siete entradas, procedentes  
una de cada uno de los siete conductores del cable 39. La  
salida del circuito disyuntivo 41 se transporta por una  
línea 44 a un circuito disyuntivo 45 y un circuito de coin-  
cidencia 46. Las salidas de los circuitos de coincidencia  
46 y de otro circuito de coincidencia 47 van acopladas por  
medio de un circuito disyuntivo 48 a una línea 33, que  
controla la puesta en marcha del circuito de escrutinio  
32. El circuito disyuntivo 45 recibe señales de los cir-  
cuitos de coincidencia 49 a 51 inclusive. Estos circuitos  
de coincidencia están gobernados por medio de unas seña-  
les que aparecen en las líneas 29 a 31 inclusive, proce-  
dentes del circuito de escrutinio 32, y por las señales  
que aparecen en las líneas 52 a 54 inclusive, procedentes  
de la calculadora de la fig. 4. Cuando se condiciona uno  
cualquiera de los circuitos de coincidencia 49 a 51 inclu-  
sive, pasa una señal por el circuito disyuntivo 45 y a  
lo largo del conductor 34, para detener o parar el cir-  
cuito escrutador 32. Este circuito de escrutinio 32 es  
puesto en marcha por la señal que aparece en la línea  
33, procedente del circuito disyuntivo 48, siempre que  
se condiciona uno cualquiera de los circuitos de coinciden-  
cia 46 ó 47. Estos circuitos de coincidencia vienen condi-  
cionados por una señal que aparece en la línea 44 y por  
una señal que aparece en la línea 58, procedente de un  
circuito disyuntivo 59. El circuito disyuntivo 59 recibe  
señales por las líneas 70 a 72 inclusive, procedentes de  
los respectivos circuitos de coincidencia 73 a 75. Cada  
uno de estos circuitos de coincidencia recibe una señal

25 FEB



de iniciación del retroceso vertical, que aparece en una línea 56; una señal de reloj por una línea 57; y una señal de seleccionar procedente del circuito escrutador 32, por una, correspondiente, de las líneas 29 a 31 inclusive. Las señales de salida de los circuitos de coincidencia 73 a 75 inclusive se suministran por las respectivas líneas 70 a 72, para desbloquear los teclados asociados 20 a 22 inclusive. Cada teclado se bloquea automáticamente al oprimirse una tecla, y permanece bloqueado hasta que es desbloqueado por una señal que aparece en una, la asociada, de las líneas 70 a 72. Esto impide que el operador introduzca nuevos caracteres a máquina, hasta después de aceptado el último carácter de mecanografía, y almacenado en el separador-regulador de línea de retardo del terminal de origen. Las señales de desbloqueo que aparecen en las líneas 70 a 72 pasan por el circuito disyuntivo 59 a los circuitos de coincidencia 46 y 47. El tiempo necesario para desbloquear un teclado es lo bastante largo para que la señal positiva procedente del circuito de coincidencia 41 persista en la línea 44 que va al circuito de coincidencia 46, al propio tiempo que la señal de desbloqueo procedente del circuito disyuntivo 59 persiste en la línea 58 que va al circuito de coincidencia 46. Por consiguiente, se condiciona el circuito de coincidencia 46, dejando pasar una señal positiva por el circuito disyuntivo 48 y a lo largo de la línea 33, para poner en marcha el circuito de escrutinio 32. Así, el circuito de escrutinio se pone en marcha siempre antes de desbloquearse un teclado de origen, lo cual viene asegurado por el funcionamiento del circuito de coincidencia 46. Como el circuito de escrutinio se pone en marcha antes de que se desbloquee un teclado, ello im-

5

10

15

20

25

30



pide al operador mecanografiar más de un carácter cada vez, desde un teclado dado, siempre que otros operadores hayan oprimido teclas en sus teclados respectivos. El circuito de coincidencia 47 viene condicionado por una señal de desbloqueo que aparece en la línea 58, y por una señal de final de calculadora que aparece en una línea 64. Con ello se tiene la seguridad de que, una vez seleccionado por la calculadora un determinado terminal, y detenido el circuito escrutador, el circuito escrutador se pondrá en marcha por medio de una señal procedente del circuito de coincidencia 47 cuando la calculadora haya terminado su transmisión al registro separador-regulador del terminal receptor.

Las señales procedentes del circuito disyuntivo 38 de la figura 2 vienen suministradas por el cable 39 a un convertidor de paralelo a serie 104. Un contador de bitios de BCD y video 105 suministra señales de control y de regulación de tiempos al convertidor 104 de paralelo a serie. Estas señales de control y de tiempos son suministradas también al componedor 100, pero las conexiones para ello se han omitido en la fig. 2, para mayor sencillez. El contador 105 de bitios de BCD y video recibe señales de reloj por la línea 57 y unas señales de control, para iniciar su funcionamiento, procedentes de los terminales por una línea 128, y procedentes de la calculadora por una línea 131.

A los circuitos de coincidencia 120 a 122 inclusive se les suministran unas señales por las respectivas líneas 29 a 31 inclusive, procedentes del circuito escrutador 32, y dichos circuitos de coincidencia reciben también una señal por la línea 106, procedente del contador de bitios 105. Las salidas de los circuitos de coincidencia 120



a 122 son suministradas, por unas líneas 123 a 125 respec-  
tivas, a los correspondientes separadores-reguladores de  
línea de retardo 200 a 202 inclusive, de la fig. 3. Las lí-  
neas 123 a 125 se activan con una señal positiva, indicando  
el instante adecuado para efectuar la inscripción en los se-  
paradores-reguladores de línea de retardo. Cuando en los  
separadores-reguladores de línea de retardo se está ins-  
cribiendo información de vídeo, las señales en serie se su-  
ministran desde el componedor 100, por la línea 126, a los  
separadores-reguladores de línea de retardo. Cuando en los  
separadores-reguladores de línea de retardo se está inscri-  
biendo información BCD, las señales BCD en serie se sumi-  
nistran a los mismos desde el convertidor 104 de paralelo  
a serie, por una línea 127. Cuando se inscribe nueva infor-  
mación, el punto de arranque o iniciación de esta operación  
de inscribir se indica por medio de una señal que representa  
un bitio marcador, enviada por una línea 128 al contador  
de bitios 105. La señal que aparece en la línea 128 se de-  
riva de un circuito disyuntivo 210 (fig. 2). Un circuito  
disyuntivo 129 recibe señales de los circuitos de coinci-  
dencia 120 a 122 inclusive, y suministra una señal de sali-  
da por una línea 130 para pedir otra transferencia de datos  
desde la calculadora (figura 4). Esta petición es atendida  
siempre y cuando la calculadora esté transmitiendo datos  
a un terminal, para su almacenaje en el separador-regula-  
dor de línea de retardo.

A continuación se hace referencia a la fig. 3,  
que muestra unos circuitos 203 a 205 inclusive, de control  
de bitios marcadores. Estos circuitos de control de bitios  
marcadores reciben señales, por las respectivas líneas 29



5  
10  
15  
20  
25  
30

a 31 inclusive, procedentes del circuito escrutador 32 de la fig. 2, y cada circuito de control de bitios marcadores recibe señales procedentes de las líneas 209 y 225. A la línea 225 se le aplica una señal positiva siempre que se desbloquean las presentaciones de TV, y una señal negativa durante el retroceso de exploración en vertical. A la línea 209 se le aplica un impulso positivo a cada instante de bitio 6. Cada uno de los circuitos de control 203 a 205 de bitios marcadores recibe señales de salida procedentes de los separadores-reguladores de línea de retardo 200 a 202 inclusive, por las correspondientes líneas 206 a 208 inclusive. Cada circuito de control de bitios marcadores recibe una señal de control por una línea 214, procedente de la calculadora 260 (fig. 4). Como más adelante se explica con mayor detalle, en los separadores-reguladores de línea de retardo se emplean bitios marcadores para indicar dónde se almacenaron datos la última vez. En una operación de inscribir, los circuitos de control de bitios marcadores localizan y destruyen los bitios marcadores. Inmediatamente después del bitio marcador destruido, se inscribe nueva información en el separador-regulador de línea de retardo. Una vez guardada la nueva información, se introduce automáticamente a continuación un nuevo bitio marcador. Las líneas de salida 211 a 213 inclusive de los circuitos de control de bitios marcadores 203 a 205 inclusive están conectadas a un circuito disyuntivo 210. La salida del circuito disyuntivo 210 se suministra a su vez, por la línea 128, al contador de bitios 105 de la fig. 2. Una señal positiva en la línea 128 significa que se ha localizado un bitio marcador, y



5 sirve para iniciar el funcionamiento del contador de bitios 105, para que ejecute una operación de inscribir. Las líneas de salida 215 a 217 inclusive, desde los circuitos de control 203 a 205 de bitios marcadores, van acopladas a un circuito disyuntivo 218 cuya salida es transportada por una línea 219 a la calculadora de la fig. 4. En la línea 219 se establece una señal positiva cada vez que los separadores-reguladores de línea de retardo localizan un bitio marcador BCD, lo cual indica a la calculadora que del separador-regulador de línea de retardo seleccionado se han tomado o leído todas las señales BCD, momento en el cual la calculadora de por terminada su operación de lectura, y se separa del terminal transmisor.

15 Las señales de video de los separadores-reguladores 200 a 202 inclusive se conectan mediante las respectivas líneas 206 a 208, a través de unos circuitos de coincidencia respectivos 195 a 197 inclusive, a las correspondientes presentaciones de TV 220 a 222. La información guardada en los separadores-reguladores de línea de retardo incluye señales de video y señales BCD. Las señales de video se suministran a las presentaciones de TV 220 a 222 cuando el tubo de TV está desbloqueado, por medio de la aplicación de una señal positiva por la línea 225 a los circuitos de coincidencia 195 a 197 inclusive; y las señales BCD se guardan en la parte de la línea de retardo aplicada a los tubos de presentación de TV, cuando están bloqueados, por medio de una señal negativa aplicada por la línea 225 a los circuitos de coincidencia 195 a 197 inclusive. Por consiguiente, la información BCD no afecta a las presentaciones de TV. Un control de tiempos de exploración 223 horizontal y vertical recibe impulsos de reloj, de un reloj 224, y genera unas señales adecuadas para los circuitos de barrido horizontal



5 y vertical, así como señales para controlar el retroceso horizontal y vertical, o las señales de bloqueo y desbloqueo correspondientes. Las señales de barrido horizontal y vertical se aplican por las líneas 226 y 227 a todos los tubos de presentación de TV 220 a 222 simultáneamente. Las retículas de exploración de TV, pues, se sincronizan de ese modo entre sí. También están sincronizadas porque el sistema en su totalidad está manipulado por medio de impulsos de reloj procedentes de una fuente común, con lo cual se asegura el sincronismo de todos los elementos componentes del sistema, entre sí. Las señales de retroceso, o de bloqueo y desbloqueo, se aplican a los circuitos de coincidencia 195 a 197 inclusive por una línea 225, desde el control de tiempos 223 de exploración horizontal y vertical. Este control de tiempos 223 de exploración horizontal y vertical suministra una señal de impulsos por la línea 56 cada vez que se inicia el retroceso vertical. El control de tiempos 223 de exploración horizontal y vertical suministra también unos impulsos marcadores iniciales, por la línea 228, a los separadores-reguladores de línea de retardo 200 a 202 inclusive, por las razones que se explican con mayor detalle más adelante.

10  
15  
20  
25  
30  
A continuación se hace referencia a la fig. 4, que ilustra la calculadora u ordenador de datos, y su relación con los equipos terminales. Cada teclado 20 a 22 inclusive de la fig. 2 va conectado mediante una de las líneas 65 a 67, respectivamente asociada, a un circuito disyuntivo 250 (fig. 4). El circuito disyuntivo 250 está conectado al lado de entrada de un circuito multivibrador biestable ("flip-flop") 251 que, cuando se activa, estable-



5 ce en una línea 257 una señal positiva que llama la atención a la calculadora 260. Esto significa que el teclado tiene datos para su transmisión a la calculadora, y tal petición se hace en el teclado oprimiendo una tecla de envío. Esta tecla de envío se oprime después de haber mecanografiado el operador un mensaje que es guardado en el separador-regulador de línea de retardo, presentado en el dispositivo de presentación de TV, y verificado en cuanto a exactitud.

10 Las señales que aparecen en las líneas 65 a 67 inclusive, procedentes de los teclados 20 a 22 de la fig. 2, se aplican a unos circuitos de coincidencia 253 a 255 inclusive (fig. 4), y estos circuitos de coincidencia son explorados por una señal que aparece en una línea 256 procedente de la calculadora 260. Las salidas de los circuitos de coincidencia 253 a 255 son suministradas por medio de un cable 270 a un registro separador 271, donde son almacenadas. Las salidas de los circuitos de coincidencia 253 a 255 representan la identidad de un terminal que dé origen a una petición para enviar datos a la calculadora. Las señales de identidad guardadas en el registro separador 271 son transferidas a la calculadora 260 en respuesta a una señal procedente de la calculadora por la línea 272.

25 Después de hecha por un terminal la petición para transferir datos a la calculadora, ésta selecciona el terminal de origen en cuestión activando con una señal positiva una de las líneas 52 a 54. Esto hace que el circuito de coincidencia asociado, de los designados con los números 49 a 51 en la fig. 2, se condiciona al llegar el circuito escrutador 32 al terminal de origen. La salida



de uno de los circuitos de coincidencia 49 a 51 hace que el circuito escrutador se detenga en el terminal de origen. Con esto se selecciona una de las líneas de retardo 200 a 202 de la fig. 3, para efectuar una operación de transferencia de datos a la calculadora 260 de la fig. 4. Los datos procedentes de aquél de los separadores-reguladores de línea de retardo 200 a 202 inclusive de la fig. 3 se suministran por las correspondientes líneas 206 a 208 a unos circuitos de coincidencia respectivos 286 a 288 (fig. 4). Las señales de datos suministradas a los circuitos de coincidencia 286 a 288 incluyen información de video y BCD. La calculadora utiliza solamente la información BCD, siendo necesario impedir la transmisión de señales de video a la calculadora. Esto se hace por medio de un circuito de coincidencia 289, conectado por una línea 290 a los circuitos de coincidencia 286 a 288 y a un registro de desplazamiento 291. El circuito de coincidencia 289 recibe una señal procedente de un circuito disyuntivo 261, quien a su vez recibe señales por las líneas 52 a 54 inclusive, una de las cuales se activa positivamente al seleccionarse un terminal para efectuar transferencias de datos a la calculadora 260. El circuito de coincidencia 289 recibe también una señal positiva por la línea 225 durante el retroceso vertical de exploración, y recibe impulsos de reloj positivos por la línea 57. La señal que aparece en la línea 225 es positiva durante el retroceso vertical, y esto representa la posición de tiempo, en la línea de retardo, en que se guarda la información BCD. Los impulsos de reloj presentes en la línea 57 definen de modo preciso la situación o localización de los impulsos de datos. Por consi -

5  
10  
15  
20  
25  
30



5  
10  
15  
20  
25  
30

guiente, la salida del circuito de coincidencia 289 condiciona los circuitos de coincidencia 286 a 288, dejando pasar sólo la información BCD, por un circuito disyuntivo 292, al registro de desplazamiento 291. Los impulsos procedentes del circuito de coincidencia 289 se emplean para desplazar el registro de desplazamiento 291 a medida que se van recibiendo señales de datos procedentes del circuito disyuntivo 292. La información BCD del registro de desplazamiento 291 se transfiere en "bytes" o grupos de siete bitios, por un cable 293, al registro separador 271. Al llenarse el registro separador 271, se activa una línea 262 con una señal positiva, que se hace pasar por medio de un circuito disyuntivo 263 a la calculadora 260, para iniciar la petición de transferencia de datos. La información contenida en el registro separador 271 se transfiere a la calculadora a lo largo de los conductores de un cable 294, en respuesta a una señal que llega por la línea 272 procedente de la calculadora, la cual acoge y acepta de ese modo la petición para transferir datos. Desde aquél de los separadores-reguladores de línea de retardo 200 a 202 (fig. 3) que se haya seleccionado, se siguen transfiriendo sucesivos grupos o bytes de siete bitios a la calculadora 260 de la fig. 4, empezando con la iniciación del retroceso vertical y siguiendo hasta que se localiza un bitio marcador de BCD, momento en el cual se da por terminada la transferencia de bitios BCD mediante una señal aplicada por la línea 219 a la calculadora. En esta línea es establecida una señal por uno de los circuitos de 203 a 205 de bitios marcadores (fig. 3), que envía una señal por medio de una (la respectiva) de las líneas 215 a 217 al circuito disyuntivo 218



y, a lo largo del conductor 219, a la calculadora 260 de la fig. 4.

Cuando la calculadora 260 de la fig. 4 tenga datos que transmitir a un terminal dado, se activa una de las líneas 52 a 54 para seleccionar el terminal, lo cual hace que el circuito escrutador se detenga en el terminal seleccionado. La calculadora transmite entonces datos BCD, de formato 1, 2, 4, 8, A, B, C, por los siete conductores de un cable 295 (fig. 4), a un registro separador 102 (fig. 2). Las señales de datos procedentes del separador-regulador 102 de la fig. 2 son transmitidas al componedor 100. La calculadora 260 de la fig. 4 establece una señal positiva por la línea 131, que va al contador de bitios BCD y de video 105, el cual inicia su ciclo de trabajo. La salida del componedor 100 es un tren seriado de señales de video que se guardan en el separador de línea de retardo del terminal seleccionado. Desde uno de los circuitos de coincidencia 120 a 122 se suministra una señal por uno (el correspondiente) de los conductores 123 a 125 al circuito disyuntivo 139, cuya salida es suministrada por el conductor 130 de la fig. 2 y por el circuito disyuntivo 263 a la calculadora 260 de la fig. 4, para iniciar otra petición de transferencia de datos. La calculadora responde a esta señal y suministra otro byte de siete bitios de señales BCD, a lo largo de los conductores del cable 295, al registro separador 102 de la fig. 2. La calculadora sigue guardando bytes de siete bitios de señales BCD en el separador-regulador de línea de retardo del terminal seleccionado, hasta haberse transmitido todos los bytes del mensaje de la calculadora, instante en el cual la calculadora se desconecta del terminal dado median-

25 FEB



te desactivación de aquella de las líneas 52 a 54 de la fig. 4. que se hubiera seleccionado. Esto hace que se descondicione el circuito de coincidencia asociado, de los designados con los números 49 a 51 en la fig. 2, desapareciendo la señal de detención o parada del circuito escrutador 32 (fig.2), que había en la línea 34. La calculadora envía también una señal de final de trabajo con la calculadora, por la línea 64 (fig. 4) al circuito de coincidencia 47 de la fig. 2, y aquél de los circuitos de coincidencia 73 a 75 que esté activado con un nivel de señal positivo por el circuito escrutador 32 de la fig. 2 envía una señal de desbloqueo por una de las líneas (la respectiva) 70 a 72, al circuito disyuntivo 59, cuya salida se aplica por la línea 58 al circuito de coincidencia 47. El circuito de coincidencia 47, pues, se condiciona dando paso a una señal que va por el circuito disyuntivo 48 y por la línea 33 a poner en marcha el circuito escrutador 32. Es de notar aquí que el teclado de la estación seleccionada no queda bloqueado para una transferencia de calculadora. Sin embargo, el circuito de coincidencia 73 a 75 asociado genera la señal de desbloqueo para el terminal seleccionado, porque la calculadora detuvo el circuito escrutador en la estación seleccionada, y aquél de los circuitos de coincidencia 53 a 55 asociado a la estación seleccionada recibe un nivel de condicionamiento procedente del circuito escrutador 32. En cuanto se recibe un impulso de iniciación del retroceso vertical en la línea 56 y un impulso de reloj en la línea 57, lo que ocurre una vez durante cada ciclo de la línea de retardo, se condiciona el circuito de coincidencia 73 a 75 asociado correspondiente, dejando pasar una señal de desbloqueo al circuito de coincidencia 47 de la fig. 2. Las señales de desbloqueo no pasan a través del circuito de coincidencia 47 mientras la calculadora siga en-

5

10

15

20

25

30

25 FEB



5  
viando una señal de selección a uno de los circuitos de coincidencia 49 a 51. La señal de desbloqueo no es necesaria para el teclado, pero sí la necesita el circuito de coincidencia 47 para iniciar el funcionamiento del circuito escrutador 32 de la fig. 2, una vez que la calculadora 260 de la fig. 4 termina su transmisión.

10  
A continuación se hace referencia a la fig. 6, que ilustra con detalle el convertidor 104 de paralelo a serie, y el contador de bitios 105, de la fig. 2. El convertidor de paralelo a serie 104 incluye unos circuitos de coincidencia 330 a 336 inclusive. Cada uno de los circuitos de coincidencia recibe señales de uno de los conductores del cable 103. Asimismo, los circuitos de coincidencia 330 a 336 reciben señales de tiempos, procedentes de unas líneas respectivas 340 a 346 inclusive, que se activan en secuencia. Las  
15  
señales de información suministradas a los circuitos de coincidencia 330 a 336 inclusive reciben paso en secuencia o sucesión, a través de un circuito disyuntivo 348 y de un circuito de coincidencia 349, hasta la línea de salida 127 de la fig. 6, donde aparecen en forma de serie de impulsos BCD. Las señales que aparecen en la línea de salida 127 (fig. 6) son suministradas a los separadores de líneas de retardo 200 a 202 inclusive (fig. 3) al tener lugar una operación de inscribir. Un circuito de coincidencia 337 recibe señales de  
20  
tiempos por una línea 347 y una señal de control procedente de un biestable BCD del contador de bitios 105; y el circuito de coincidencia 337 da una señal de salida de impulsos marcadores para las operaciones de inscribir en BCD, como  
25  
más adelante se explica.

30  
El contador de bitios 105 de la fig. 6 incluye



un contador 360 que tiene unos circuitos biestables 361 a 363 inclusive y unos circuitos de coincidencia 364 y 365 conectados como se indica, formando un circuito contador. Los biestables 361 a 363 son repuestos por un impulso positivo procedente de un circuito de coincidencia 366. Al reponerse el contador 360, se reponen al estado de "cero" los biestables 361, 362 y 363. Los impulsos positivos procedentes de un circuito de coincidencia 367 hacen que el contador avance desde el cómputo de uno sucesivamente hasta el cómputo de seis en que, por medio de una disposición de control especial, es repuesto. La segunda entrada a cada uno de los biestables 361 a 363 es una entrada de complemento; y cada vez que la entrada de complemento a un biestable es activada con un impulso positivo, se invierte el estado del biestable.

A unas combinaciones seleccionadas de las salidas de los biestables 361 a 363 inclusive van conectados unos circuitos de coincidencia 381 a 386 inclusive. Al avanzar el contador 360 desde el cómputo de uno al de seis, se van condicionando sucesivamente los circuitos de coincidencia 381 a 386, dejando pasar un impulso de reloj a la línea 57. La condición del contador 360 que activa cada uno de los circuitos de coincidencia 381 a 386 se ilustra en la tabla 1 que sigue:



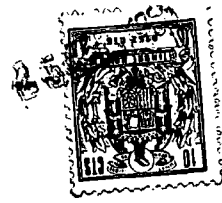
TABLA 1

	<u>Contenido del contador 360</u>			<u>Circuito de coincidencia condicionado</u>
	$2^2$	$2^1$	$2^0$	
5	0	0	1	381
	0	1	0	382
	0	1	1	383
	1	0	0	384
10	1	0	1	385
	1	1	0	386

Cuando por las líneas de salida 340 a 344 inclusive y 347, procedentes de los circuitos de coincidencia respectivos 381 a 386, se suministran unos impulsos positivos, estos impulsos van al componedor 100 de la fig. 2, así como al convertidor de paralelo a serie 104 de la fig. 2. Cuando se utilizan para hacer funcionar el componedor, estos impulsos no son empleados por el convertidor de paralelo a serie; y cuando los utiliza éste, no son empleados por el componedor. Las señales BCD se guardan en los separadores de línea de retardo en el momento en que las presentaciones de TV están en negro y se está efectuando el retroceso de exploración vertical. En este momento, se suministra un nivel de señal positivo por la línea 225 de la fig. 6, lo cual condiciona el circuito de coincidencia 349 dejando pasar las señales provenientes de los circuitos de coincidencia 330 a 337 a través del disyuntivo 348, a través del circuito de coincidencia 349 y a lo largo de la línea 127, hasta los separadores ("buffers") de línea de retardo, siempre que se produzca una operación de inscribir BCD.



Los impulsos sincronizados provenientes del contador de bi-  
tios se suministran al componedor 100 al mismo tiempo que  
son suministrados al convertidor de paralelo a serie, duran-  
te una operación de inscribir BCD. Ahora bien, el compone-  
dor no se pone en acción cuando se efectúa una operación de  
inscribir BCD, y los biestables 441 a 445 inclusive de la  
fig. 7 se reponen al estado de "cero", y los impulsos sincro-  
nizados que haya en las líneas 340 a 344 de la fig. 6 no  
se dejan pasar por los circuitos de coincidencia 451 a 455  
de la fig. 7. Por consiguiente, en la línea de salida 126  
(fig. 7) persiste un nivel de señal negativo, nivel de se-  
ñal que no produce efecto alguno en los separadores regula-  
dores de línea de retardo de la fig. 3, porque el converti-  
dor de paralelo a serie 104 de la fig. 6 puede franquear  
el paso de los impulsos BCD seriados a los separadores de  
línea de retardo. Todo uno binario representado por un im-  
pulso de señal positivo en el tren BCD seriado predomina o  
supera al nivel de señal negativo procedente del componedor  
100. Así, como puede verse, los impulsos de tiempos de bi-  
tios aplicados al componedor no perturban ni interfieren con  
la operación de inscribir efectuada por el convertidor de  
paralelo a serie. Cuando el componedor 100 esté efectuando  
una operación de inscribir, se descondiciona el circuito  
de coincidencia 349 de la fig. 6, y el nivel de señal nega-  
tivo de la línea 127, que va desde el circuito de coinciden-  
cia 349 a los separadores de línea de retardo, no perturba  
la operación de inscribir efectuada por el componedor. Todo  
impulso positivo, representativo de unos binarios, que venga  
del componedor predomina sobre el nivel de señal negativo,  
representativo de cero, que viene del convertidor de para-



lelo a serie. Así, como puede verse, el componedor y el convertidor de paralelo a serie no se perturban mutuamente durante la operación de inscribir.

5 El contador de bitios 105 de la fig. 6 se hace funcionar solamente durante la operación de inscribir, y hace que se suministren impulsos de señal BCD o de video a los separadores de línea de retardo 200 a 202 inclusive (fig. 3) a la frecuencia de reloj y en sincronismo con los impulsos de reloj. La operación de inscribir está controlada por un circuito biestable de inscribir 390 (fig. 6). El biestable de inscribir se activa al estado de "uno" por medio de un impulso positivo, representativo de un bitio marcador, que se guarda en el separador de línea de retardo seleccionado. Este impulso es detectado y suministrado por uno de los circuitos 203 a 205 de control de bitios marcadores (fig. 3), por medio de un circuito disyuntivo 210 y a lo largo del conductor 128, al circuito de coincidencia 394 y al biestable de inscribir 390 de la fig. 6. El biestable 390 es puesto al estado de "uno" también por una señal procedente de un inversor 396 controlado por la calculadora 260 de la fig. 4, cuando esta efectúa una operación de inscribir en los dispositivos de almacenaje o separadores de línea de retardo 200 a 202.

10  
15  
20  
25 Cuando el biestable de inscribir se activa al estado de "uno" para una operación de inscribir de video, el circuito de coincidencia 367 deja pasar los impulsos de reloj de la línea 57 (fig. 6) para manipular el contador 360. El contador 360 recorre en secuencia su ciclo; y al llegarse a un cómputo de seis en binario se condiciona el  
30 circuito de coincidencia 386, dejando pasar un impulso de



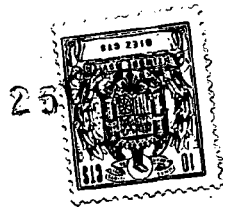
reloj en el instante o tiempo de bitio 6. Las presentaciones de TV están desbloqueadas durante una operación de inscribir de video, suministrándose un nivel de señal positivo desde el inversor 392 al circuito de coincidencia 391. Cuando el contador llega a seis, el circuito de coincidencia 366 deja pasar una señal positiva al circuito de coincidencia 391, quien a su vez deja pasar una señal positiva, por medio de un circuito disyuntivo 393, al lado de entrada de "cero" del biestable de inscribir 390, con lo cual este biestable es repuesto. La señal de salida positiva del circuito de coincidencia 366 repone también el contador 360. Esto da por terminada la operación de inscribir de video, para un barrido horizontal dado. Cuando en el barrido horizontal sucesivo se detecta el bitio marcador, el biestable de inscribir 390 es puesto al estado de "uno", y el contador 360 vuelve a recorrer un ciclo, generándose así los impulsos de tiempos de bitio 1 a 6 inclusive. El biestable de inscribir 390 se manipula activándolo y desactivándolo, y haciendo así que el contador 360 recorra ciclos generando impulsos de tiempo de bitios 1 a 6, siete veces en siete barridos horizontales consecutivos, con el propósito de inscribir todos los bitios de video de un carácter en uno (seleccionado) de los separadores de línea de retardo 200 a 202 de la fig. 3. Como se señala con mayor detalle en la fig. 8, cada carácter tiene siete filas de cinco bitios cada una, y cada fila de núcleos se convierte en impulsos regulados en el tiempo, habilitándose un impulso por cada núcleo de una fila dada, por el que está enfilado el arrollamiento de carácter. Así, hacen falta siete operaciones de inscribir de video para guardar los bytes o grupos de cinco bitios de cada una de las siete filas.



Cuando se esté efectuando una operación de inscri-  
bir BCD, al contador 360 debe hacérsele recorrer dos ciclos.  
Durante la operación de inscribir BCD, en la línea 225 de  
la fig. 6 se presenta en la línea 225 (fig. 6) una señal  
positiva, representativa del retroceso de exploración verti-  
cal, y esta señal condiciona el circuito de coincidencia 349,  
dejando pasar señales BCD a la línea de salida 127. En cuanto  
uno de los circuitos 203 a 205 (fig. 3) de control de bitios  
marcadores localiza un bitio marcador de BCD, se envía un  
impulso positivo, por medio del circuito disyuntivo 210 de  
la fig. 3 y a lo largo de la línea 128, al circuito de coin-  
cidencia 394. Si la calculadora 260 de la fig. 4 no está  
leyendo datos, el circuito de coincidencia 394 deja pasar  
la señal positiva de la línea 128 al lado de entrada de  
"uno" del biestable de inscribir 390 de la fig. 6, activan-  
do así este biestable. El circuito de coincidencia 367 de  
la fig. 6 se condiciona, pues, dejando pasar impulsos de re-  
loj al contador 360 y haciéndole recorrer un ciclo de su  
secuencia. Los impulsos de tiempos de bitios 1 a 6 se su-  
ministran, a la frecuencia de reloj, a los circuitos de coin-  
cidencia 330 a 334 inclusive y 337, en sucesión. Los impul-  
sos de tiempo de bitio 1 a 5 inclusive franquean el paso  
de los bitios asociados C, B, A, 8, 4 desde el cable 103  
al circuito disyuntivo 348 y al circuito de coincidencia  
349, hasta llegar a la línea de salida 127, que transporta  
estos impulsos BCD en serie a los separadores de línea de  
retardo 200 a 202 de la fig. 3. El circuito de coincidencia  
337 recibe un impulso positivo en el instante o tiempo de  
bitio 6, pero este impulso no pasa por el circuito de coin-  
cidencia 337, porque el biestable 389 de BCD, que se repone



al comenzar una operación de inscribir, continúa en su estado de repuesto y suministra un nivel de señal negativo desde el lado de salida de "uno" a los circuitos de coincidencia 337, 397, 398 y 399. El nivel negativo del circuito de coincidencia 399 se aplica por medio del circuito disyuntivo 393 al lado de entrada de "cero" del biestable de inscribir 390. Este nivel de señal negativo que va al lado de entrada de "cero" del biestable 390 no llega a reponer el biestable, y éste continúa en el estado de "uno". El impulso positivo del final del tiempo de bitio 6 es aplicado a un circuito de coincidencia 395, el cual es condicionado por un nivel de señal positivo presente en la línea 225. Así, el impulso positivo del final del tiempo de bitio 6 se aplica al lado de entrada de "uno" del biestable 389 de BCD, activándose así este biestable al estado de "uno". Al propio tiempo se repone el contador, porque el circuito de coincidencia 366 da una señal de salida positiva. El nivel positivo del lado de salida de "uno" del biestable 389 condiciona los circuitos de coincidencia 337, 397 y 398. El nivel negativo procedente del lado de salida de "cero" del biestable 389 descondiciona los circuitos de coincidencia 330 a 334 inclusive del convertidor de paralelo a serie. En las líneas 340 a 347 se vuelven a generar los impulsos de tiempos de bitio 1 a 6 inclusive. El impulso positivo del tiempo de bitio 1 es pasado por el circuito de coincidencia 397 al circuito de coincidencia 335, el cual da paso a la cantidad 2 de BCD desde el cable 103, por el circuito disyuntivo 348 y el de coincidencia 349, a la línea de salida 127. El impulso positivo del tiempo de bitio 2 es pasado por el circuito de coincidencia 398 al circuito de coincidencia 336, el cual da paso a la cantidad 1 de BCD desde el cable 103, por el circuito



5           disyuntivo 348 y el circuito de coincidencia 349, a la línea  
de salida 127. Los impulsos de tiempos de bitio 3, 4 y 5 no  
franquean el paso de ninguna señal de datos por el circuito  
disyuntivo 348 y el de coincidencia 349 hasta la línea de  
10           salida 127. Así, el nivel de señal de salida en la línea 127  
es un nivel de señal negativo, por toda la duración de los  
tiempos de bitios 3 a 5 inclusive. El circuito de coinciden-  
cia 337 es condicionado por el nivel positivo procedente del  
lado de salida de "uno" del biestable 389 de BCD, y deja pa-  
sar el impulso positivo del tiempo de bitio 6, por el circui-  
to disyuntivo 348 y el de coincidencia 349, a la línea de sa-  
lida 127. Este impulso positivo del tiempo de bitio 6 repre-  
senta un impulso marcador, que es guardado en la línea de  
15           retardo seleccionada. El impulso marcador significa el final  
de esta operación de inscribir, y el lugar en que, en la si-  
guiente operación de inscribir, se van a guardar los dos by-  
tes sucesivos, de 5 bitios, de la información BCD. Cuando  
el contador trata luego de subir de nuevo a siete,, da una  
señal positiva desde la salida del circuito de coincidencia  
20           366, al final del tiempo de bitio 6 y por medio del circuito  
de coincidencia 395, a la entrada de complemento del biesta-  
ble 389, invirtiendo así su estado y reponiendo este biesta-  
ble. La señal positiva procedente del circuito de coinciden-  
cia 366 se aplica también a un circuito de coincidencia 399,  
25           el cual se condiciona con un nivel de señal positivo por la  
línea 225, dejando pasar el impulso positivo por el circuito  
disyuntivo 393 al lado de entrada de "cero" del biestable de  
inscribir 390, con lo cual se repone este biestable y se  
da por terminada la operación de inscribir BCD. Así, como  
30           puede verse, esta operación de inscribir BCD se ejecuta ha-



5      ciendo que el contador 360 recorra su ciclo dos veces y suministre dos bytes de 5 bitios de información BCD seriada, de los cuales el último bitio es un bitio marcador, a los separadores-reguladores de línea de retardo 200 a 202 de la fig. 3.

10      A continuación se hace referencia a las figs. 7 y 8, que ilustran con detalle el componedor 100 de la fig. 2. Con referencia en primer lugar a la fig. 7, las señales BCD procedentes del cable de entrada 43 de la fig. 2 son suministradas a unos descodificadores 401 y 402 de la fig. 7. A estos descodificadores 401 y 402 se aplican los valores tanto directos o verdaderos como los de complemento de las cantidades de entrada. A este fin, se emplean los inversores 403 a 405 inclusive en conexión con el descodificador 401, y los inversores 406 a 408 inclusive en conexión con el descodificador 402. Las cantidades A, B y 1 se aplican al descodificador 402, y seleccionan unos arrollamientos de carácter dados, dispuestos en cada uno de los planos 1 a 8 inclusive. Las cantidades 2, 4 y 8 son  
15      suministradas al descodificador 401, y seleccionan un devanado de plano en uno dado de los planos 1 a 8 inclusive. Como se explicará con mayor detalle más adelante, el plano seleccionado da señales de video en unos devanados de percepción 421 a 425 inclusive, a los amplificadores de percepción 431 a 435. Los amplificadores de percepción, a su vez, suministran estas señales al lado de entrada de "uno" de los respectivos biestables 441 a 445 inclusive. Las señales procedentes de los amplificadores de percepción son suministradas en paralelo a los biestables 441 a 445. Las salidas  
20      de estos biestables a unos circuitos de coincidencia 451 a  
25      30

25 FEB 1967



5  
455 respectivos son examinadas o "muestreadas" en serie por medio de impulsos positivos aplicados en secuencia a las líneas 340 a 345 inclusive. El impulso positivo aplicado a la línea 345 es un impulso marcador. Por medio de un circuito disyuntivo 456 se suministra a la línea 126 un tren de señales numéricas de video en serie. Los impulsos de serie de la línea 126 son las señales de video que se transportan a los separadores de línea de retardo durante una operación de inscribir de video.

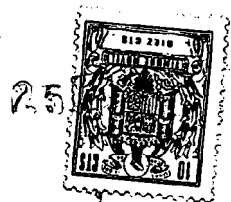
10  
A continuación se hace referencia a la fig. 8, que ilustra con detalle la construcción de los planos 1 a 8 de la fig. 7. Para mayor sencillez se ilustran los planos 2, 5 y 8. Cada plano incluye una matriz de 5 x 7 de pequeños núcleos magnéticos, dispuestos del modo indicado en el dibujo. Cada plano tiene un excitador de plano y un devanado de plano, tales como el excitador de plano 460 y el devanado o arrollamiento de plano 461, indicados en el plano 5. Los excitadores de plano y los devanados de plano para los planos 2 y 8 de la fig. 8 se han omitido, a fin de no complicar innecesariamente el dibujo. Cada plano incluye una pluralidad de devanados de carácter, pero en los planos 2, 5 y 8 de la fig. 8 sólo se ha representado un devanado de carácter por plano, para mayor sencillez. El devanado de carácter del plano 8 en-fila los núcleos que representan el símbolo matemático "mayor que"; el devanado de carácter del plano 5 en-fila los núcleos que representan la letra H; y el devanado de carácter del plano 2 en-fila los núcleos que representan la letra B. Los devanados de carácter indicados en la fig. 8 están interconectados, y son seleccionados por el descodificador 402 de la fig. 7 cuando se aplican al mismo las señales A, B, T. El descodificador 402 de la fig. 7 suministra entonces un nivel de señal positivo

21.2.1967



al excitador 464 de la fig. 8. La salida del excitador 464 es una corriente mitad, que se suministra por medio de los devanados de carácter indicados en los planos 2, 5 y 8 a una resistencia 465. La corriente mitad no basta de por sí para modificar el estado magnético de los núcleos por los que se han enfilado los devanados de carácter seleccionados. El excitador de planos seleccionado (por ejemplo, el excitador 460 del plano 5) da una corriente mitad a todos los núcleos del plano seleccionado. La fuerza magnetomotriz producida por la corriente del devanado de plano y la fuerza magnetomotriz producida por los devanados de carácter se ayudan mutuamente. El resultado neto de elb es una fuerza magnetomotriz suficiente para cambiar o modificar el estado magnético de los núcleos del plano seleccionado por los que está enfilado el devanado de carácter seleccionado. Así, los núcleos que representan los caracteres seleccionados quedan activados en el plano elegido. Los restantes núcleos, los no seleccionados, del plano elegido siguen repuestos. Es de señalar aquí que todos los núcleos de todos los planos se hallan en la condición o estado de repuestos, antes de operar.

Cada plano de núcleos magnéticos está provisto de líneas de excitación o activación en horizontal y vertical. Las líneas de excitación horizontal pasan por todos los planos, como se ilustra en el dibujo, y las líneas de excitación vertical pasan también por todos los planos, de manera semejante. Para suministrar corrientes de lectura a las líneas de excitación vertical se emplea un registro de desplazamiento 470 de cinco etapas, en tanto que para suministrar corrientes de lectura a las líneas de excitación



5 horizontal se utiliza un registro de desplazamiento 471 de siete etapas. Las corrientes que hay en las líneas de excitación horizontal son corrientes mitad, y lo mismo sucede con las corrientes que hay en las líneas de excitación vertical. Las corrientes de lectura de las líneas de excitación horizontal y vertical se suman o ayudan entre sí, y la fuerza magnetomotriz resultante actúa en el sentido de reponer los núcleos interrogados. La fuerza magnetomotriz producida por las corrientes de lectura se escruta en sentido opuesto al de la fuerza magnetomotriz producida por las corrientes de inscribir en el devanado de plano seleccionado y en el devanado de carácter seleccionado.

10 Para ejecutar una operación de lectura, se activa el registro de desplazamiento 471, de tal modo que la etapa 1 da en su salida una corriente mitad, y las etapas 2 a 7 inclusive no dan corriente de salida alguna. Mientras la etapa 1 del registro de desplazamiento 471 da una salida de corriente mitad, el registro de desplazamiento 470 recorre en secuencia cíclica las etapas 1 a 5 inclusive, de tal modo que cada etapa da por turno a su salida una corriente mitad. Esto hace que la fila superior de núcleos de cada plano reciba una fuerza magnetomotriz suficiente para reponer todos estos núcleos, si alguno estuviera activado de antes. Si un núcleo cualquiera experimenta una inversión en su estado magnético, se induce una señal en los devanados de percepción 421 a 425 asociados, y se suministra una señal de salida, por medio de los amplificadores de percepción asociados 431 a 435, a los correspondientes circuitos biestables 441 a 445 de la fig. 7. Los impulsos de tiempos procedentes del contador de bitios 105 de la fig. 6 se aplican en se-



cuencia a los circuitos de coincidencia 451 a 455 de la fig. 7, suministrándose un tren seriado de señales numéricas de video, a través del circuito disyuntivo 456, a la línea 126 de la fig. 7. Estas señales de video se suministran a los separadores-reguladores de línea de retardo 200 a 202 de la fig. 3, desde donde se inscriben en el terminal de destino. A continuación se hace avanzar a la etapa 2 el registro de desplazamiento 471 de la fig. 8, y la etapa 2 es la que ahora da por su salida una corriente mitad, mientras las etapas restantes no suministran corriente alguna de salida. Mientras se mantiene en esta condición el registro de desplazamiento 471, al registro de desplazamiento 470 se le hacen recorrer las etapas 1 a 5 inclusive, dando cada etapa por turno una salida de corriente mitad. Esto hace que a todos los núcleos de la segunda fila de cada plano se les "interrogue" y suministre señal a lo largo de los devanados de percepción, por medio de los amplificadores de percepción 431 a 435, hasta que los circuitos biestables 441 a 445. Estos biestables son repuestos por las señales presentes en una línea 446 antes de leer o tomar cada juego de señales de video del plano seleccionado. Las señales tomadas de la segunda fila de núcleos del plano seleccionado se guardan en los biestables 441 a 445, y se convierten en un tren de impulsos seriados en la línea 126 por medio de impulsos procedentes del contador de bitios, como más arriba se ha explicado. Las filas tercera a séptima inclusive de núcleos del plano seleccionado se leen de la misma manera, haciendo avanzar el registro de desplazamiento 471 de modo que recorra sucesivamente las etapas restantes, y en cada una de éstas haciendo que el registro de desplazamiento 470

5

10

15

20

25

30



5

recorra una vez todas sus etapas, por cada etapa del registro de desplazamiento 471. Así, como puede verse, se interroga fila a fila un carácter dado, en un plano seleccionado, hasta haberse leído la totalidad de las siete filas. Las señales producidas por cada fila se suministran al biestable (441 a 445), y luego se convierten en un tren seriado, aplicado a la línea 126 y suministrado a los separadores-reguladores de línea de retardo.

10

La tabla 2 que sigue ilustra la disposición de los devanados de carácter en los diversos planos, el devanado de cuadro seleccionado por las señales aplicadas al descodificador 401, y el devanado de carácter seleccionado por medio de las señales aplicadas al descodificador 402.

15

TABLA 2

	ABI	ABI	ABI	ABI	ABI	ABI	ABI	ABI	Cuadro
8 4 2	A	&	J	—	/	S.C.	1	bloqueo	1
8 4 2	C	B	L	K	T	S	3	2	2
8 4 2	E	D	N	M	V	U	5	4	3
8 4 2	G	F	P	O	X	W	7	6	4
8 4 2	I	H	R	Q	Z	Y	9	8	5
8 4 2	.	C.E.	C.E.	C.E.	C.E.	C.E.	C.E.	0	6
8 4 2	[	C.E.	]	C.E.	C.E.	C.E.	C.E.	C.E.	7
8 4 2	≠	<	C.E.	C.E.	C.E.	C.E.	C.E.	C.E.	8

C.E. = Carácter especial

Supóngase, a los fines de la ilustración, que se desea convertir señales BCD representativas del carácter o letra H en señales de video para una presentación de TV. Por la tabla 2 que antecede puede verse fácilmente que la representación BCD de la letra H es A, B,  $\bar{1}$ ,  $\bar{2}$ ,  $\bar{4}$ , 8. Estas señales son

30



5  
10  
15  
20  
25  
30

suministradas en los conductores del cable 43. Las señales A, B, I se suministran al descodificador 402, y la línea de salida designada A, B, I se activa con un nivel de señal positivo. Este nivel de señal es aplicado al excitador 464 de la figura 8, que da una corriente mitad por los devanados de carácter interconectados asociados de los diversos planos. Las señales 2, 4, 8 son suministradas al descodificador 401 de la fig. 7, que suministra un nivel de señal positivo por la línea de salida designada 2, 4, 8 al excitador de plano 460 de la fig. 8, el cual da una corriente mitad en su devanado de plano 461. Se supone que todos los núcleos magnéticos de todos los planos estaban repuestos de antes. Como los núcleos enfilados por el devanado de carácter del plano 5 reciben una corriente mitad del devanado de carácter y una corriente mitad del devanado de plano, se reponen. Esto es, experimentan un cambio en su estado magnético. Todos los demás núcleos del plano 5 reciben una corriente mitad del devanado de plano, pero esto no basta para hacerles cambiar o pasar del estado de repuestos al de activados. Las corrientes aplicadas a los excitadores 460 y 464 son corrientes coincidentes, y tan pronto como se han activado los núcleos seleccionados en el plano 5, se da fin a estas corrientes coincidentes. A continuación se hacen funcionar los registros de desplazamiento 470 y 471, como antes se ha explicado, para leer las filas sucesivas del plano 5, empezando por la primera y terminando con la séptima. Cada fila da un byte de cinco bitios de señales numéricas de video, que son exploradas en serie y suministradas a los separadores de línea de retardo 200 a 202 de la fig. 3 bajo el control del contador de bitios 105 de la fig. 2. Así, puede verse como se hace



funcionar el componedor 100 para convertir señales BCD representativas de la letra H en señales de video. Por la tabla 2 se determina fácilmente de qué modo se selecciona cada uno de los símbolos, y esta gráfica indica también en qué plano está situado cada uno.

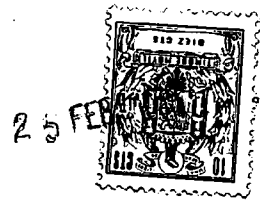
A continuación se hace referencia a la fig. 9, para una ilustración detallada del circuito de control de bitios marcadores y del separador de línea de retardo 200 de la fig. 3. Primeramente se describe el separador-regulador de línea de retardo 200. Tiene un circuito de coincidencia 516, un circuito de coincidencia 517 y un inversor 518, conectados del modo que se indica para recibir señales de entrada por las líneas de entrada 57, 123, 126 y 127. Estos circuitos lógicos controlan la inscripción de nueva información en las líneas de retardo 510 y 511. Un circuito de coincidencia 519 controla la reintroducción de los datos de salida de las líneas de retardo a la entrada de las mismas, y controla también la introducción de bitios marcadores, como se explica más adelante.

Toda la información introducida en las líneas de retardo pasa por un circuito disyuntivo 520 a un circuito de coincidencia 521 o a un circuito de coincidencia 522. Los impulsos de reloj suministrados a la línea 57 de la fig. 9 van acoplados a la entrada de complemento de un biestable 523. Este circuito biestable está inicialmente repuesto al estado de cero, y los impulsos que aparecen en la línea 57 se aplican alternativamente a los circuitos de coincidencia 521 y 522. Fundamentalmente, este biestable actúa de divisor de frecuencia, aplicando impulsos de reloj de número



5  
10  
15  
20  
impar al circuito de coincidencia 521, y de número par al  
circuito de coincidencia 522. Las señales de datos a inscri-  
bir en las líneas de retardo vienen suministradas a ambos  
circuitos de coincidencia 521 y 522, y las señales de datos  
se conmutan y guardan con bitios de número impar en la línea  
de retardo 511 y con bitios de número par en la línea de  
retardo 510. Las señales de salida de estas líneas de re-  
tardo son conmutadas por los circuitos de coincidencia 525  
y 526. Las salidas de estos circuitos de coincidencia son  
suministradas a un circuito disyuntivo 527, cuya salida se  
transporta por la línea 206 a la presentación de TV 220  
(fig. 3). La línea 206 suministra también las señales de sa-  
lida al circuito de coincidencia 519, para su reintroducción  
en las líneas de retardo, de tal modo que la información  
puede retenerse y ser presentada repetitivamente a la pre-  
sentación de TV. Para una descripción más detallada del  
funcionamiento del separador de línea de retardo 200 de la  
fig. 9, se hace referencia a la solicitud de patente ameri-  
cana Nº 487.887, presentada el 16 de Septiembre de 1.965 ba-  
jo el título "Circuito de almacenaje separador-regulador  
("buffer") por línea de retardo, perfeccionado" y cedida  
al mismo cesionario de la presente invención.

25  
30  
En el separador de línea de retardo 200 se intro-  
ducen bitios marcadores en el tiempo de bitio 6, después  
del último byte BCD. La información BCD se guarda en la línea  
de retardo, en el punto o instante (en el tiempo) que comien-  
za con la iniciación del retroceso de exploración vertical,  
y continúa hasta que se almacena el último byte BCD, momento  
en el cual se introduce un bitio marcador en el tiempo de bi-  
tio 6 del último byte. En la parte de la línea de retardo uti-



5 lizada para guardar la información BCD se emplea un solo bitio marcador. Los bitios marcadores se almacenan en la parte del separador de línea de retardo utilizada para guardar la información de video para las presentaciones de TV. Inicialmente, los bitios marcadores para la parte de video se guardan en un punto, en el tiempo, inmediatamente precedente a aquél en que comienza cada barrido de línea horizontal, que es el que tiene lugar en el tiempo de bitio 6. Como estos bitios marcadores de video de la salida de la línea de retardo tienen lugar inmediatamente antes de que comience el barrido horizontal para cada línea en la presentación de TV, no son visibles en esta última. Son útiles para controlar el sincronismo. Si la información de video se inscribe en el separador de línea de retardo para su presentación en cualquier línea horizontal, el bitio marcador entonces presente se destruye antes de inscribir, introduciéndose un nuevo bitio marcador inmediatamente de terminar la operación de inscribir. Toda la información guardada en el separador de línea de retardo se agrupa en bytes de 6 bitios, reservándose el sexto bitio en todos los casos para el bitio marcador. Cuando el bitio marcador se destruye antes de comenzar la operación de inscripción de un nuevo byte, se deja en blanco el sexto bitio del byte precedente, lo cual da un espacio entre caracteres adyacentes. Siempre que se presenten caracteres en la presentación de TV, el bitio marcador aparece inmediatamente a la derecha del carácter, y sirve de cursor. Resulta especialmente útil cuando el operador ha introducido a propósito varios espacios en blanco, ya que permite ver dónde puede presentarse el carácter siguiente.

El circuito de control 203 de bitios marcadores de la fig. 9 desempeña dos funciones. Destruye los bitios

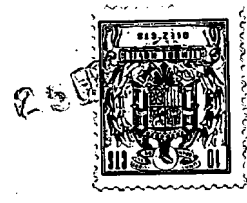


5 marcadores presentes, tanto de video como de BCD, antes de  
la operación de inscribir; y sitúa el bitio marcador de  
BCD durante una operación de lectura. El bitio marcador  
de BCD en la operación de leer significa que se ha leído  
toda la información BCD, y que la lectura ha de darse por  
terminada. El circuito de control 203 de bitios marcadores  
de la fig. 9 incluye unos circuitos de coincidencia 531 y  
532. Ambos circuitos de coincidencia reciben impulsos de  
tiempo de bitio 6 por la línea de entrada 209, y selecciona  
niveles 1 en la línea de entrada 29. A la línea de entrada  
225, y por tanto al circuito de coincidencia 531, se apli-  
can niveles de señal de retroceso de exploración vertical,  
y este nivel de entrada se suministra a través de un inver-  
sor 533 al circuito de coincidencia 532. La señal presente  
en la línea 214 se aplica por medio de un inversor 530 al  
circuito de coincidencia 531. La línea de entrada 225 se ac-  
tiva con un nivel de señal positivo durante el retroceso  
vertical, y con un nivel de señal negativo cuando se está  
dando información por la presentación de TV. Así, el cir-  
cuito de coincidencia 531 puede activarse durante el retro-  
ceso vertical, y el circuito de coincidencia 532 puede ac-  
tivarse en todos los demás momentos. El circuito de coinci-  
dencia 531 localiza o sitúa el bitio marcador de BCD, y el  
circuito de coincidencia 532 localiza los bitios marcado-  
res de video. Las salidas de los circuitos de coincidencia  
531 y 532 son suministradas, a través de un circuito dis-  
yuntivo 534, y a lo largo del conductor 211, al separador  
de línea de retardo 200. Las señales del conductor 211  
pasan por un inversor 535 al circuito de coincidencia 519



del separador de línea de retardo 200.

5 Como todos los bitios marcadores se guardan en el separador de línea de retardo en el tiempo de bitio 6, aparecen en la línea de retardo 2 que guarda todos los bitios de número par. La salida de la línea de retardo 2 es suministrada por una línea 206a al circuito de control 203 de bitios marcadores. Cuando en la línea 206a aparece un bitio marcador durante una operación de inscribir, se deja pasar sea por el circuito de coincidencia 531, cuando se inscribe información BCD, sea por el circuito de coincidencia 532, cuando se inscribe información de vídeo; pasando luego por el circuito disyuntivo 534 y por el inversor 535 al circuito de coincidencia 519. El nivel de señal en la línea 211 que va al circuito de coincidencia 519 es normalmente un nivel de señal positivo, que condiciona el circuito de coincidencia 519 permitiendo la reintroducción de todas las señales de salida en las líneas de retardo. Cuando el control 203 de bitios marcadores detecta un impulso positivo, representativo de un bitio marcador, esta señal positiva se cambia, a la salida del inversor 535, en una señal negativa que descondiciona el circuito de coincidencia 519 e inhibe la reintroducción del bitio marcador en el separador de línea de retardo. El bitio marcador es eliminado en el tiempo de bitio 6. El período entero que invierte la señal procedente de la salida de la línea de retardo 510 en pasar por el conductor 206a, por uno de los circuitos de coincidencia 531 o 532, por el circuito disyuntivo 534 y por el inversor 535, hasta el circuito de coincidencia 519, se hace igual o menor que el tiempo que invierte la señal procedente de la salida de la línea de retardo 510



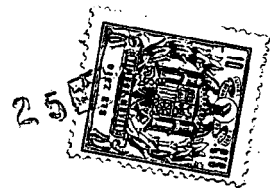
5 en pasar, por el circuito de coincidencia 526 y el disyuntivo 527, al circuito de coincidencia 519. Esta relación en el tiempo de la seguridad de que se destruyen todas las partes del bitio marcador. El espacio que antes ocupaba el bitio marcador se deja en blanco, y la información nueva se introduce en las cinco posiciones de bitio que le siguen inmediatamente. El circuito de coincidencia 531 del control 203 de bitios marcadores suministra una señal de salida por la línea 215 a la calculadora 260 de la fig. 4, señal que sirve para dar fin a una operación de lectura de información BCD, como antes se ha explicado. Finalmente se utiliza un impulso positivo, que aparece en la línea de salida 211 procedente del circuito disyuntivo 534, para activar el biestable de inscribir 390 del contador de bitios 105 de la fig. 6.

15 En la fig. 9 hay un conmutador de anulación 540 que normalmente descansa en la posición en aquella indicada, y suministra un nivel negativo, procedente de una fuente 541, a un inversor 542. El inversor, pues, da por su salida un nivel positivo al circuito de coincidencia 519, condicionando así este circuito para permitir la reintroducción de señales procedentes de la línea de retardo.

20 La línea de retardo se ilustra esquemáticamente en la fig. 10, designada con el número 600, y de ella se utiliza una parte para almacenar información BCD, y el resto para guardar información de video. La parte de la línea de retardo empleada para guardar información BCD tiene 714 microsegundos de longitud, y la parte utilizada para almacenar información de video es de 4800 microsegundos de longitud. Como antes se ha señalado, la información guardada en la línea de retardo está sincronizada con la presentación

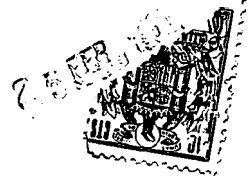


de TV asociada. La parte de la línea de retardo 600 empleada para guardar información de video se suministra a la presentación de TV cuando está desbloqueada, mientras que la parte BCD se lleva a la presentación de TV cuando está bloqueada y efectuando un retroceso de la exploración vertical. La parte de video de la línea de retardo 600 almacena señales de video para cada barrido horizontal. Una parte de barrido horizontal es la designada con el número 601 en la fig. 10. Como se ilustra más concretamente en la fig. 11, en la línea de retardo se asignan 64 microsegundos para cada línea horizontal de la presentación de TV. Este periodo de 64 microsegundos incluye 10 microsegundos para el retroceso de exploración horizontal, tiempo éste durante el cual está bloqueado el haz electrónico del tubo de TV, y 54 microsegundos para presentar caracteres en la cara o pantalla del tubo de presentación de TV, estando el haz electrónico durante este tiempo sin bloquear, y modulado bajo el control de las señales de información de video. Las señales de video se guardan en bytes de 6 bitios en la parte horizontal 601 de la línea de retardo (fig. 11). Uno de estos bytes es el ilustrado en 602 (fig. 11) y detallado en la fig. 12, según la cual incluye los bitios 1 a 5 inclusive para guardar señales de información de video, y el bitio 6 asignado al almacenaje de un bitio marcador. Cada byte de 6 bitios ocupa 3 microsegundos en la parte 601 de la línea de retardo (fig. 11). De ello se sigue que hay 18 bytes de información de video disponibles para cada línea horizontal, y 64 líneas horizontales por retícula, cuando a la 64ª línea no se le asigna un periodo de retroceso horizontal. Es innecesario dar 10 microsegundos para pasar las salidas de las líneas de retardo



a las entradas de las mismas. Cuando se oprime el conmutador de anulación 540, éste suministra un nivel de señal positivo procedente de una fuente 543 al inversor 542, quien a su vez suministra un nivel de señal negativo al circuito de coincidencia 519, con lo cual se descondiciona este circuito de coincidencia. Ello impide la reintroducción de señales desde las salidas de las líneas de retardo a las entradas de las mismas, y todas las señales de información existentes en las líneas de retardo 510 y 511 se borran o destruyen tan pronto como se completa un ciclo de la línea de retardo. Cuando se suelta o libera el conmutador de anulación 540, pueden guardarse nuevas señales en las líneas de retardo 510 y 511.

Los bitios marcadores se introducen inicialmente en el separador de línea de retardo, antes de efectuar las operaciones inscripción de señales BCD y de video. En cada línea horizontal de la presentación de TV se introduce un bitio marcador. Se introduce en el separador de línea de retardo en un punto o instante, en el tiempo, que tiene lugar un tiempo de bitio antes de terminar el retroceso horizontal. Asimismo se introduce un bitio marcador en la primera posición de bitios de la parte BCD del separador de línea de retardo. Se introduce en el separador de línea de retardo en un punto o instante, en el tiempo, que constituye el primer periodo de bitio del retroceso vertical. Estos bitios marcadores iniciales se introducen oprimiendo un interruptor pulsador 544 que está normalmente abierto, tal como se indica en la fig. 9. Este deja pasar las señales positivas que representan bitios marcadores, desde una línea 228 hasta el circuito disyuntivo 520. Estas señales quedan de ese modo guardadas en el separador de línea de



retardo, al ir marchando el "reloj" cointinualmente. Las se-  
ñales de bitios marcadores vienen suministradas por el con-  
trol de tiempos 223 o de sincronismo horizontal y vertical  
de la fig. 16, como más adelante se explica. Los pulsadores  
540 y 544 pueden estar situados en el teclado 20, por con-  
veniencia.

En lo que sigue se hace referencia a las figs.  
10 a 16 inclusive, para un estudio o análisis de los aspec-  
tos de regulación en el tiempo de las presentaciones de TV  
220 a 222 de la fig. 3. En una de las disposiciones construi-  
das conforme al presente invento, la longitud de los separa-  
dores de línea de retardo 200 a 202 de la figura 3 se hizo  
de 4800 microsegundos. En este punto pueden iniciarse un  
retroceso al final de la última línea horizontal, y un re-  
troceso de exploración vertical. En la fig. 13 ilustra un  
mapa de coordenadas de tiempo en los puntos de presentación,  
para la cara o pantalla de la presentación de TV. El tiempo  
para presentar el primer punto en la primera línea es el  
designado T1, 1, continuándose hacia la derecha hasta el  
último tiempo de punto, que es el designado T1, 108. Hay  
un total de 108 tiempos de punto por cada línea de la  
presentación de TV, y un total de 64 líneas para presentar  
las señales de video, como se indica en la fig. 13.

La fig. 14 ilustra el formato de caracteres para  
la presentación de TV. Incluye, en la pantalla del tubo de  
presentación de TV, una matriz que tiene 18 células de  
carácter de anchura y ocho células de carácter de altura.  
Cada célula de carácter está constituida por una matriz  
de 6 bitios de anchura y 8 bitios de altura. Cinco de los  
seis bitios horizontales pueden utilizarse para la presen-



tación de video, y el sexto bitio sirve de marcador, y se elimina al ser almacenado el carácter siguiente, dejando así una separación o espaciado en horizontal entre caracteres contiguos. Para separar verticalmente los caracteres se prevé una línea horizontal en blanco. En la pantalla del tubo TV puede presentarse un total de 8 veces 18, o sea de 144 caracteres:

La fig. 15 representa gráficamente la relación que existe entre la longitud de las líneas de retardo, las coordenadas del tiempo de punto de la presentación, los barridos horizontales y el retroceso vertical, que componen una retícula. Este diagrama se considera útil para coordinar las relaciones bosquejadas en las figs. 10 a 14 inclusive. Este diagrama ayuda también a correlacionar el comportamiento del haz electrónico, según va recorriendo cíclicamente el formato de caracteres de la fig. 14, incluido el retroceso horizontal y vertical, con los acontecimientos que se suceden en la línea de retardo 600, en las figs. 10 a 12. Es de señalar en la fig. 15 que el retroceso vertical comienza en el instante o tiempo de 4086 microsegundos del ciclo de la línea de retardo, y continúa hasta los 4800 microsegundos, que es el final del ciclo de la línea de retardo y el comienzo del siguiente ciclo de línea de retardo. La duración del periodo de retroceso vertical es de once líneas horizontales (11 x 64), o sea de 704 microsegundos, más 10 microsegundos, con un total de 714 microsegundos. El retroceso vertical comienza en el punto (en el tiempo) en que da comienzo el retroceso horizontal en la 64ª línea. En otros términos, el retroceso vertical da comienzo con una anticipación de 10 microsegundos, porque se elimina el retroceso horizontal en la última línea de la presentación de video.



En la fig. 16 se ilustra con detalle el control de sincronismo horizontal y vertical 223 de la fig. 3. La fig. 16 es un esquema funcional de una de las maneras en que pueden generarse impulsos de regulación de tiempos o sincronismo, para hacer funcionar las presentaciones de TV 220 a 222 de la fig. 3, así como el resto del sistema ilustrado en las figs. 2 a 4 inclusive. El reloj 224 de la fig. 16 se hace funcionar a 2 megaciclos por segundo, y suministra impulsos de reloj que tienen 0,25 microsegundos de anchura y aparecen cada 0,5 microsegundos, como se ilustra por medio de los perfiles de onda 610 en la fig. 16. Los impulsos de reloj son suministrados a un contador de bitios en anillo 611, que puede ser un circuito de anillo usual de seis etapas que proporciona impulsos de salida en secuencia a las líneas designadas tiempo de bitio (B.T.) 1 a 6 inclusive. El impulso de tiempo de bitio 6 de cada ciclo del contador de anillo 611 de bitios suministra impulsos de salida a la frecuencia de reloj para cada tiempo de punto indicado en el mapa de coordenadas de la fig. 13. El contador de anillo 612 de bytes (o grupos de bitios) cuenta el número de bytes de una línea horizontal, cómputos que representa asimismo el número máximo de caracteres que pueden presentarse horizontalmente. Los impulsos de salida procedentes del contador de anillo 612 de bytes son suministrados a y contados por un contador de anillo 613 de líneas, que puede ser un circuito de anillo de ocho etapas. La cuenta completa de ocho representa el número total de líneas horizontales necesarias para presentar un carácter completo. La fig. 14 ilustra que se necesitan ocho líneas horizontales para generar un carácter completo. Cuando se han recibido ocho im-



pulsos del contador de anillo 612 de bytes, el contador de anillo 613 de líneas suministra un impulso a un contador de anillo 614 de filas de caracteres, cuyo cómputo representa el número de filas de caracteres presentados. Así, el contador de anillo 614 de filas de caracteres tiene ocho etapas. Cuando este contador de anillo 614 de filas de caracteres llega a contar el valor de ocho, se desarrolla en la línea de salida 56 una señal que da comienzo al retroceso vertical de exploración.

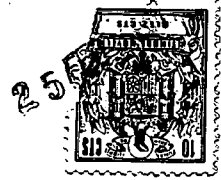
Como la retícula completa de TV se genera en 4800 microsegundos, el reloj 224 suministra durante este período 9600 impulsos. Así, como puede verse, el contador de anillo de bits efectúa 1600 ciclos por cada retícula de TV; el contador de anillo 612 de bytes efectúa su ciclo 200 veces por cada retícula; y el contador de anillo 613 de líneas ejecuta 25 ciclos por retícula. Por consiguiente, estos contadores no necesitan ser repuestos al comenzar la generación de la retícula siguiente, ya que vuelven automáticamente al punto adecuado. En cambio, el contador de anillo 614 de filas de caracteres debe ser repuesto al comenzar la generación de la retícula siguiente, porque cuenta tres filas de caracteres durante el retroceso, siendo preciso eliminar este cómputo cuando da comienzo la generación de la retícula siguiente. Es repuesto al terminarse el retroceso vertical, como se señala más adelante.

Cuando el contador de anillo 612 de bytes da un impulso de salida el contador de anillo 613 de líneas, este impulso de salida se aplica al lado de entrada de "uno" de un biestable 620, que así se activa. El lado de salida de "uno" del biestable 620 suministra un nivel de señal positivo,



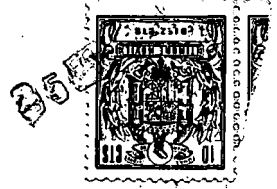
que condiciona un circuito de coincidencia 621 dejando pasar impulsos de reloj a un contador de anillo 622 de retroceso horizontal. El décimo noveno impulso del contador de anillo 622 obliga al contador 611 al sincronismo, para el comienzo de la línea siguiente, forzándole a la posición del anillo 6. El contador de anillo 622 de retroceso horizontal es un circuito de anillo de veinte etapas, que cuenta veinte impulsos de reloj y suministra, al producirse el vigésimo impulso de reloj, una señal al lado de entrada de "cero" del circuito biestable 620, reponiéndose así este biestable. La salida tomada del lado de salida "cero" del biestable 620 es un impulso negativo que tiene una anchura de diez microsegundos y aparece cada 54 microsegundos, como se indica mediante los perfiles de onda 623 en la fig. 16.

Cuando se inicia el retroceso vertical, mediante un impulso de salida positivo aplicado en la línea 56 desde el contador de anillo 614 de filas de caracteres, hay un circuito biestable 630 que se activa al estado de "uno", lo cual condiciona un circuito de coincidencia 631 dejando pasar impulsos de reloj a un contador 632 de retroceso vertical. Este contador debe contar 1428 impulsos, para dar un retardo de 714 microsegundos. Así, se emplea un contador, y no un circuito de anillo, debido al elevado nivel de cómputo que aquí se tiene. Un impulso de salida del contador 632 de retroceso vertical repone el biestable 630, y repone también el contador de anillo 614 de filas de caracteres. El lado de salida de "cero" del biestable 630 da un impulso de retrocesos vertical, que consiste en un nivel de señal negativo de 714 microsegundos de duración y que ocurre cada 4086 microsegundos, como se ilustra por medio de los perfiles de onda



633. Cada terminal de presentación de TV incluye un juego de resistencias 640 a 642 inclusive conectadas del modo indicado, por medio de unos diodos respectivos 650 a 652, a una línea de salida 653. Las señales de sincronismo horizontal, las de sincronismo vertical y las de video, se combinan formando una señal compuesta en la línea de salida 653. Cada presentación de TV 220 a 222 (fig. 3) recibe señales de control de retroceso y de sincronismo horizontal y vertical por las respectivas líneas 225 a 227, procedentes del control de sincronismo horizontal y vertical 223 de la fig. 16, y cada terminal de presentación de TV forma su propia señal compuesta. La señal compuesta es suministrada al amplificador de video de cada presentación de TV. Puede emplearse un receptor de televisión de los que se encuentran en el comercio. La señal compuesta se inyecta en el receptor de TV en el punto en que la salida del detector alimenta normalmente el amplificador de video de TV, y puede ser aconsejable desconectar el detector del amplificador de video, antes de inyectar la señal compuesta. Se trata de una precaución para proteger el diodo detector. El control de tamaño vertical y el control de tamaño horizontal del receptor comercial de televisión pueden ajustarse, para modificar el tamaño de la presentación de TV. También puede ser necesario en algunos casos cambiar los potenciómetros de los circuitos de control de tamaño vertical y horizontal, a fin de obtener un margen adicional de variación.

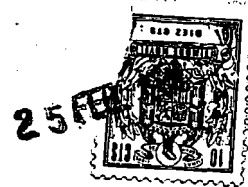
Los impulsos marcadores para la introducción inicial en los separadores de línea de retardo vienen suministrados por el contador de anillo 622 de retroceso horizontal y por el contador de retroceso vertical 632, a un circuito disyuntivo 634. El contador de anillo 622 de retroceso horizontal suministra un impulso positivo desde su etapa 19ª



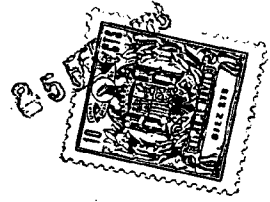
5 al circuito disyuntivo 634 durante cada retroceso vertical, y el contador de retroceso vertical 632 suministra una señal positiva desde su primera etapa al circuito disyuntivo 634, durante cada retroceso vertical. Estas señales se almacenan en los separadores-reguladores de línea de retardo cuando, como se explica al describir la fig. 9, el operador oprime el interruptor 544 de la fig. 9.

10 En lo que sigue se hace referencia a las figs. 2 a 4 inclusive, para describir el funcionamiento del sistema. A los fines de la ilustración, se supone que un operador mecanografía en cada terminal un mensaje, para su presentación en cada terminal. El circuito escrutador 32 de la fig. 2 atiende a cada teclado 20 a 22, de uno en uno por turno, lo cual permite a cada operador presentar un carácter de cada vez en su terminal. De esta manera, pueden mecanografiarse y presentarse simultáneamente muchos mensajes. Más concretamente, un mensaje procedente del teclado 20 de la fig. 2 se mecanografía y presenta en el dispositivo de presentación 220 de TV de la fig. 3, simultáneamente al ser mecanografiados diferentes mensajes desde los teclados 21 y 22 y presentados en las presentaciones de TV asociadas 221 y 222, de la fig. 3.

15  
20  
25  
30 Para poner de manifiesto los acontecimientos que tienen lugar al accionarse una tecla, supóngase que se ha oprimido una tecla del teclado 20. Cuando el circuito escrutador 32 de la fig. 2 llega al teclado 20 para darle servicio, el circuito escrutador 32 suministra un nivel de señal positivo, por la línea de salida 29, al circuito de coincidencia 26 de la fig. 2; y esto permite a las señales BCD, establecidas en los conductores del cable 23 cuando se oprime la tecla, pasar por el circuito de coincidencia 26 y a lo



largo de los conductores del cable 35, hasta el circuito disyuntivo 38. Estas señales BCD se suministran a través del circuito disyuntivo 38, y a lo largo de los conductores del cable 39, al circuito disyuntivo 41. Todos los caracteres BCD tienen por menos un 1 binario, y todo 1 binario hace que por el conductor 44 se suministre un nivel de señal positivo al circuito disyuntivo 45 y, a lo largo del conductor 34, para detener el circuito escrutador 32. La retención del circuito escrutador 32 da la seguridad de que las señales BCD procedentes del teclado 20, que se bloquea cada vez que se oprime una tecla, se tienen a disposición durante un tiempo suficiente para su conversión y almacenaje en el separador de línea de retardo asociado. Las señales que aparecen en los conductores del cable 39 se suministran al componedor 100, por medio del circuito disyuntivo 40 y a lo largo de los conductores del cable 43. Asimismo, las señales de los conductores del cable 39 se suministran al circuito disyuntivo 101, y a lo largo de los conductores del cable 103, al convertidor de paralelo en serie 104. La señal positiva que aparece en la línea 29, procedente del circuito escrutador 32, se suministra al control 203 de bitios marcadores de la fig. 3. Esto hace que el control de bitios marcadores 203 sitúe el bitio marcador inmediato sucesivo, sea de video o de BCD. Si se localiza un bitio marcador de video, se inicia una operación de inscripción de video. Si lo que se localiza es un bitio marcador de BCD, se inicia una operación de inscribir BCD. Como el escrutinio se inicia siempre con el impulso de retroceso vertical, y se efectúa sólo una vez por cada ciclo de la línea de retardo, siempre se localizará primero un marcador de BCD. Localizado un bitio marcador de BCD, se suministra un impulso positivo por la línea de salida



211 (figl 3), que sigue por el circuito disyuntivo 210 y a lo largo de la línea 128 hasta el contador de bitios 105 de video y BCD (fig. 2). Asimismo, el impulso positivo presente en la línea 211 de la fig. 3 se suministra al separador de línea de retardo 200, con el propósito de destruir el bitio marcador que está localizado, como se ha explicado antes con referencia a la fig. 6. Por consiguiente, las señales BCD en forma seriada se suministran por medio del convertidor 104 de paralelo a serie de la fig. 2, al separador de línea de retardo 200 de la fig. 3, y estas señales se guardan en los dos lugares de byte que siguen inmediatamente al bitio marcador.

El componedor 100 de la fig. 2 recibe del teclado 20 las señales BCD, descodifica estas señales, selecciona el carácter representado e inscribe el carácter seleccionado en uno (también seleccionado) de los planos 1 a 8 inclusive (fig. 7) como se ha explicado más arriba. En el punto en que el carácter seleccionado se inscribe en un plano dado, de los planos 1 a 8 inclusive de la fig. 7, el componedor 100 no necesita ya las señales de entrada BCD, pudiendo desbloquearse el teclado 20 en cualquier instante a partir de este punto en el tiempo. Tan pronto como la primera fila de núcleos magnéticos del carácter seleccionado haya sido leída y transferida a los biestables 441 a 445 de la fig. 7, puede efectuarse la primera operación de inscripción de video. Ahora bien, el control 203 de bitios marcadores de la fig. 3 debe detectar primeramente el primer bitio marcador de video, y activar el biestable 390 de inscribir, de la fig. 6. En cuanto se activa el biestable de inscribir 390 de la fig. 6, el contador de bitios genera los impulsos de tiempo de bitio 1 a 6 inclusive, para transferir las se-



ñales de video desde los biestables 441 a 445 de la fig. 7  
al separador de línea de retardo 200 de la fig. 3, donde  
quedan guardados. Se invierten siete de tales operaciones  
de inscripción de video para leer en su totalidad las siete  
5 filas del carácter seleccionado, después de lo cual se dejan  
en el estado de repuestos todos los núcleos magnéticos del  
componedor 100. Así, el componedor queda en condiciones de  
recibir el carácter siguiente, desde un teclado selecciona-  
do. Las señales de video guardadas en el separador de línea  
10 de retardo 200 son presentadas por la línea 206 a la presen-  
tación 200 de TV donde se presenta el carácter, pudiendo  
así ser observadas visualmente por el operador. En cuanto  
el control 223 de sincronismo horizontal y vertical de la  
15 fig. 3 genera por la línea 56 un impulso positivo, lo cual  
significa el comienzo del siguiente retroceso vertical, el  
circuito de coincidencia 53 de la fig. 2 suministra por  
su línea de salida 50 un impulso positivo, para desbloquear  
el teclado 20. La señal positiva de la línea 50 de la fig.  
2 es suministrada por medio del circuito disyuntivo 59, del  
20 de coincidencia 46, del disyuntivo 48 y a lo largo de la  
línea 33, para poner en marcha el circuito escrutador 32.  
Como se ha señalado más arriba, en el proceso mecánico de  
desbloqueo del teclado hay un retardo suficiente para ase-  
gurarse de que las señales BCD procedentes del teclado su-  
25 ministran una señal positiva, a través del circuito disyun-  
tivo 41 de la fig. 2, para condicionar el circuito de coin-  
cidencia 46, dejando pasar la señal de desbloqueo que hay  
en la línea 50 e iniciando la puesta en marcha del circuito  
escrutador. El circuito escrutador se pone en marcha antes  
30 de que el teclado 20 esté de hecho desbloqueado, lo cual



impide al operador del teclado 20 inscribir un segundo carácter, antes de que hayan sido atendidos los teclados 21 y 22. Cada uno de los teclados 20 a 22 puede hacerse funcionar carácter a carácter (esto es, un carácter cada vez), y ser atendido por turno. Los acontecimientos indicados, respecto a la acción de oprimir una tecla en el teclado 20, ocurren con gran rapidez, ya que los circuitos de control 2 a 4 inclusive se activan por medio de un reloj de 2 megaciclos por segundo, obteniéndose así funciones de control con tiempos del orden de los microsegundos. La frecuencia de salida de datos de los teclados, en el caso de los más rápidos operadores, no llega, ni con muchísimo, a estos valores. Por consiguiente, puede hacerse funcionar una pluralidad de teclados al mismo tiempo, y dárseles un servicio adecuado.

Supóngase ahora que el operador del teclado 20 ha mecanografiado, presentado y verificado un mensaje completo. Puede transferir las señales BCD representativas de este mensaje, a la calculadora 260 de la fig. 4, oprimiendo para ello una tecla de liberación que establece un nivel de señal positivo en la línea de salida 65 del teclado 20 de la fig. 2. Este nivel de señal se lleva a través de un circuito disyuntivo 250 (fig. 4) al lado de entrada de "uno" del biestable 251. Con esto se activa el biestable 251 al estado de "uno", dando a la calculadora 260 un nivel de señal positivo, que sirve de señal de atención. El nivel de señal positivo que aparece en la línea 65 condiciona el circuito de coincidencia 253. La calculadora suministra por la línea 256 un impulso positivo, para determinar la identidad de la estación de origen. Este impulso pasa



5  
10  
15  
20  
25  
30

por el circuito de coincidencia 253. Las señales procedentes de los circuitos de coincidencia 253 a 255 se trasladan al registro separador 271, y esta información es transferida a lo largo de los conductores del cable 294, en respuesta a un impulso positivo procedente de la calculadora por la línea 272. La calculadora es informada de ese modo de la identidad de un terminal que tiene datos a transferir. A continuación, la calculadora selecciona el teclado 20 del terminal de origen, suministrando un nivel de señal positivo, por la línea de salida 54 de la fig. 4, al circuito de coincidencia 51 de la fig. 2. También activa una línea denominada de lectura de la calculadora para cortar el paso o entrada del bitio marcador al contador de bitios, e impedir que éste inscriba. En cuanto el circuito escrutador pone una señal positiva en la línea de salida 29 que va al circuito de coincidencia 51, este circuito de coincidencia deja pasar una señal positiva que, a través del circuito disyuntivo 45 y a lo largo del conductor 34, detiene el circuito escrutador 32. Así, se selecciona el terminal de origen. Tan pronto como da comienzo el retroceso vertical, se establece, en la línea de salida 225 del control 223 de sincronismo horizontal y vertical (fig. 3), un nivel de señal positivo que es suministrado al circuito de coincidencia 289 de la fig. 4. Con ello se condiciona el circuito de coincidencia 289, que deja pasar los impulsos de reloj por la línea 290 al circuito de coincidencia 286. Las señales de salida del separador de línea de retardo 200 de la fig. 3 se aplican por la línea de salida 206 al circuito de coincidencia 286 de la fig. 4. Así, la transmisión de señales BCD da comienzo en cuanto se inicia el retroceso ver-

25 FEB



5 tical. Como se recordará, las señales BCD están guardadas en el separador de línea de retardo durante la parte de retroceso del ciclo de presentación. Las señales BCD suministradas al circuito de coincidencia 286 de la fig. 4 son transportadas, a través del circuito disyuntivo 292, al registro de desplazamiento 291. El registro de desplazamiento 291 se desplaza a la izquierda a medida que las señales de datos entran por la derecha. Tan pronto como el registro de desplazamiento 291 recibe un byte BCD el contenido de éste se traslada al registro separador 271. 10 La indicación de separador completo o lleno entra en el circuito disyuntivo 263, y coloca un impulso positivo en la línea 130, llamada de petición de traslado o transferencia de datos. La calculadora responde a esta petición con una señal positiva por la línea 272. En respuesta al impulso positivo que aparece en la línea 272, el contenido del registro separador 271 es trasladado a la calculadora 260. De ese modo se van trasladando a la calculadora los sucesivos bytes de datos BCD, hasta que se localiza un bitio marcador de BCD. La señal positiva que aparece en 20 la línea 29 procedente del circuito escrutador 32 de la fig. 2 es suministrada al control 203 de bitios marcadores (fig. 3), y al detectarse el bitio marcador de BCD se establece una señal positiva en la línea de salida 215 de la fig. 3. Esta señal pasa a través del circuito disyuntivo 218 de la fig. 3 y a lo largo de la línea 219, a la calculadora 260 de la fig. 4. Un impulso positivo por esta línea señala la respuesta final a la calculadora. Por consiguiente, 25 la calculadora da fin a las operaciones de traslado o transferencia desde el registro separador 271, a lo largo del 30



5 cable 294, a la calculadora 260. Asimismo, la calculadora  
corta el nivel positivo suministrado por la línea de sali-  
da 54 al circuito de coincidencia 51 de la fig. 2, y esta-  
blece un nivel de señal positivo por la línea 64 que va al  
circuito de coincidencia 47 de la fig. 2. Aun cuando el te-  
clado 20 no necesita señal de desbloqueo, esta señal se ge-  
nera a pesar de ello. Es decir, el circuito de coincidencia  
53 suministra una señal positiva por la línea de salida 50  
cuando en la línea 56 se establece un impulso positivo que  
10 representa la iniciación del retroceso vertical, y aparece  
un impulso de reloj positivo en la línea 57. El nivel de  
señal positivo de la línea 50 es suministrado, a través  
del circuito disyuntivo 59, al circuito de coincidencia 47,  
que deja pasar esta señal, a través del circuito disyuntivo  
15 48, para poner en marcha el circuito escrutador 32 de la  
fig. 2. La calculadora da fin al nivel de señal positivo  
que hay en la línea 64, y en la línea de lectura de la cal-  
culadora, completándose la operación de transferir datos  
BCD desde el separador de línea de retardo 200 de la fig.  
20 3 a la calculadora de la fig. 4. Después que el operador  
oprime su interruptor de envío, y transfiere los datos a  
la calculadora, puede anularse la presentación de TV. A  
este fin, el operador puede oprimir el conmutador de anu-  
lación 540 de la fig. 9, destruyendo así todas las señales  
25 que haya en el separador de línea de retardo 200. Si la pre-  
sentación se va a utilizar para presentar visualmente otros  
caracteres, se pone en acción el interruptor 544 de la fig.  
9, lo que da lugar a que se introduzcan bitios marcadores  
en los lugares apropiados del separador de línea de retardo  
30 200, como antes se ha explicado. Al separador de línea de  
retardo 200 puede presentársele un nuevo mensaje, proceden-



te del teclado o de la calculadora.

Supóngase ahora, a los fines de la ilustración, que la información anteriormente suministrada a la calculadora 260 de la fig. 4 necesita respuesta de la calculadora. Una vez determinada la respuesta, y lista la calculadora para transmitir los datos, para su almacenaje en el separador de línea de retardo 200 de la fig. 3, se establece una señal positiva en la línea 54 (fig. 4) que va al circuito de coincidencia 51 de la fig. 2. En cuanto el circuito escrutador 32 suministra una señal positiva por la línea de salida 29, esta señal positiva se hace pasar por el circuito de coincidencia 51 y a través del circuito disyuntivo 45, para detener el circuito escrutador 32. El primer byte BCD de información es transferido desde la calculadora, para los conductores del cable 295, al registro separador 102. La salida del registro separador 102 es suministrada al componedor 100, a lo largo de los conductores del cable 42, a través del circuito disyuntivo 40 y por los conductores del cable 43. La salida del registro separador 102 es suministrada a lo largo de los conductores del cable 42, a través del circuito disyuntivo 101 y por los conductores del cable 103, al convertidor 104 de paralelo a serie. La información de video procedente del componedor 100 se inscribe en el separador de línea de retardo 200, de la manera arriba explicada al hablar de la operación de inscribir desde el teclado 20. Tan pronto como el biestable 390 de inscribir (fig. 6) se activa al estado de "uno", se establece un nivel de señal positivo en la línea de salida 106 que va al circuito de coincidencia 120 (fig. 2). Como la línea 29 que va al circuito de coincidencia 120 tiene un nivel de señal positivo, la sa-



lida del circuito de coincidencia 120 es un nivel de señal positivo que pasa por el circuito disyuntivo 129 de la fig. 2, y a lo largo del con ductor 130, a la calculadora 260 de la fig. 4. La presencia de una señal positiva en esta línea significa para la calculadora que ha de transferirse otro byte BCD al registro separador 102 de la fig. 2. De ese modo los sucesivos bytes son trasladados, convertidos y guardados en el separador de línea de retardo 200, hasta que la calculadora ha transferido su mensaje completo. Hay que señalar aquí que la calculadora es capaz de suministrar bytes BCD con grandísima rapidez. Por consiguiente, durante cada ciclo del separador de línea de retardo 200 puede almacenarse un byte procedente de la calculadora. En una de las formas de realización construída conforme al presente invento, se proyectó el separador de línea de retardo dándole un ciclo completo de 4800 microsegundos. Así, como se verá, puede transferirse un mensaje desde la calculadora al separador de línea de retardo de un terminal, con una velocidad o frecuencia de datos muy superior a la del teclado. Cuando la calculadora ha completado su transmisión, se da fin a la señal positiva que por la línea 54 de la fig. 4 va al circuito de coincidencia 51 de la fig. 2, y se establece una señal positiva en la línea 64 que va al circuito de coincidencia 47, la cual pone en marcha el circuito escrutador 32. La información así trasladada desde la calculadora al separador de línea de retardo 200 de la fig. 3 puede ser observada visualmente por el operador en la presentación 220 de TV.

Si bien la invención se ha ilustrado y descrito en particular con referencia a una forma preferida de eje-



5           cución de la misma, se sobreentiende para las personas ver-  
sadas en la materia que pueden hacerse en ella diversos  
cambios de forma y de detalle, sin apartarse del espíritu  
ni salirse del ámbito de la invención. Por ejemplo, aunque  
10           en dicha forma de ejecución preferida se ha mostrado un cir-  
cuito de escrutinio del tipo seriado, es de señalar que en  
lugar de éste pueden ponerse dispositivos de selección de  
otros tipos, para dar servicio a un terminal seleccionado,  
a petición o según otra base de prioridad; y que pueden  
15           emplearse dispositivos de presentación que no sean del tipo  
de retícula de TV indicado en la forma de ejecución prefe-  
rida.

          La presente solicitud que corresponde a la pre-  
sentada en Estados Unidos de América, con fecha 7 de Di-  
ciembre de 1.965, bajo el Nº 512.106 se acoge a los bene-  
ficios del Artículo 51 del vigente Estatuto sobre Propie-  
dad Industrial.

N O T A

---

20           Los puntos de invención propia y nueva que se  
presentan para que sean objeto de la presente solicitud  
de Patente de Invención en España, por VEINTE años, son  
25           los siguientes:

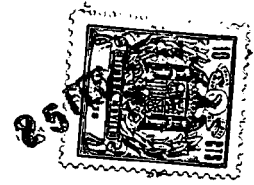
          1.- Un aparato de presentación que incluye una  
pluralidad de terminales; incluyendo cada terminal un  
dispositivo de teclado que genera señales numéricas co-  
dificadas representativas de símbolos, un dispositivo  
30           cíclico de almacenaje, y un dispositivo de presentación  
del tipo de televisión que incluye medios para generar



5  
10  
señales de barrido horizontal y vertical dando una retícula de exploración o presentación y estando dicho dispositivo cíclico de almacenaje conectado para suministrar señales de video a dicho dispositivo de presentación para controlar la presentación visual en dicho dispositivo de presentación; un componedor que convierte las señales numéricas en señales de video; un primer medio de control que conecta el componedor a un terminal seleccionado, a base de un solo símbolo cada vez, y que conecta el componedor a unos medios cíclicos de almacenaje del terminal seleccionado; y un segundo medio de control que desconecta el componedor separándolo de dicho terminal seleccionado.

15  
20  
25  
3.- Un aparato de presentación que incluye una pluralidad de terminales; teniendo cada terminal un teclado, un dispositivo cíclico de almacenaje y un dispositivo de presentación con medios generadores de símbolos, medios de conexión del dispositivo cíclico de almacenaje al dispositivo de presentación para controlar la presentación visual en el mismo; un componedor para convertir las señales numéricas codificadas en señales que controlan los medios generadores de símbolos; un primer medio acoplado entre el componedor y cada terminal, que conecta el componedor entre el teclado y los medios de almacenaje de señales de un terminal seleccionado; y un segundo medio conectado entre el componedor y cada terminal, que desconecta el componedor del terminal seleccionado.

30  
3.- Un aparato de presentación que incluye: una pluralidad de terminales, incluyendo cada terminal un dispositivo de presentación dotado de un período de cuadro de imagen de una duración prefijada en el tiempo, un dispositi-



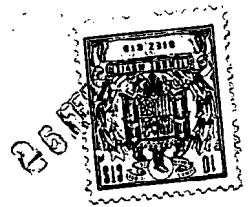
tivo cíclico de almacenaje separador-regulador ("buffer") cuyo periodo de ciclo es igual al tiempo de duración prefijado del cuadro de imagen, y un teclado que suministra señales numéricas codificadas representativas de símbolos; un componedor utilizado por todos los terminales, para convertir las señales numéricas codificadas en señales de video; y un dispositivo de circuito que conecta selectivamente el componedor entre el teclado y el dispositivo cíclico de almacenaje separador-regulador del terminal seleccionado.

4.- Un aparato según la reivindicación 3, en el que el dispositivo cíclico de almacenaje separador-regulador es una línea de retardo con recirculación.

5.- Un aparato según la reivindicación 3, en el que se prevén medios de control que desconectan el componedor de un terminal seleccionado, una vez aceptado un símbolo individual por el componedor.

6.- Un aparato según la reivindicación 3, al cual va acoplado un sistema ordenador o de tratamiento de datos, sistema éste que incluye unos medios de control que seleccionan un terminal dado e inhabilitan dicho dispositivo de circuito al llegar a dicho terminal dado.

7.- Un aparato de presentación en conexión con un sistema ordenador o de tratamiento de datos, sistema de presentación que incluye: una pluralidad de terminales, incluyendo cada terminal un teclado, un dispositivo de almacenaje separador-regulador y un dispositivo de presentación; un componedor que convierte señales de una forma a otra; un primer medio que selectivamente conecta el componedor entre el teclado y el dispositivo de almacenaje separador-regulador de cada terminal; un segundo medio que



desconecta el componedor de un terminal, después de recibiendo un símbolo; y un tercer medio, bajo el control del sistema ordenador o de tratamiento de datos, que hace funcionar el primer medio conectando el componedor a un terminal seleccionado, para la transmisión de una pluralidad de símbolos desde el sistema ordenador o de tratamiento de datos, por medio del componedor, al dispositivo de almacenaje separador-regulador del terminal seleccionado.

8.- Un aparato según la reivindicación 7, en el que se prevén medios para bloquear cada teclado cuando se introduce o mecanografía un símbolo; el primer medio incluye un circuito escrutador que repetitivamente examina o "muestra" los terminales para determinar si necesitan servicio, y selecciona todo terminal que necesite servicio; y el segundo medio comprende un circuito lógico que suministra una señal para desbloquear un teclado en respuesta a una señal de reloj, y un impulso de control que indica que el terminal puede ser desconectado.

9.- Un aparato según la reivindicación 7, en el cual el dispositivo de almacenaje separador-regulador es una línea de retardo con recirculación, y el dispositivo de presentación y la línea de retardo con recirculación tienen ciclos repetitivos de duración igual en el tiempo.

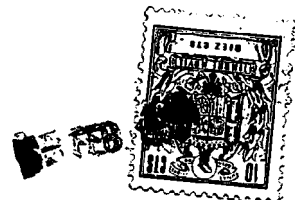
10.- Un aparato de presentación en conexión con un sistema ordenador o de tratamiento de datos, sistema de presentación que incluye: una pluralidad de terminales, incluyendo cada terminal un teclado, un dispositivo de almacenaje separador-regulador y un dispositivo de presentación; un componedor que convierte señales de una forma a otra; un primer medio que conecta el componedor entre



5 el teclado y el dispositivo de almacenaje separador-regula-  
dor de cada terminal; un segundo medio que desconecta el  
componedor de un terminal, después de recibido un símbolo;  
un tercer medio, acoplado entre el sistema ordenador o de  
tratamiento de datos y el primer medio, que funciona en  
unión del primer medio conectando el componedor a un termi-  
nal seleccionado, para la transmisión de una pluralidad de  
señales (1) desde el sistema ordenador o de tratamiento de  
datos, por medio del componedor, al dispositivo de almace-  
10 naje separador-regulador, o (2) desde el dispositivo de al-  
macenaje separador-regulador al sistema ordenador o de tra-  
tamiento de datos.

15 11.- Un aparato según la reivindicación 10, en  
el cual el dispositivo de almacenaje separador-regulador  
es una línea de retardo con recirculación, cuyo ciclo dura  
un período de tiempo dado, y el dispositivo de presentación  
es del tipo empleado en televisión, que tiene un ciclo de  
cuadro de imagen relacionado con el período de tiempo dado  
de duración del ciclo de la línea de retardo con recircula-  
20 ción.

25 12.- Un aparato de presentación que incluye: una  
pluralidad de terminales, incluyendo cada terminal un dis-  
positivo de teclado que genera señales numéricas codifi-  
cadas representativas de símbolos, un dispositivo cíclico  
de almacenaje, y un dispositivo de presentación del tipo  
empleado en televisión que incluye medios para generar se-  
ñales de barrido horizontal y vertical dando una retícula,  
estando dicho dispositivo cíclico de almacenaje conectado  
de modo que suministra señales de video a dicho dispositivo  
30 de presentación para controlar la presentación visual efec-



5 tuada por dicho dispositivo de presentación; un componedor  
dotado de un lado de entrada y lado de salida, que convierte  
las señales numéricas suministradas al lado de entrada en  
señales de video por el lado de salida; un primer medio de  
control que conecta el extremo de entrada del componedor a  
cada terminal, a base de compartirlo en el tiempo; un segun-  
do medio de control que conecta el extremo de salida del com-  
ponedor a los medios cíclicos de almacenaje de cada terminal  
en sincronismo con el primer medio de control; y un tercer  
10 medio de control que desconecta de una estación dada el  
extremo de entrada del componedor, una vez convertido en  
señales de video un juego de señales numéricas codifica-  
das representativo de un símbolo.

15 13.- Un aparato de presentación para sistemas  
de tratamiento de datos.

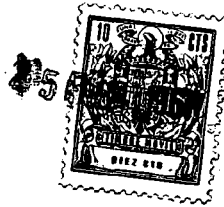
Tal y como se ha descrito en la memoria que an-  
tecede, representado en los dibujos que se acompañan y  
para los fines que se han especificado.

20 La presente memoria consta de setenta y dos  
hojas escritas a máquina por una sola cara.

Madrid,

P.A.

5 SEP 1967  
Alberto de Elizaburu  
727/1066



Leyendas en las figuras 10 y 15

- A - Almacén de información de video
- B - Almacén de información de BCD
- C - Presentación (desbloqueada)
- D - Retroceso vertical (bloqueada)
- E - Tiempo en microsegundos
- F - Coordenadas de tiempo de presentación
- G - Retroceso horizontal
- H - Escala de tiempos
- I - Retroceso vertical

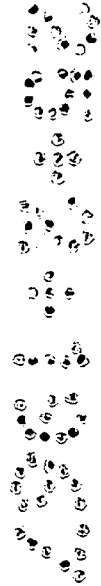




FIG. 1

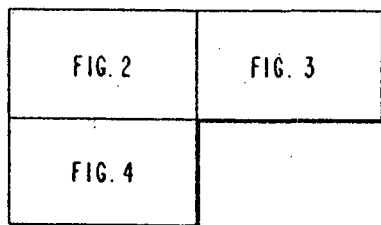
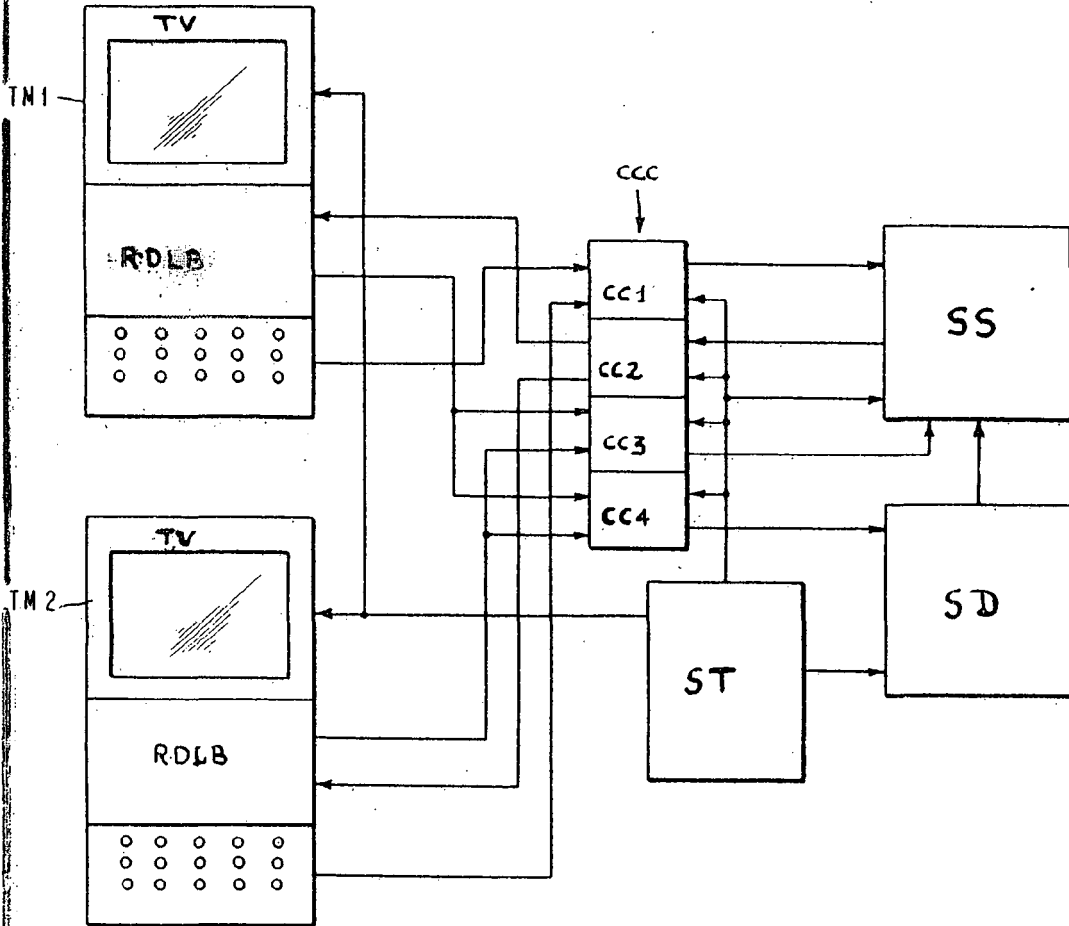
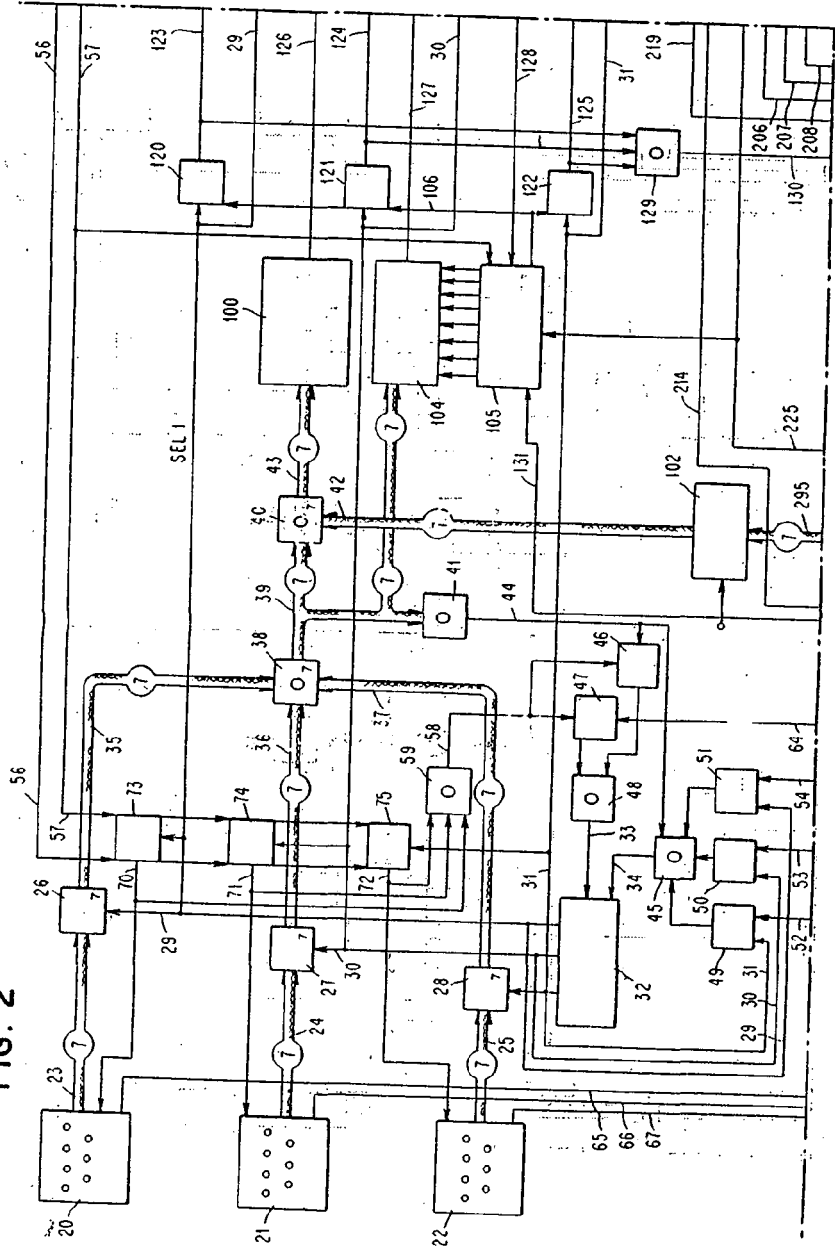


FIG. 5

*[Handwritten signature]*

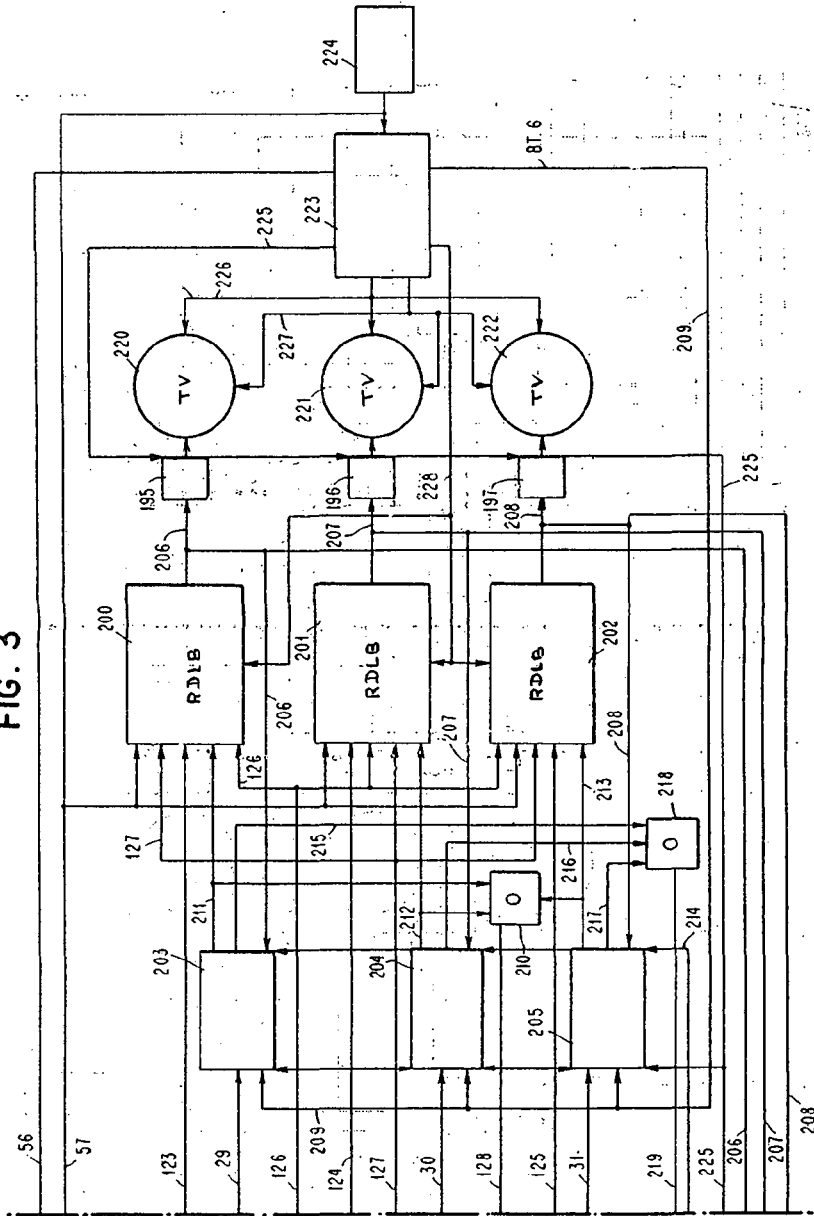
FIG. 2



*Q. M.*

*Orth*

FIG. 3



*Carlin*

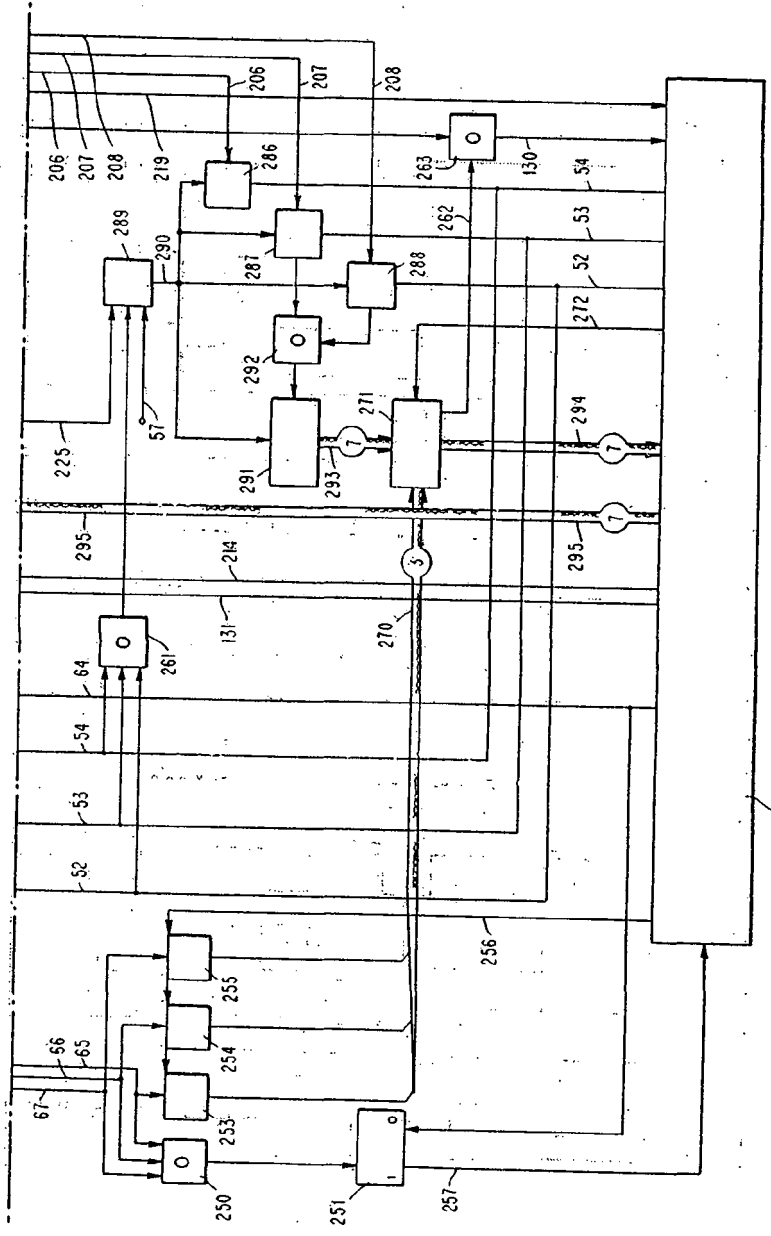


FIG. 4



*Cartm*

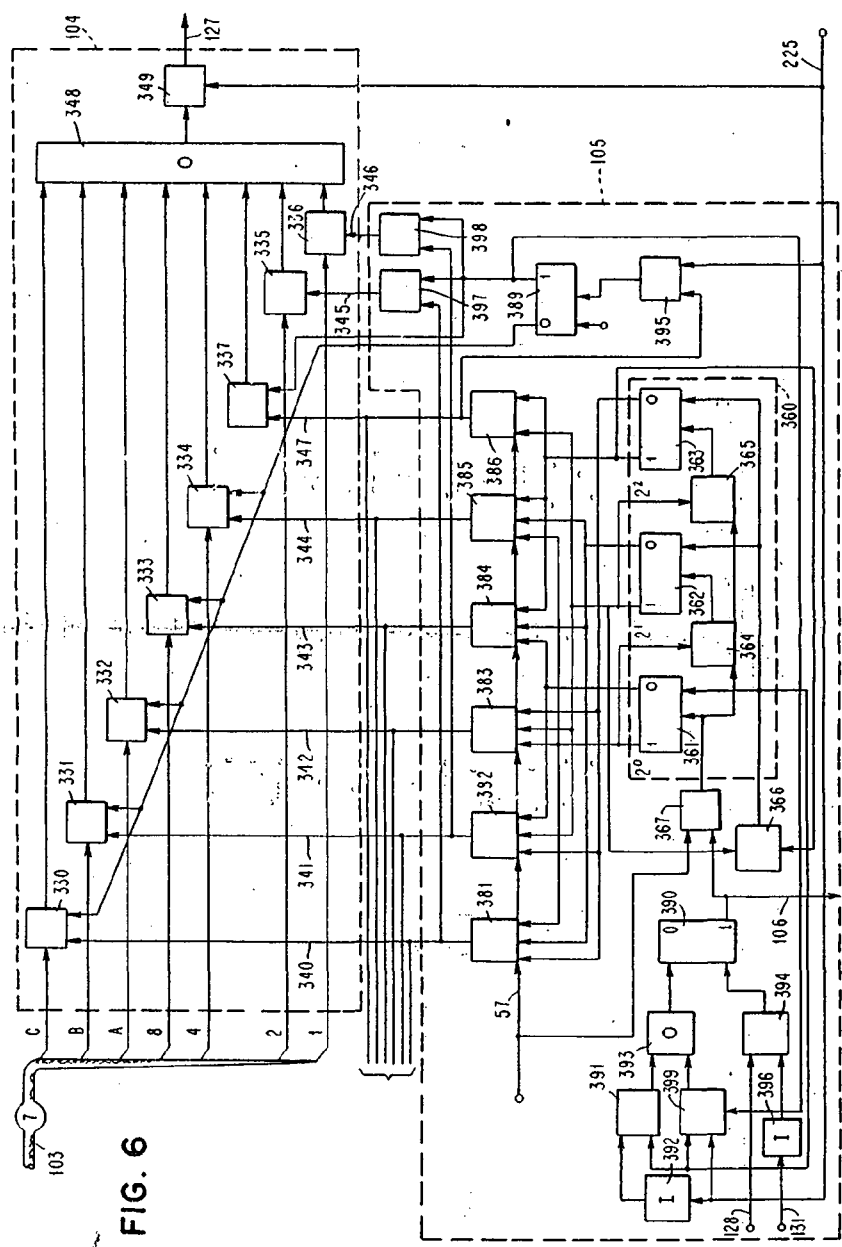
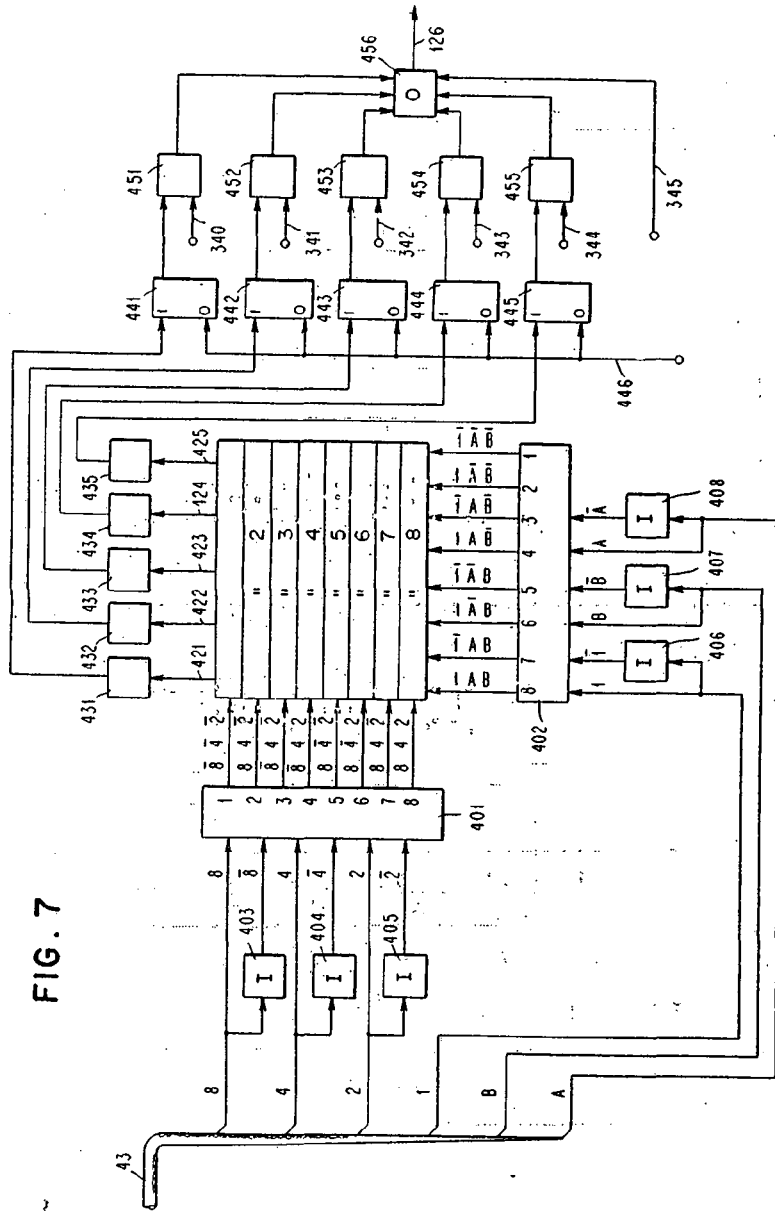


FIG. 6



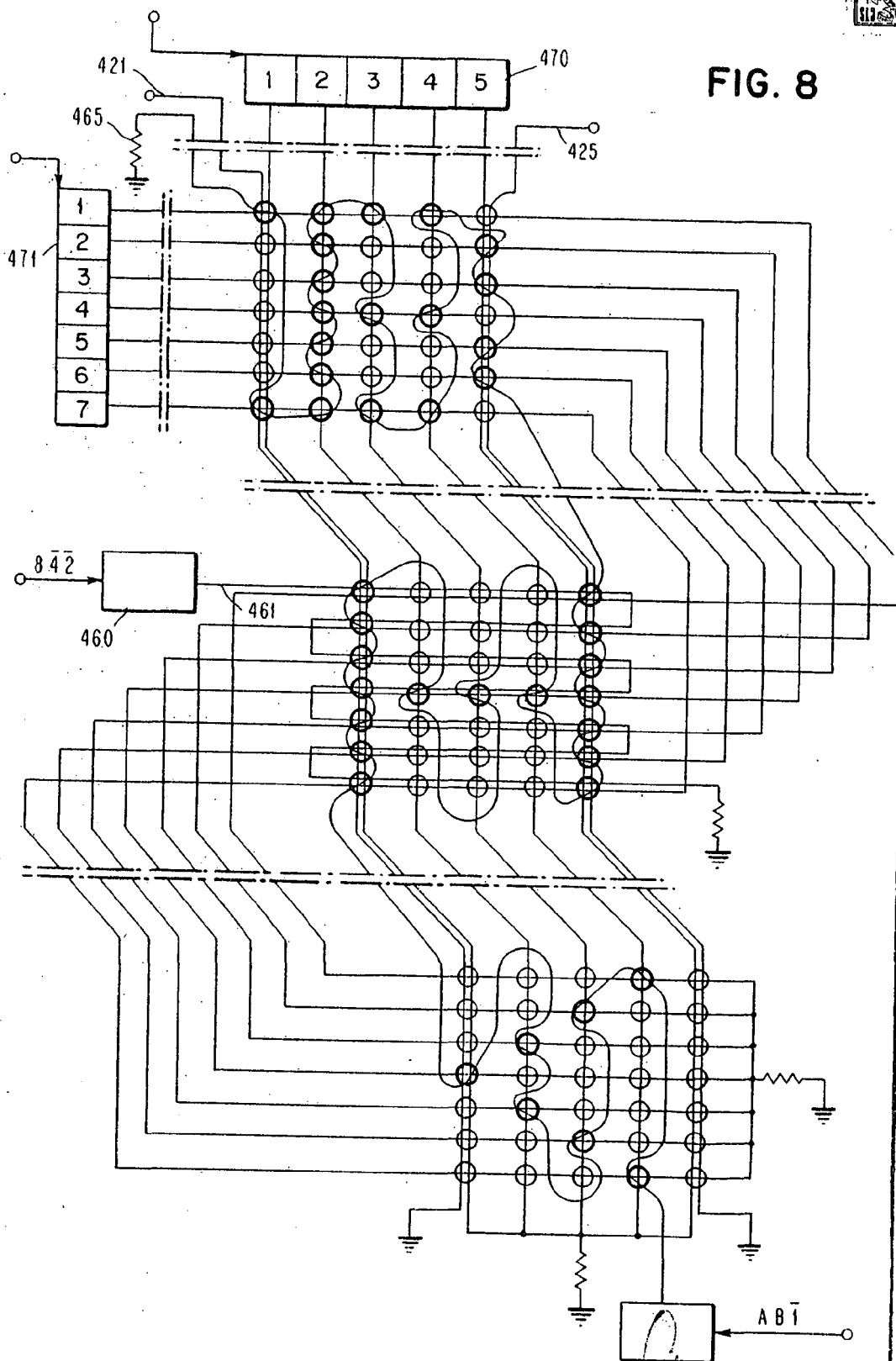
FIG. 7



*Handwritten signature or initials*



FIG. 8



*Handwritten signature or initials*



*Carta*

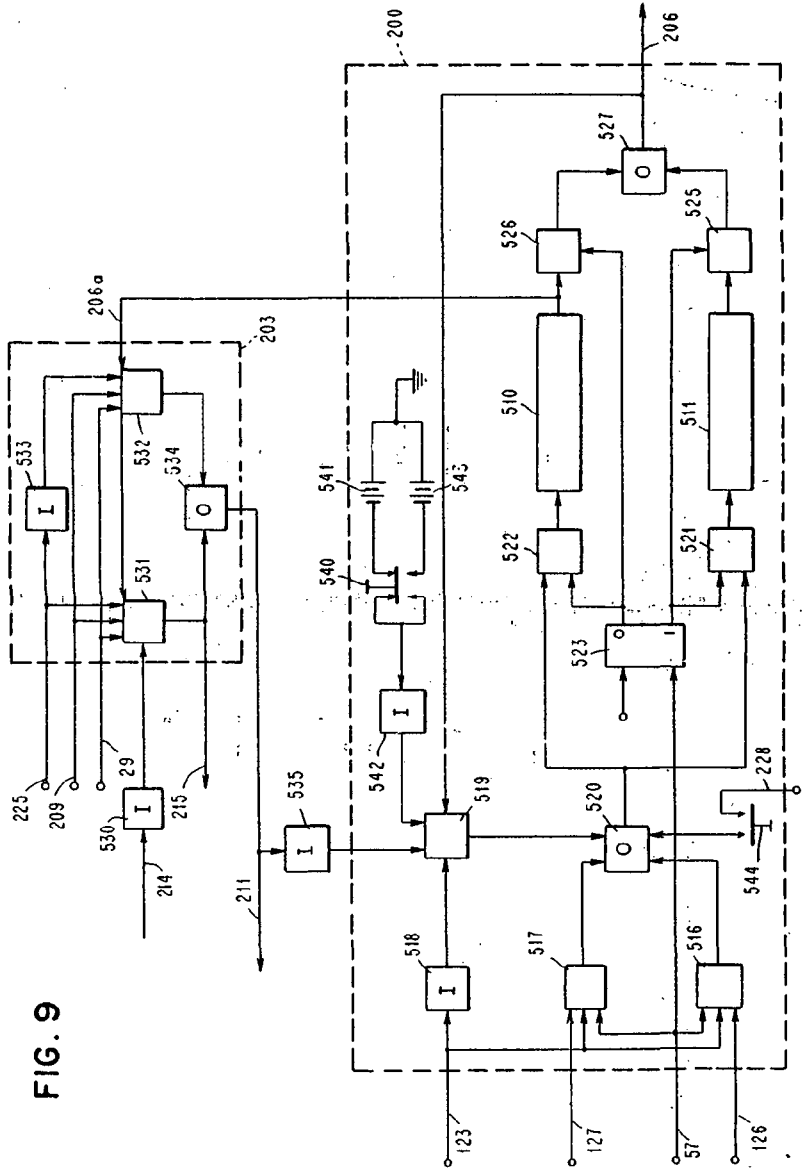


FIG. 9



FIG. 10

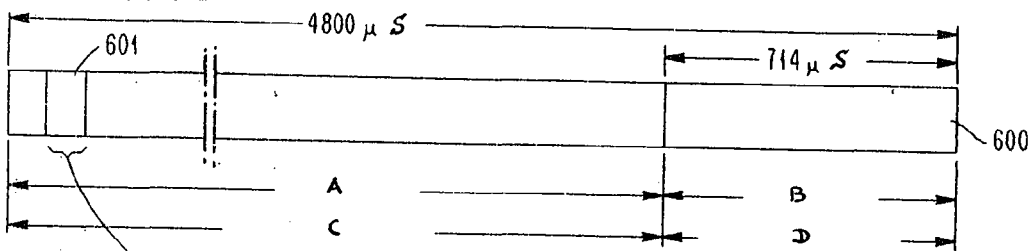


FIG. 11

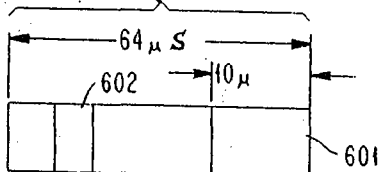


FIG. 13

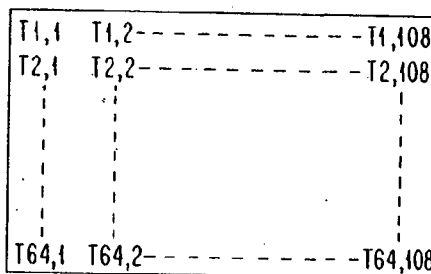


FIG. 12

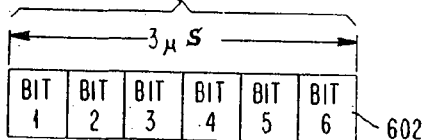


FIG. 14

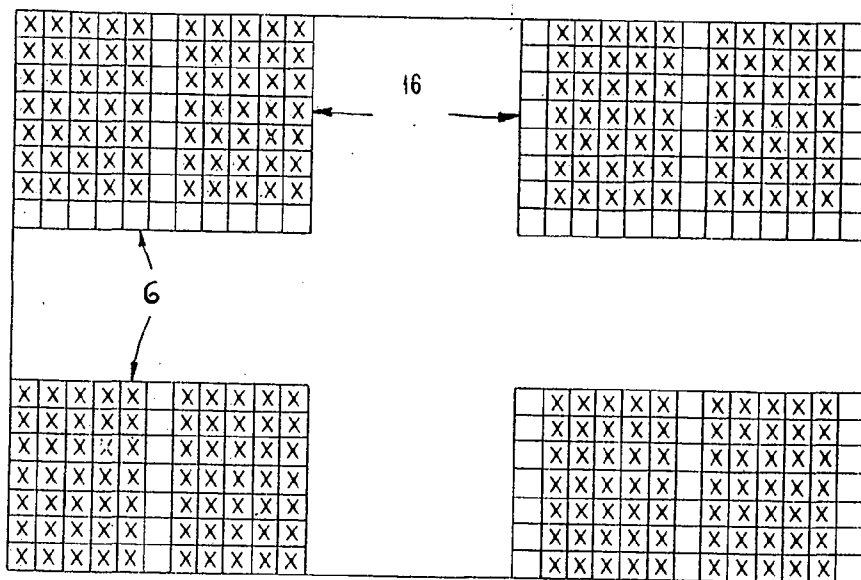


FIG. 15

