

332.476

P-33.298

Docket 6.683



MEMORIA DESCRIPTIVA

que se presenta para unir a la solicitud

de

PATENTE DE INVENCION

formulada el 20 de octubre de 1966, con el núm. 332.476.

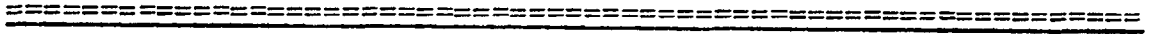
en

E S P A Ñ A

por VEINTE años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION, entidad norteamericana establecida en Armonk, N.Y., Estados Unidos de América, por:

"UN DISPOSITIVO DE MEMORIA O ALMACENAJE DE DATOS"



5

La presente invención se refiere en general a unos medios perfeccionados de almacenaje de datos; y más especialmente a un registro de desplazamiento perfeccionado, de gran velocidad, que es de poco coste y se adapta a la fabricación de tipo "monolítico".

10

Los registros de desplazamiento se utilizan ampliamente en los aparatos ordenadores y de tratamiento de datos, principalmente para el registro transitorio de datos en forma numérica. Al ir avanzando los métodos de "empacado" y desarrollo de circuitos en la técnica electrónica relacionada



con el proyecto de tales aparatos, se van haciendo cada vez más severos los requisitos en cuanto a velocidad de trabajo y a fabricación en forma integrada, compacta y de bajo costo.

5 Es objeto principal del presente invento, un registro de desplazamiento perfeccionado que resulta adecuado para la fabricación por métodos "monolíticos", es de poco costo, y compatible con los circuitos lógicos con los cuales se utiliza, funcionando con seguridad a la velocidad de éstos.

10 Este objeto se logra, en la forma de ejecución preferida del presente invento, utilizando en cada una de las varias etapas del registro de desplazamiento unos rectificadores de silicio controlados, primero y segundo. Los circuitos de coincidencia por diodos primero y segundo de cada etapa constituyen las entradas a los rectificadores primero y
15 segundo. La salida del primer rectificador de cada pareja va conectada a la entrada del segundo rectificador de la misma, por medio de un diodo del segundo circuito de coincidencia. El diodo correspondiente del primer circuito de coincidencia
20 constituye la entrada de datos de la etapa. Los demás diodos de los circuitos de coincidencia están conectados a unas líneas respectivas primera y segunda de avance de datos. La salida del segundo rectificador de cada etapa constituye la salida de la etapa. La salida de una etapa está conectada
25 a la entrada de la etapa inmediata que le sigue. Los primeros rectificadores de cada etapa tienen sus cátodos conectados a unos medios de control comunes destinados a interrumpir el paso de corriente en los rectificadores, reponiéndolos así a sus estados de corte o no conducción. Los demás rectificadores de cada etapa tienen sus cátodos conectados a un se-
30



gundo circuito común de control destinado a interrumpir la corriente de los rectificadores para reponer los rectificadores a sus estados no conductivos.

5 Por todo ello, es objeto más específico y concreto del presente invento un registro de desplazamiento perfeccionado, en el que cada etapa del registro incluye un par de rectificadores de silicio controlados, dotados de entradas respectivas con circuitos de coincidencia por diodos, y dotados de medios respectivos de activación y reposición.

10 En la presente solicitud, la expresión "rectificador de silicio controlado" se utiliza en su más amplio sentido, incluyendo los dispositivos semiconductores, sean de silicio o de otro material semiconductor, que se hacen pasar al estado conductivo en respuesta a una señal aplicada a un electrodo de control, y que poseen una retroacción interna regenerativa que hace que el dispositivo permanezca en su estado conductivo si desaparece la señal de control.

15 Los rectificadores de silicio controlados se adaptan de modo especial a la fabricación por métodos de tipo "monolítico". Los métodos para fabricar los rectificadores son semejantes a los utilizados en la fabricación de los circuitos lógicos de diodos y transistores con los cuales se utilizan los rectificadores. Como consecuencia de ello, la velocidad de trabajo de los rectificadores no es sensiblemente menor que la velocidad de funcionamiento de los diodos y transistores. Por consiguiente, el registro de desplazamiento de la presente solicitud puede hacerse funcionar a velocidades comparables a las de los circuitos lógicos asociados.

25 Por tanto, otro objeto de la presente invención reside en un registro de desplazamiento de gran velocidad,



cada una de cuyas etapas incluye una estructura monolíticamente fabricada, que incluye un par de rectificadores de silicio controlados y un circuito de coincidencia por diodos para cada rectificador.

Los precedentes y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo de la siguiente descripción pormenorizada de una forma preferida de realización del presente invento, ilustrada en los dibujos adjuntos, en los cuales:

- la figura 1 es un esquema teórico fragmentario de una forma preferida de realización del registro perfeccionado y su circuito de control; y

- la figura 2 representa unos perfiles de onda preferidos que ilustran el funcionamiento del circuito de la fig. 1.

En la fig. 1, el registro de desplazamiento 1 incluye una pluralidad de etapas, de las cuales sólo se muestran las tres primeras, 2-1, 2-2 y 2-3. Hay un circuito de control 3 para el registro, circuito que incluye un "reloj" 4, un dispositivo biestable 5, un inversor 6 y un par de circuitos lógicos de coincidencia 7 y 8, no inversores.

El "reloj" 4 es de construcción usual, y produce un tren de señales de onda rectangular, ilustrado en la fig. 2. Estas señales se aplican a las entradas del inversor 6 y del dispositivo biestable 5.

El dispositivo biestable 5 es de construcción usual, a incluye unos circuitos de entrada con activación 10 y 11 y unos transistores 12, 13, 14 y 15. Los electrodos de base y de colector de los transistores 13 y 15 se acoplan en cruz de manera usual, dando dos estados estables de trabajo. En uno de los estados, los transistores 12 y 13 están conduciendo



do, y los transistores 14 y 15 no conducen. En el estado contrario, los transistores 14 y 15 son los que están conduciendo, y no los transistores 12 y 13.

5 El estado estable del dispositivo 5 se hace cambiar por medio de cada "borde" de sentido negativo de los impulsos de reloj. Este borde de sentido negativo se aplica al transistor 12 o 14 en conducción, por medio del respectivo condensador 16 o 17 y del diodo 18 o 19 respectivo. Al ser aplicado el impulso negativo al electrodo de base del transistor 12 o 14 que esté conduciendo, se ponen al corte (dejan de conducir) los transistores en conducción. Esto da lugar a que los otros transistores conduzcan, merced a la conexión de acoplamiento cruzado.

15 Cuando el transistor 12 está conduciendo y el transistor 14 no lo está, se aplica el potencial de masa a la línea 30 de avanzar 1, y se aplica el potencial positivo de alimentación a la línea 31 de avanzar 2. Si es el transistor 14 el que está conduciendo, y no el transistor 12, el potencial de alimentación positivo se aplica a la línea 30, y el de masa a la línea 31.

20 Los impulsos de salida del reloj 4 son invertidos por el circuito inversor 6, y aplicados a los diodos 32 y 33 de los circuitos de coincidencia 7 y 8. Las líneas 30 y 31 están conectadas a los otros diodos 34 y 35 de los circuitos de coincidencia 7 y 8. Los circuitos de coincidencia 7 y 8 incluyen asimismo unas parejas de inversores de transistores 36, 37 y 38, 39.

25 Hay una línea 40 de despejar 1 conectada al electrodo de colector del inversor 37, y una línea 41 de despejar 2 conectada al electrodo de colector del inversor 39.

La etapa 2-1 del registro de desplazamiento incluye una pareja de rectificadores de silicio controlados 50 y 51. Los cátodos de los rectificadores 50 y 51 están respectivamente conectados a las líneas 40 y 41. Los ánodos de los rectificadores van conectados a un terminal de alimentación positivo 52 por medio de resistencias 53 y 54.

El electrodo de control del rectificador 50 va conectado a un circuito lógico de coincidencia 55 que comprende unos diodos de entrada 56 y 57, una resistencia 58, un diodo de acoplamiento 59 y una resistencia 60. El diodo 56 está conectado a la línea 30 de avanzar 1, y el diodo 57 está conectado a un terminal 61 de entrada de datos.

El electrodo de control del rectificador 51 va conectado a un circuito lógico de coincidencia 65 que incluye unos diodos de entrada 66 y 67, un diodo de acoplamiento 68 y unas resistencias 69 y 70. El diodo 66 va conectado al ánodo del rectificador 50, y el diodo 67 está conectado a la línea 31 de avanzar 2.

La etapa 2-2 del registro de desplazamiento 1 es semejante a la etapa 2-1, e incluye un par de rectificadores de silicio controlados 80 y 81. Los ánodos de los rectificadores 80 y 81 están conectados a un terminal positivo de alimentación 82 por medio de unas resistencias 83 y 84. Los cátodos de los rectificadores 80 y 81 van respectivamente conectados a la línea 40 de despejar 1 y a la línea 41 de despejar 2.

El electrodo de control del rectificador 80 está conectado a un circuito lógico de coincidencia 85 que incluye unos diodos de entrada 86 y 87, un diodo de acoplamiento 88 y unas resistencias 89 y 90. El diodo 86 va conectado a



la línea 30 de avanzar 1. El diodo 87 está conectado al ánodo del rectificador 51, ánodo que constituye el terminal de salida de datos de la etapa 2-1.

2 El electrodo de control del rectificador 81 está conectado a un circuito lógico de coincidencia 95 que incluye unos diodos de entrada 96 y 97, un diodo de acoplamiento 98 y unas resistencias 99 y 100. El diodo 96 va conectado al ánodo del rectificador 80, y el diodo 97 está conectado a la línea 31 de avanzar 2.

10 La etapa 2-3 incluye un par de rectificadores de silicio controlados 105 y 106. Los ánodos de los rectificadores van conectados a un terminal de alimentación positivo 107 por medio de unas resistencias 108 y 109. Los cátodos de los rectificadores 105 y 106 van respectivamente conectados a la línea 40 de despejar 1 y a la línea 41 de despejar 2.
15 El electrodo de control del rectificador 105 va conectado a un circuito lógico de coincidencia 110 que incluye unos diodos de entrada 111 y 112, un diodo de acoplamiento 113 y unas resistencias 114 y 115. El diodo 111 va conectado a la
20 línea 30 de avanzar 1, y el diodo 112 está conectado al ánodo del rectificador 81, ánodo que comprende el terminal de salida de datos de la etapa 2-2.

25 El electrodo de control del rectificador 106 está conectado a un circuito lógico de coincidencia 120 que incluye unos diodos de entrada 121 y 122, un diodo de acoplamiento 123 y unas resistencias 124 y 125. El diodo 121 está conectado al ánodo del rectificador 105. El diodo 122 va conectado a la línea 31 de avanzar 2.

30 Como se observará, los cátodos de todos los rectificadores de entrada 50, 80 y 105 de cada etapa 2-1, 2-2 y 2-3



del registro de desplazamiento, están conectados a la línea 40 de despejar 1. Los cátodos de los correspondientes rectificadores de entrada (no representados) de las etapas sucesivas (no representadas) del registro de desplazamiento 1
5 están también conectados en común a la línea 40. Asimismo, la línea 30 de avanzar 1 está conectada a los diodos de entrada 56, 86 y 111 de los circuitos de coincidencia asociados a los rectificadores de entrada 50, 80 y 105 de cada etapa de entrada. Los cátodos de los rectificadores de salida 51,
10 81 y 106 de las etapas 2-1, 2-2 y 2-3 están conectados en común a la línea 41 de despejar 2. Los correspondientes rectificadores de salida de las etapas sucesivas (que no se representan) están también conectados a la línea 41. Los diodos de entrada 67, 97 y 122 de los circuitos lógicos de coincidencia asociados a los rectificadores de salida 51, 81 y 106
15 están conectados en común a la línea 31 de avanzar 2. Las etapas sucesivas (no representadas) del registro están conectadas de modo semejante.

Se hace referencia ahora a los perfiles de onda de la fig. 2, para poner en claro el funcionamiento del registro 1 y de sus circuitos de control 3.
20

El reloj 4 produce un tren de impulsos de perfil rectangular, de una frecuencia prefijada. Durante un ciclo completo de trabajo del registro de desplazamiento, los datos se
25 traspasan de una de las etapas a la inmediata sucesiva; y este ciclo de trabajo, que comprende dos ciclos completos de la señal de salida del reloj, está dividido en cuatro intervalos de tiempo que se designan en la fig. 2 con las letras A, B, C y D por conveniencia.

30 Cada borde de sentido negativo de la señal de re-



loj hace pasar al dispositivo biestable 5 de uno al otro de sus estados estables. Así, durante un ciclo de trabajo del registro, el dispositivo biestable 5 se cambia de un estado estable inicial al estado estable contrario, y se hace volver luego al estado estable inicial. Por consiguiente, las salidas complementadas del dispositivo 5, ilustradas en la fig. 2 como señales de avanzar 1 y avanzar 2, se producen a la mitad de la frecuencia de las señales de reloj.

10 Cuando la salida del reloj está a su nivel positivo, el inversor 6 aplica una señal negativa a los diodos 32 y 33, haciendo que los inversores de transistores 36 y 38 pasen al corte (dejen de conducir). Esto hace que se activen los transistores 37 y 39. Cuando están activados los transistores 37 y 39, los rectificadores 50, 51, 15 80, 81, 105 y 106 pueden hacerse funcionar en sus estados tanto de activación como de desactivación.

Ahora bien, cuando los impulsos de reloj van hacia su nivel negativo, el inversor 6 aplica a los diodos 32 y 33 una señal positiva. Si en este momento la línea 30 es también positiva, el transistor 36 entrará en conducción, haciendo que el transistor 37 deje de conducir, y abriendo la línea 40 de despejar 1. Si en este instante están activados cualquiera de los rectificadores 50, 20 80 o 105, sus circuitos de cátodo se interrumpirán, y dichos rectificadores activados se repondrán a su estado de no conducción.

Si en ese instante el inversor 6 aplica una señal positiva a los diodos 32 y 33, la línea 31 es la positiva en lugar de la 30, y el transistor 38 será el que



entre en conducción, poniendo así en corte el transistor 39 e interrumpiendo la línea 41 de despejar 2 y los circuitos de cátodo de los rectificadores 51, 81, y 106. Los niveles positivos de las señales de despejar 1 y despejar 2 (fig. 2) ilustran los tiempos de reposición de los respectivos rectificadores 50, 80, 105 o 51, 81, 106.

Por consiguiente, durante los tiempos A, y C del ciclo (fig. 2) las líneas despejar 1 y despejar 2 están respectivamente abiertas, obligando a sus rectificadores asociados 50, 80, 105 y 51, 81, 106 a permanecer en sus respectivos estados de corte o no conducción. Durante los tiempos B y D de los ciclos (fig. 2), las líneas avanzar 1 y avanzar 2 tienen por efecto respectivamente poner sus rectificadores asociados 50, 80, 105 y 51, 81, 106 a sus estados de conducción o de corte, con arreglo al valor de las señales de datos lógicas que haya en sus diodos de entrada 57, 87, 112 y 66, 96, 121.

A los fines de la ilustración, se supone que los bitios de datos lógicos "1" y "0" están representados respectivamente por niveles de señal positivos y de masa. Un bitio lógico "1" en un diodo de entrada 57, durante el tiempo B, pondrá en conducción el rectificador 50; y el rectificador seguirá en conducción hasta el tiempo A inmediato sucesivo. Nótese, no obstante, que el bitio lógico "1" está ahora invertido, por aparecer como potencial de masa en el ánodo del rectificador activado.

Esta señal invertida es aplicada al diodo de entrada 66 del rectificador 51. Durante el tiempo D se aplica una señal positiva al diodo de entrada 67, por medio de la línea de avanzar 2; ahora bien, el potencial de masa



presente en el diodo 66 impide que el rectificador ~~entre~~ en conducción. Por consiguiente, la señal lógica de "1" aparece, en forma no invertida, en el ánodo del rectificador 51, en el tiempo D.

5 De igual modo, si las entradas a los diodos 87 y 112 están a sus niveles relativamente positivos en el tiempo B, se activan o ponen en conducción los rectificadores 80 y 105. Durante el tiempo D, se mantienen al corte los rectificadores 81 y 106.

10 Una señal lógica de "0" en el terminal de entrada 61 durante el tiempo B hace que el rectificador 50 permanezca al corte (sin conducir), aplicando un potencial positivo a su ánodo. Cuando este bitio de datos se traslada del rectificador 50 al rectificador 51 durante el tiempo D, está de nuevo invertido: esto es, el rectificador 51 pasa a conducir, aplicando potencial de masa a su ánodo.

15 Al traspasarse las señales de datos a la etapa 2-2, se guardan en forma invertida en el rectificador 80 durante los tiempos B, C y D; y durante el tiempo D (y durante los tiempos A y B del ciclo siguiente) se guardan en el rectificador 81 en forma no invertida. Al progresar los datos lógicos por las etapas sucesivas, llega a guardarse primero en forma invertida, y luego en la no invertida, en los rectificadores primero y segundo de cada etapa. Esto se ilustra en la fig. 2.

20 De preferencia, los elementos componentes de cada etapa se fabrican en una sola "oblea" o fragmento de semiconductor, por procedimientos monolíticos. Como se apreciará, en lugar del rectificador de silicio controlado puede utilizarse un sistema equivalente de dos transistores. Tam-



5 también es fácil ver que pueden emplearse los rectificadores que son puestos al corte por los impulsos de control, en lugar de por interrupción de la corriente ánodo-cátodo.

10 Si bien la invención ha sido ilustrada y descrita en particular con referencia a una forma preferida de ejecución de la misma, las personas versadas en la materia comprenderán fácilmente que pueden hacerse en ella los indicados y otros cambios de forma y de detalle sin por ello salirse del ámbito ni apartarse del espíritu de la invención.

La presente solicitud que corresponde a la presentada en Estados Unidos de América, en fecha 22 de octubre de 1965, bajo el nº 502.009, se acoge a los beneficios del artº 51 del vigente Estatuto sobre Propiedad Industrial.

N O T A

15 Los puntos de invención propia y nueva que se presentan para que sean objeto de la presente solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

20 1.- Un dispositivo de memoria o almacenaje de datos que comprende: un registro de desplazamiento dotado de una pluralidad de etapas, cada una de las cuales incluye unos rectificadores de silicio controlados primero y segundo, en régimen biestable, dotados de entradas y salidas respectivas y que tienen unos circuitos lógicos de coincidencia primero y segundo, incluyendo cada circuito de coin-

25



cidencia una salida conectada a la entrada de un rectificador respectivo, y unas entradas de diodo primera y segunda, de modo que la segunda entrada del primer circuito de coincidencia forma la entrada de datos a la etapa; y la segunda entrada del segundo circuito de coincidencia está conectada a la salida del primer rectificador; medios para aplicar potenciales de trabajo a los rectificadores, y un circuito de control para el registro, que incluye unas líneas de avance primera y segunda respectivamente conectadas a las primeras entradas de los circuitos de coincidencia primero y segundo de cada etapa; un dispositivo biestable que tiene un par de salidas complementadas, respectivamente conectadas a las líneas de avance primera y segunda; una fuente de impulsos de reloj para conmutar o hacer cambiar el dispositivo biestable de uno a otro de sus estados estables, en respuesta a sucesivos impulsos de reloj; y medios, que incluyen un par de circuitos lógicos de coincidencia, capaces de responder a los impulsos de reloj y a las salidas del dispositivo biestable para interrumpir momentáneamente el potencial de trabajo del primer rectificador, y luego del segundo, de cada etapa, alternativamente, durante sucesivos impulsos de reloj; de modo que las salidas del dispositivo biestable tienen por efecto, al terminarse la interrupción del potencial de trabajo, transferir los datos al primer rectificador y luego al segundo, en respuesta a un par de impulsos de reloj sucesivos.

2.- Un dispositivo de memoria según la reivindicación 1, en el cual cada etapa del registro de desplazamiento está fabricada monolíticamente en un fragmento de semiconductor.



3.- Un dispositivo de memoria o almacenaje de datos, del tipo en el que un registro de desplazamiento incluye una pluralidad de etapas de almacenaje de datos, y en el que unos medios de regulación de tiempos que incluyen unas fuentes de impulsos de avance desfasados y unos medios de reposición controlan el registro haciendo avanzar los datos binarios de una etapa a otra por el registro, caracterizado por el hecho de que cada etapa comprende: unos rectificadores de silicio controlados primero y segundo, en régimen biestable, cada uno de los cuales tiene un ánodo y un cátodo destinados a su conexión con una fuente de potencial de trabajo, y un electrodo de control; y unos circuitos de coincidencia primero y segundo por diodos, que tienen unas salidas primera y segunda respectivamente conectadas a los electrodos de control de los rectificadores primero y segundo; incluyendo dichos circuitos de coincidencia unas primeras entradas conectadas cada una a una fuente respectiva de impulsos de avance desfasados, así como unas segundas entradas; de modo que la segunda entrada del primer circuito de coincidencia forma la entrada de datos de la etapa, la segunda entrada del segundo circuito de coincidencia está conectada al ánodo del primer rectificador, y el ánodo del segundo rectificador forma la salida de datos de la etapa.

4.- Un dispositivo de memoria según la reivindicación 3, en el que las etapas de registro están monolíticamente fabricadas en un fragmento de semiconductor.

5.- Un dispositivo de memoria según la reivindicación 3, en el que los medios de reposición tienen por efecto desconectar alternativamente los cátodos de los rectificadores primero y segundo de las etapas, respecto de la fuente



de potencial de trabajo, antes de la introducción de datos nuevos en los rectificadores respectivos.

5 6.- Un dispositivo de memoria o almacenaje de datos, del tipo en el que un registro de desplazamiento incluye una fuente de potencial de trabajo y una pluralidad de etapas de almacenaje de datos, y en el que unos medios de regulación de tiempos que incluyen unas fuentes de impulsos de avance desfasados y unos medios de reposición fuera de fase, efectivos durante la parte inicial de los respectivos impulsos de avance, controlan el registro haciendo avanzar los datos binarios de una etapa a otra por todo el registro, caracterizado dicho dispositivo por el hecho de que cada etapa comprende: unos rectificadores de silicio controlados primero y segundo, en régimen biestable, cada uno de los cuales
10 tiene un ánodo, un cátodo y un electrodo de control; medios, que incluyen los de reposición fuera de fase, para conectar los ánodos y los cátodos a la fuente de potencial de trabajo; y unos circuitos de coincidencia primero y segundo por diodos, que tienen unas salidas primera y segunda respectivamente conectadas a los electrodos de control de los rectificadores primero y segundo; incluyendo dichos circuitos de coincidencia unas primeras entradas, conectadas cada una a una fuente respectiva de impulsos de avance desfasados, así
15 como unas segundas entradas; de modo que la segunda entrada del primer circuito de coincidencia forma la entrada de datos de la etapa, la segunda entrada del segundo circuito de coincidencia está conectada al ánodo del primer rectificador, y el ánodo del segundo rectificador forma la salida de datos de la etapa.

30 7.- Un dispositivo de memoria o almacenaje de da-



tos, que comprende: un "reloj" productor de un tren de impulsos; un dispositivo biestable dotado de salidas complementadas primera y segunda, capaces de responder a cada impulso de reloj cambiando su estado y produciendo así unos impulsos de salida desfasados primero y segundo, a la mitad de la frecuencia del reloj; unos circuitos lógicos primero y segundo que incluyen unos interruptores de transistor primero y segundo y capaces de responder a los impulsos de reloj y a los impulsos de salida primero y segundo del dispositivo biestable, respectivamente, para desactivar o poner en corte los transistores primero y segundo solamente durante una parte inicial de los impulsos de salida primero y segundo del dispositivo biestable, respectivamente; y un registro de desplazamiento de etapas múltiples, cada una de las cuales incluye unos rectificadores de silicio controlados primero y segundo, dotados cada uno de un ánodo, un cátodo y un electrodo de control, una fuente de potencial de trabajo para los rectificadores, medios que incluyen los interruptores de transistor primero y segundo, para respectivamente conectar los rectificadores primero y segundo de cada etapa a la fuente de potencial de trabajo para reponer los rectificadores primero y segundo de cada etapa durante dichas partes iniciales de los impulsos de salida primero y segundo del dispositivo biestable, respectivamente, y unos circuitos de coincidencia primero y segundo por diodos, que tienen unas salidas primera y segunda respectivamente conectadas a los electrodos de control de los rectificadores primero y segundo, dotados de unas segundas entradas y de unas primeras entradas respectivamente conectadas a las salidas primera y segunda del dispositivo biestable para hacer funcionar los recti-



5 ficadores primero y segundo de acuerdo con los datos de entrada de las respectivas segundas entradas, tras dichas partes iniciales de los impulsos de salida primero y segundo del dispositivo biestable, de modo que la segunda entrada del primer circuito de coincidencia forma la entrada de datos de la etapa, la segunda entrada del segundo circuito de coincidencia está conectada al ánodo del primer rectificador, y el ánodo del segundo rectificador forma la salida de datos de la etapa.

10 8.- Un dispositivo de memoria o almacenaje de datos.

Tal y como se ha descrito en la Memoria que antecede, representado en el dibujo que se acompaña y para los fines que se han especificado.

15 La presente Memoria consta de 17 hojas escritas a máquina por una sola cara.

Madrid,

P.A.

RM

Whe

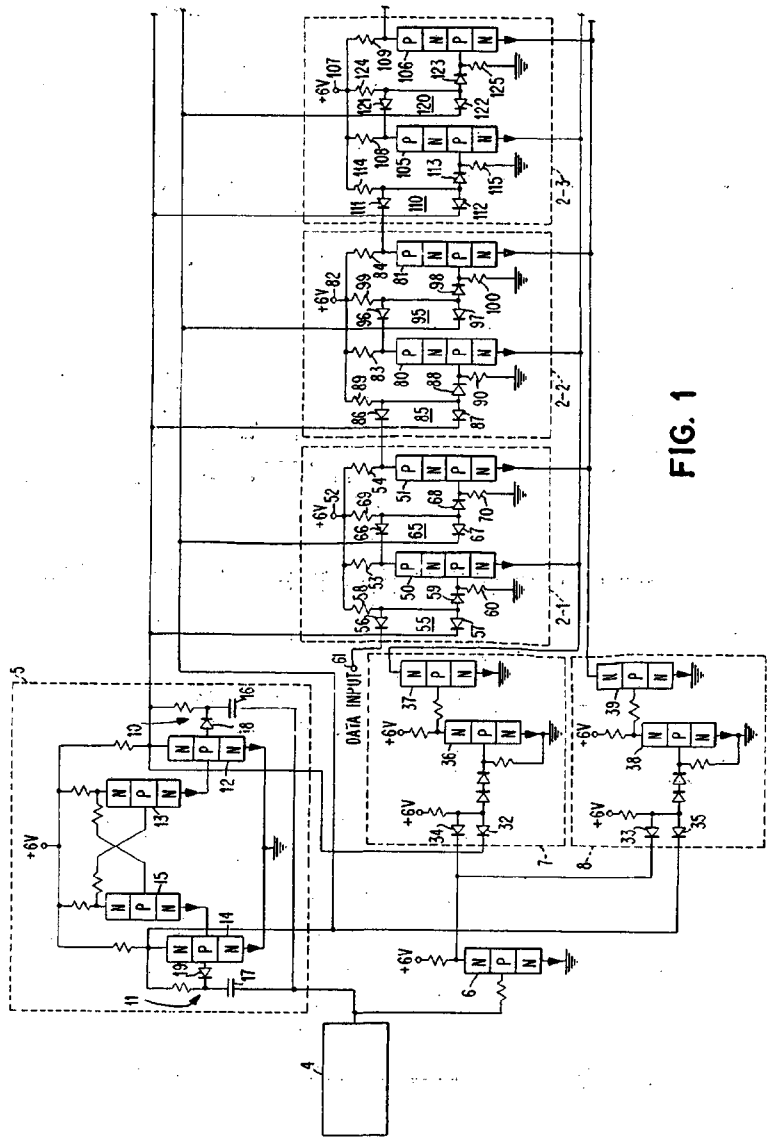


FIG. 1