

531841

P-33.019



MEMORIA DESCRIPTIVA

para solicitar

P A T E N T E D E I N V E N C I O N

e n

E S P A Ñ A

por VEINTE años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION,
entidad norteamericana, establecida en Armonk, Nueva York,
Estados Unidos de América, por:

"UNA DISPOSICION DE ELEMENTO DE MEMORIA DE DA-
TOS".

Este invento se refiere a elementos de memoria de
datos y a aparatos que hacen uso de tales elementos.

En los primeros días de las computadoras se usa-
ron circuitos de disparo biestables como elementos de memo-
ria en memorias de acceso al azar. La gran mayoría de es-
tas memorias hacen ahora uso de núcleos de ferrita que son
5 más baratos y requieren espacio considerablemente menor.
Los circuitos de disparo biestables se usan todavía, no



obstante, en circuitos aritméticos y de control-registro de la mayoría de las computadoras digitales. Con el advenimiento del transistor y, más tarde, de las técnicas de los circuitos monolíticos, el circuito de disparo biestable se convirtió una vez más en una posibilidad para memorias de acceso al azar. La objeción principal que se ha planteado a la propuesta de fabricar circuitos biestables monolíticos como elementos de memoria para la memoria principal es la gran frecuencia de fallo de tales circuitos.

10

El problema de esta gran frecuencia de fallo puede vencerse en cierta medida haciendo la memoria en un gran número de segmentos y rechazando aquellos que tengan componentes defectuosos. Sin embargo, a menos que pueda fabricarse en masa, ya interconectados y envasados, grandes números de circuitos, el coste de la memoria resulta excesivo.

15

Como la reducción de la frecuencia de fallo sólo puede lograrse por medio de técnicas perfeccionadas en la tecnología monolítica, se ha visto que es deseable reducir el número de componentes en un elemento de memoria a un mínimo. También es deseable reducir el número de interconexiones y también la tolerancia impuesta a cada elemento. Una reducción de los componentes no sólo tiene la ventaja de que hay menor número de ellos que puedan fallar, sino también que la memoria resulta menor y que las conexiones entre los elementos de la memoria se acortan, con reducción correspondiente en los efectos adversos debidos a la capacitancia entre líneas y la resistencia de las líneas usualmente presentes en las construcciones monolíti-

25

30



cas.

Un elemento de memoria de datos, de acuerdo con el invento, comprende un par de transistores acoplados transversalmente para formar un circuito biestable, conectando uno de los transistores una línea de entrada a una línea de salida de modo que, en su estado conductor, es permitido el paso de un impulso a su través procedente de la línea de entrada a la línea de salida, y estando el otro transistor conectado para recibir tal impulso pero teniendo uno de sus electrodos conectado a un manantial de potencial de referencia de modo que, en su estado conductor, no se permite que el impulso pase a la línea de salida.

A fin de que el invento pueda comprenderse por completo, se describirán ahora realizaciones preferidas del mismo con referencia a los dibujos adjuntos, en los cuales:

La fig. 1 muestra esquemáticamente una parte de una memoria de información;

la fig. 2 muestra un elemento de memoria de datos de acuerdo con el invento;

la fig. 3a muestra los perfiles de onda necesarios para escribir información en un elemento de memoria de datos como se muestra en la fig. 2;

la fig. 3b muestra el perfil de onda requerido para interrogar a un elemento de memoria de datos como se muestra en la fig. 2;

la fig. 4 muestra un elemento de memoria de datos alternativo de acuerdo con el invento;

la fig. 5 muestra otro elemento de memoria de



datos alternativo de acuerdo con el invento;

la fig. 6 muestra una parte de una matriz de elementos de memoria de datos modificada;

5 la fig. 7 muestra perfiles de onda requeridos para realizar una transferencia lógica en la matriz mostrada en la fig. 6;

la fig. 8 muestra los perfiles de onda requeridos para realizar una operación lógica en la matriz mostrada en la fig. 6;

10 la fig. 9 muestra el elemento de memoria de datos modificado de manera que lea la información guardada sin destruirla;

15 la fig. 10 muestra un método de escribir en el elemento de memoria de datos desde un dispositivo exterior.

la fig. 11 muestra un método de escribir en un elemento específico de memoria de datos según se muestra en la fig. 2;

20 la fig. 12 muestra un grupo de elementos de memoria de datos dispuesto para realizar operaciones "horizontales" tales como desplazamiento y propagación con arrastre;

la fig. 13a muestra un método de unir memorias entre sí usando transferencia en bloque; y

25 la fig. 13b muestra otro método de unir memorias entre sí usando transferencia en bloque.

30 La fig. 1 muestra esquemáticamente una parte de una memoria de información de tamaño suficiente para guardar tres palabras cada una de seis bitios o bits de longitud. Esta figura es sólo con fines de ilustración



del tipo de memoria para el cual es más adecuado el
invento; una memoria real tendría, probablemente, una
capacidad suficiente para guardar muchos miles de pala-
bras cada una de ellas probablemente en la región de una
5 longitud de setenta bits. En la figura, se muestran tres
líneas 1 de palabra cruzando seis líneas 2 de sentido de
bitios. Un elemento de memoria 3, que en este invento es
un circuito biestable, se muestra conectando una línea
de palabra 1 a una línea particular de sentido de bitios
10 2 en la región de cada punto de cruce. Así, en este ejem-
plo particular, se prevé una matriz de dieciocho elemen-
tos de memoria.

Se escribe o inscribe una palabra en la memo-
ria seleccionando la línea de palabra 1 apropiada y apli-
15 cando señales a las líneas 2 de sentido de bitios neces-
arios para ajustar los circuitos biestables asociados a
los requeridos estados significativos de información. La
memoria es interrogada excitando la línea de palabra apro-
piada después de lo cual aparecen señales en las líneas 2
20 de sentido de bitios indicativas de la información guarda-
da por los elementos 3 asociados con esa línea de palabra.

Los diversos circuitos biestables adecuados pa-
ra formar los elementos de memoria 3 serán descritos aho-
ra en detalle. La fig. 2 muestra una sola posición de me-
25 moria de una memoria de información tal como la descrita
con referencia a la fig. 1. El elemento de memoria se mues-
tra en general por el número de referencia 8 y como se vé
consiste en dos transistores T1 y T2 directamente acopla-
dos. Los colectores de los dos transistores están conecta-
30 dos a través de resistencias iguales 4 (valor típico, loeo



3

UCL

ohmios) a la línea de palabra 1. El emisor de T_1 es mantenido a potencial de tierra mientras que el emisor de T_2 está conectado a la línea 2 de sentido de bitios. En funcionamiento, las líneas de palabra 1 de una matriz de estos elementos de memoria 3 están mantenidas normalmente a un potencial positivo de 1 voltio aproximadamente y la línea de sentido de bitios a potencial de tierra.

La información es inscrita en el elemento de memoria aplicando un pequeño voltaje positivo o negativo a la línea asociada 2 de sentido de bitios de acuerdo con que haya de registrarse un CERO o un UNO binarios y, al mismo tiempo, disminuyendo el potencial de la línea de palabra 1 al de tierra. La línea de palabra 1 es mantenida a potencial de tierra durante un periodo lo bastante prolongado para que cualquier transistor que estuviera en conducción deje de estarlo. La línea de palabra es elevada luego a su potencial normal y, dependiendo del sentido del voltaje de la línea 2 de sentido de bitios, el transistor cuyo emisor es el más negativo pasará a conducción. Por consiguiente, como el emisor del transistor T_1 está siempre a potencial de tierra un pequeño impulso positivo sobre la línea 2 de sentido de bitios hará que el transistor T_1 conduzca, registrando, por ejemplo un CERO binario y un pequeño impulso negativo hará que el transistor T_2 conduzca registrando un UNO binario. Claramente, la señal de ESCRITURA aplicada a la línea 2 de sentido de bitios debe ser mantenida hasta que el potencial de la línea de palabra 1 sea restaurado a su valor normal de 1 voltio. Los diversos voltajes requeridos para ESCRIBIR información se muestran en la fig. 3a.



En su estado significativo de información, el elemento de memoria tiene un transistor en no conducción y el otro conduciendo. El elemento de memoria es interrogado aplicando un impulso positivo a la línea de palabra 1 como se muestra en la fig. 3b. Si el elemento de memoria está guardando un CERO, éste es, el transistor T_1 conduciendo y el transistor T_2 no conduciendo, no pasará corriente a la línea 2 de sentido de bitios. En este caso, la base de T_2 es puesta a masa, de modo que el elemento proporciona buena atenuación a altas frecuencias. Si el elemento de memoria está almacenando un UNO, es decir, el transistor T_2 conduciendo y el transistor T_1 no conduciendo, entonces la resistencia de colector de T_2 está conectada a la línea 2 de sentido de bitios y la señal de INTERROGAR es transmitida a la línea 2 de sentido de bitios. Se vé, por tanto, que un grupo de elementos de memoria se comporta como una matriz de resistencias.

Sensibilidad a las perturbaciones.

La sensibilidad del elemento al voltaje de perturbación de la línea de sentido de bitios depende de la diferencia entre el voltaje de saturación de colector V_{CEsat} . del transistor que está conduciendo y del voltaje de base al cual el otro transistor comienza a conducir. Se dispone de transistores típicos con $V_{CE} = 0,1$ voltios a $I_C = I_B = 1$ mA y con $V_{BE} = 0,5$ voltios a $I_C < 1/2$ mA. Con tal transistor, el elemento puede resistir voltajes de perturbación de bitios de $\pm 0,4$ voltios.

Sensibilidad de inscripción.

El potencial de la línea de sentido de bitios



para asegurar la escritura es igual a la tolerancia entre las características V_{BE} de los dos transistores en cada elemento. Es posible mantener éstas dentro de $\pm 0,05$ voltios. Así, no constituye problema la sensibilidad a las perturbaciones y, de hecho, hay un margen disponible para relajar las especificaciones de los transistores.

Capacidad de salida.

La capacidad de salida vista por la línea de sentido de bitios es igual a C_{BE} a $V_{BE} = 0$ para cualquier estado del elemento.

Tolerancias de los componentes.

La característica importante del elemento es la amplia tolerancia admisible para los componentes. La tolerancia sobre la relación de los valores de las resistencias 4 de colector es igual a la ganancia de corriente del transistor. La tolerancia sobre el valor absoluto de las resistencias 4 contribuye a la variación en la amplitud de la señal UNO. La relación inherentemente buena, de señal a ruido, del elemento, implica que pueden aceptarse amplias variaciones en el valor de las resistencias 4.

Los requisitos principales del transistor son alta velocidad de conmutación y bajas capacidades de salida. La baja ganancia de corriente precisa debe permitir un valor óptimo en estos dos aspectos.

Disipación de corriente.

Con la resistencia 4 = 1.000 ohmios, y el poten



cial de la línea de palabra a + 1 voltio, la disipación del elemento es aproximadamente 1mW. Para aplicaciones de poca velocidad, la resistencia del colector puede aumentarse de modo que se reduzca la disipación del elemento.

5

Ahora describiremos tres elementos alternativos de memoria de datos que funcionan sobre el mismo principio.

El elemento de memoria de datos mostrado en la fig. 2 puede modificarse en la forma siguiente. El emisor del transistor T_1 puede conectarse a una segunda línea de sentido de bitios en lugar de conectarse a tierra. Esto dá un sistema de sentido equilibrado. Es necesario que cada línea de sentido de bitios tenga una impedancia relativamente baja con respecto a tierra. La complejidad adicional de esta disposición será de utilidad en algunas aplicaciones.

15

Otra alternativa se muestra en la fig. 4, en la cual la línea de sentido de bitios está conectada a través de una resistencia y no directamente a un electrodo de transistor. Puede ser posible reducir la capacidad de carga de la línea de sentido de bitios por este método. Normalmente el potencial de la línea de palabra se mantiene a algún valor por debajo de tierra y la línea de sentido de bitios a potencial de tierra. Para inscribir información, el potencial de la línea de palabra es elevado al de tierra cortando así los transistores T_1 y T_2 . Se aplica entonces un pequeño potencial positivo o negativo a la línea de sentido de bitios de acuerdo con que haya de registrarse un CERO o un UNO binario. La línea de palabra se

25

30



baja entonces al potencial normal y, dependiendo del sentido del voltaje de la línea de sentido de bitios, el transistor con su base más positiva será puesto en conducción, La información es leída comunicando impulsos a la línea de palabra como antes.

La fig. 5 muestra el elemento de memoria de datos como configuración de base puesta a masa, colector puesto a masa. Esta configuración tiene una buena relación de señal a ruido y la línea de sentido de bitios está amortiguada por una resistencia. Esta disposición tiene la desventaja de requerir buen control de la relación de los valores de las dos resistencias y de requerir una operación de borrado separada antes de inscribir. Para borrar, el potencial de la línea de palabra es bajado al de masa. T_1 es acondicionado para conducir seleccionando el potencial correcto en la línea de sentido de bitios. Para inscribir un UNO binario la línea de palabra es elevada por encima de su potencial normal estable y el potencial de la línea de sentido de bitios es disminuído de modo que ponga en conducción el transistor T_2 . Los elementos de memoria se han descrito hasta ahora para uso en una matriz de memoria. El elemento mostrado en la fig. 2 es capaz también de realizar ciertas operaciones lógicas dentro del grupo de memoria. Estas operaciones son: Transferencia real $A \longrightarrow B$; transferencia de complementos $\bar{A} \longrightarrow B$; lógica de coincidencia $(A.B) \longrightarrow B$; y complemento de lógica de coincidencia $(\bar{A}.B) \longrightarrow B$; en cada caso, A y B son dos palabras cualesquiera en la memoria. Cada operación hace que el resultado sea colocado en la dirección o acceso de B y deja A inalterada.



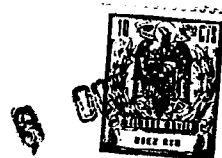
A fin de realizar estas operaciones, la memoria debe estar equipada con dos grupos de descofificadores de acceso, de modo que puedan especificarse los dos accesos o direcciones A y B. También es necesario modificar los voltajes de excitación, pero el elemento mismo y las interconexiones del grupo quedan sin modificar. El elemento puede usarse también para hacer una memoria asociativa.

Es importante observar que este elemento particular y sus propiedades son ejemplos meramente ilustrativos de las posibilidades que pueden obtenerse de memorias monolíticas.

Transferencia de complemento, $\bar{A} \longrightarrow B$

En la fig. 6 se aplica una señal de interrogación positiva a la línea de palabra A y se aplica un impulso de corriente de polarización negativo a la línea de bitios desde el excitador de bitios. El impulso de polarización es igual a aproximadamente la mitad de la señal de sentido de interrogación en amplitud. La línea de palabra B es llevada a potencial de tierra o inferior y es devuelta a su potencial estable antes de que se retiren las señales de sentido y de polarización.

Se ha visto que un potencial de escritura de bitios de 0,05 voltios es suficiente para asegurar la inscripción en un elemento hecho de transistores FTX. Por tanto, con estos transistores, se requiere para funcionamiento satisfactorio una corriente de polarización de 5 mA y una señal de interrogación de palabra de 5, voltios.



Transferencia real, $A \longrightarrow B$.

En este caso, se usa una polarización positiva y una interrogación negativa. Claramente, el potencial estable de la línea de palabra ha de aumentarse para permitir esta interrogación negativa, que aumenta la disipación. Si esto resulta ser inadmisibile, este dispositivo podría preverse para unas cuantas palabras solamente.

Complemento de coincidencia lógica ($\bar{A}.B$) $\longrightarrow B$.

La sensibilidad del elemento a las señales de perturbación positivas aplicadas al emisor de T_2 aumenta de una manera controlada a medida que se reduce el potencial de la línea de palabra. Esto ocurre como sigue:

Con el potencial normal de la línea de palabra de + 1,5 voltios, y con T_2 conduciendo, el potencial de perturbación es determinado por el punto en que T_2 es incapaz de mantener a T_1 fuera de conducción. Pero si se reduce el potencial de la línea de palabra a, por ejemplo, + 0,9 voltios, entonces, el potencial de perturbación es determinado por el punto en que T_2 es incapaz de permanecer conduciendo a causa de la reducción de la corriente de base. Con transistores FTX, estos voltajes, según se ha visto, son de 0,45 voltios y 0,1 voltios, respectivamente.

Si definimos los elementos con T_2 conduciendo como si estuvieran en estado UNO, entonces la operación $\bar{A}.B \longrightarrow B$ es realizada por interrogación de A con un perfil de onda positivo de 5 voltios de amplitud y aplicando una señal de reposición condicional de 0,9 voltios a la línea de palabra B.

3 OCT 1957



Coincidencia lógica, (A.B) \longrightarrow B.

5 En este caso se interroga la palabra A con un perfil de onda negativo y se aplica una polarización positiva a la línea de bitios. En las figuras 7 y 8 se han mostrado diversas formas de onda para realizar las funciones de transferencia y lógicas.

Memoria asociativa.

10 Las señales aplicadas a una línea de bitios alcanzarán una línea de palabra si T_2 del elemento correspondiente está conduciendo. De este modo, es posible interrogar las líneas de bitios con, por ejemplo, señales de 0,25 voltios y detectar faltas de emparejamiento por amplificadores de sentido en cada línea de palabra.

15 Hasta ahora se ha mostrado que ciertas operaciones internas pueden realizarse dentro de la memoria monolítica. Sin embargo, estas operaciones son puramente paralelas, esto es, el bitio 1 de la palabra A se combinó con el bitio 1 de la palabra B, el bitio 2 de la palabra A se combinó con el bitio 2 de la palabra B y así sucesivamente. A fin de realizar operaciones "horizontales" tales como desplazamiento y propagación con arrastre, es necesario añadir generadores de funciones externas tales como registros de desplazamiento y sumadores. Por consiguiente, se propone asociar los diversos generadores de funciones con direcciones o accesos a memoria específicos. Los elementos de memoria de datos en estas direcciones o accesos son modificados de manera

20

25



adecuada de modo que puedan comunicar con los dispositivos exteriores.

Este concepto puede ampliarse para dar una memoria sin aplicadores de sentido o registros de datos. En cambio, se prevé que un número de direcciones o accesos distribuidos a través del grupo y a través de estas direcciones o accesos puedan comunicar con las unidades lógicas, barras omnibus de datos, posiciones de acceso de otras memorias y posiblemente incluso con su propio descodificador. Este concepto se ilustra diagramáticamente en la fig. 12.

Específicamente, el elemento de memoria de datos mostrado en la fig. 2 puede modificarse para ser leído exteriormente a otra memoria conectando un tercer transistor T_3 (fig. 9) en la configuración acoplada directa a través de T_1 . La salida de T_3 es de c.c. y no es afectada por transferencias internas que puedan estar ocurriendo entre otras palabras.

La fig. 10 muestra un método de inscribir en la memoria desde un dispositivo externo. Oaramente, es posible inscribir en cualquier dirección o acceso con esta disposición.

La fig. 11 muestra un método de inscribir en un elemento específico, si ello es deseable. Debe observarse, sin embargo, que si el elemento conmuta, perturbará la línea de bitios. Por consiguiente, puede ser necesario prohibir la entrada de datos mientras se están produciendo operaciones de transferencia entre memorias. (Esta dificultad podría vencerse usando el tipo de elemento de memoria de datos que tiene salida amortiguada).



Sin embargo, es posible usar esta disposición para transferir bloques de palabras a memoria simultáneamente. El límite práctico sobre el tamaño del bloque sería determinado por el voltaje de perturbación admisible sobre
5 las líneas de bitios, y para este circuito sería de unas 16 palabras.

La fig. 13 muestra dos formas de unir memorias entre sí usando la transferencia de bloques. Las memorias están referenciadas con 1, 2, 3 y 4. En la fig. 13a bloques de direcciones o accesos de una memoria están reunidos con bloques de direcciones o accesos de la memoria adyacente. En la fig. 13b el número 4 de memoria tiene una posición central. Las otras memorias están reunidas a él. Una disposición alternativa sería reemplazar la memoria
10 central por una barra de canales múltiples a través de la cual cualquier memoria podría comunicar con cualquier
15 otra.

La presente solicitud, que corresponde a la presentada en Gran Bretaña con fecha 7 de octubre de 1.965, bajo el número 42.540/65, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.
20

N O T A

Los puntos de invención, propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:
25



1.- Una disposición de elemento de memoria de datos que comprende un par de transistores acoplados transversalmente para formar un circuito biestable, conectando uno de los transistores una línea de entrada a una línea de salida de modo que, en su estado conductor, es permitido que pase un impulso a su través desde la línea de entrada a la de salida, y estando el otro transistor conectado para recibir tal impulso pero teniendo uno de sus electrodos conectado a un manantial de potencial de referencia de modo que, en su estado conductor, el impulso no pueda pasar a la línea de salida.

2.- Una disposición según se reivindica en el punto 1, en la cual la línea de entrada proporciona el potencial de alimentación emisor/colector de los dos transistores.

3.- Una disposición según el punto 1 o el 2, en la cual los dos transistores están directamente acoplados transversalmente y tienen sus electrodos de colector conectados a la línea de entrada, estando el electrodo emisor de uno de los transistores conectado a un manantial de potencial de referencia y estando el electrodo emisor del otro transistor conectado a la línea de salida.

4.- Una disposición según los puntos 1 ó 2, en la cual los electrodos emisores de los dos transistores están conectados a la línea de entrada, estando el electrodo colector de uno de los transistores conectado a un manantial de potencial de referencia y estando el electrodo colector del otro transistor conectado a la línea de salida.

5.- Una disposición según los puntos 1 ó 2, en



la cual los electrodos de colector de los dos transis-
tores están conectados a la línea de entrada, estando
los electrodos de emisor de los dos transistores conec-
tados a la línea de salida, estando el electrodo de ba-
5 se de uno de los transistores conectado a un manantial
de potencial de referencia y estando el electrodo de ba-
se del otro transistor conectado directamente al colec-
tor del primer transistor.

6.- Una disposición según los puntos 2 ó 3 ó
10 4 ó 5, en la cual el elemento es ajustado a uno u otro
de dos estados de información significativos quitando
el potencial de alimentación de modo que ambos transis-
tores sean puestos fuera de conducción y acondicionando
los transistores de modo que, cuando el potencial de re-
15 ferencia es devuelto, un transistor conduzca y el otro
no.

7.- Una disposición según el punto 6, en la
cual los transistores son acondicionados aplicando un
potencial a la línea de salida que, dependiendo de su po-
20 laridad con respecto al potencial de referencia, determi-
ne cual de los dos transistores conducirá cuando se de-
vuelva el potencial de alimentación.

8.- Una disposición según el punto 6, en la
cual los transistores son acondicionados elevando el
25 potencial de la línea de entrada hasta un valor por en-
cima del potencial de alimentación y suministrando un
potencial a la línea de salida que, dependiendo de su po-
laridad con respecto al potencial de referencia, determi-
nará cuál de los dos transistores conducirá cuando el po-
30 tencial de la línea de entrada es devuelto al valor del



potencial de alimentación.

5 9.- Una disposición según cualquiera de los puntos anteriores, en la cual un transistor adicional está conectado a un transistor del par de transistores que forman el elemento de memoria de datos, siendo tal la disposición que el estado del transistor adicional es controlado por el estado del transistor al cual está conectado.

10 10.- Una disposición según cualquiera de los puntos 1 a 8, en la cual un transistor adicional está conectado a un transistor del par de transistores que forman el elemento de memoria de datos, siendo tal la disposición que el estado del elemento de memoria de datos es controlado por el estado del transistor adicional.

15

11.- Una disposición de memoria de datos que comprende una pluralidad de elementos de memoria de datos según se reivindica en cualquiera de los puntos anteriores.

20 12.- Una disposición de memoria de datos que comprende un primer juego de conductores dispuestos transversalmente a un segundo juego de conductores, estando cada conductor del primer juego conectado a cada conductor del segundo juego a través de un elemento de memoria de datos, comprendiendo cada elemento dos caminos de corriente cada uno de los cuales incluye un transistor, siendo tal la disposición que un impulso aplicado a un conductor seleccionado del primer juego es transmitido a lo largo de uno de los caminos de corriente al conductor del segundo juego solamente cuando el elemento está en

25

30



un estado significativo de información particular.

5 13.- Una disposición de memoria de datos que
comprende un primer juego de conductores dispuestos trans-
versalmente a un segundo juego de conductores, estando ca
da conductor del primer juego conectado a cada conductor
del segundo juego a través de un elemento biestable de al
macenaje de datos o de memoria, consistiendo el elemento
en dos caminos de corriente cada uno de los cuales inclu
ye un transistor directamente acoplado transversalmente
10 al transistor del otro camino, con lo cual los datos son
almacenados en un elemento particular por selección de
coordenadas de los conductores asociados del primero y
segundo juegos y la significación de la información alm
macenada es determinada por la polaridad de la señal
15 aplicada a uno de los conductores.

 14.- Una disposición de memoria de datos, que
comprende un juego de conductores de entrada dispuestos
transversalmente a un juego de conductores de salida, es
tando cada conductor de entrada conectado a cada conduc
tor de salida por un elemento de memoria de datos que
20 consiste en dos caminos de corriente, al menos uno de
los cuales se extiende entre un conductor de entrada y
de salida asociado, incluyendo cada camino un transis-
tor y estando acoplado transversalmente al otro camino,
y en el cual son almacenados datos seleccionando los po
tenciales de los conductores de entrada y de salida de
modo que un transistor del elemento de memoria de datos
sea acondicionado para conducir, con exclusión del
25 otro.

30 15.- Una disposición de memoria de datos, que



comprende un juego de conductores de entrada dispuestos transversalmente a un juego de conductores de salida, estando cada conductor de entrada conectado a cada conductor de salida por un elemento de memoria de datos, consistiendo cada elemento de memoria en dos caminos de corriente cada uno de los cuales incluye un transistor que está directamente acoplado transversalmente al transistor del otro camino, siendo tal la disposición que al menos uno de los caminos de corriente se extiende entre un conductor de entrada y un conductor de salida asociados y se almacenan datos seleccionando los potenciales de los conductores de entrada y salida, de modo que un transistor del elemento de memoria de datos sea acondicionado para conducir con exclusión del otro.

16.- Una disposición de memoria según cualquiera de los puntos 11 a 15, en la cual una representación de datos almacenados en un elemento de memoria particular es transferida a otro elemento de memoria conectado a la misma línea de salida que el elemento de memoria en cuestión, suministrando a la línea de salida un voltaje de polarización predeterminado e interrogando luego al elemento de memoria particular, viniendo determinados la polaridad y la magnitud de la señal de interrogación y el voltaje de polarización por la representación requerida de datos a transferir.

17.- Una disposición de memoria de datos según el punto 16, en la cual la tensión o voltaje de polarización de la línea de salida es de una magnitud tal que en ausencia de otra señal, todos los elementos de memoria conectados a ella están acondicionados para ser puestos luego en



uno, y no en el otro, de los estados significativos de información.

5 18.- Una disposición de memoria según el punto 17, en la cual una señal de la línea de salida resultante de la interrogación del elemento de memoria particular, junto con el voltaje de polarización, es de tal magnitud y polaridad que acondicione a todos los elementos de memoria conectados a la línea de salida para ser puestos luego en el otro estado significativo de información.

10 19.- Una disposición de elemento de memoria de datos.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

15 Esta Memoria consta de veintiuna hojas escritas a máquina por una sola de sus caras.

Madrid,

3 OCT. 1966

P.A.

Alberto de Ezaburu
Por Ación

Pat. No. 2,100,000
 Filed Dec. 15, 1938
 Antonio de Ezcurra

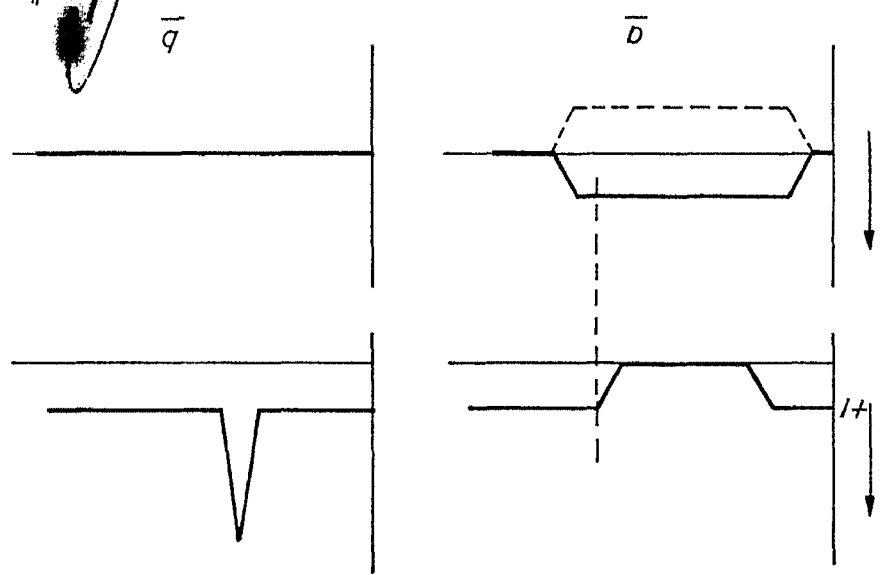


FIG. 2

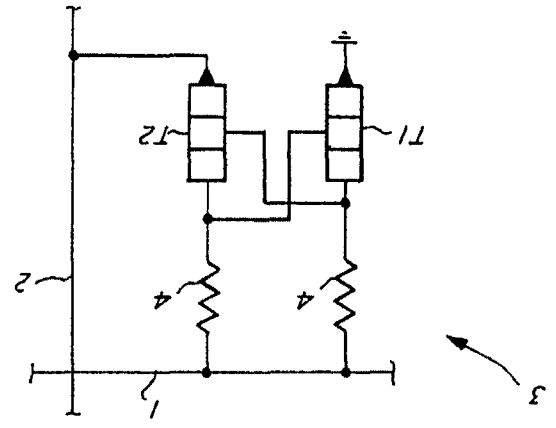
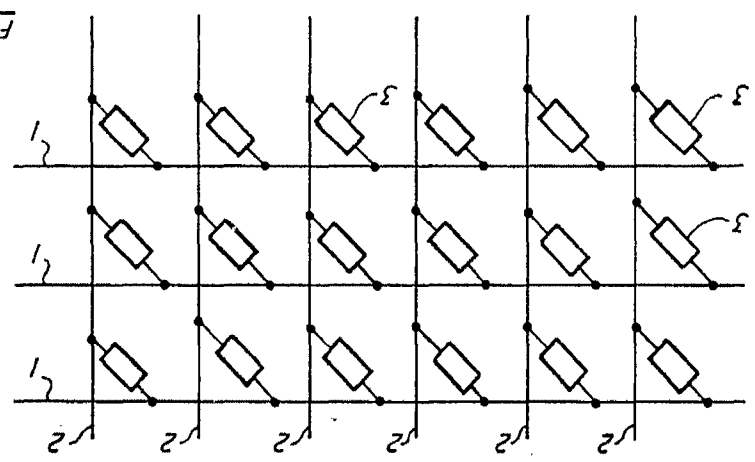
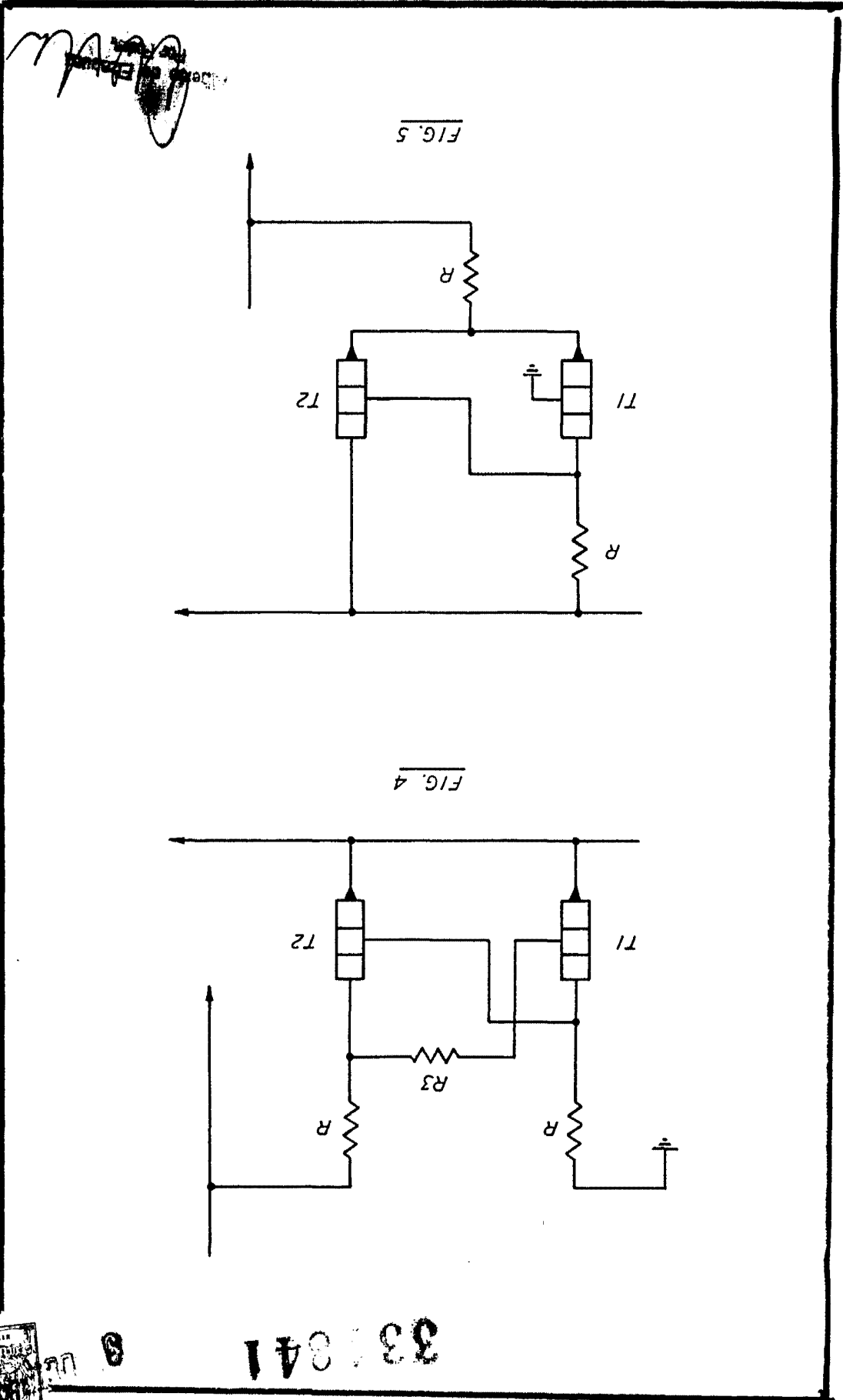


FIG. 1



333
 333

333-441



UR 8

331841

INTERNATIONAL BUSINESS MACHINES CORPORATION

II/VIE 3



3.041

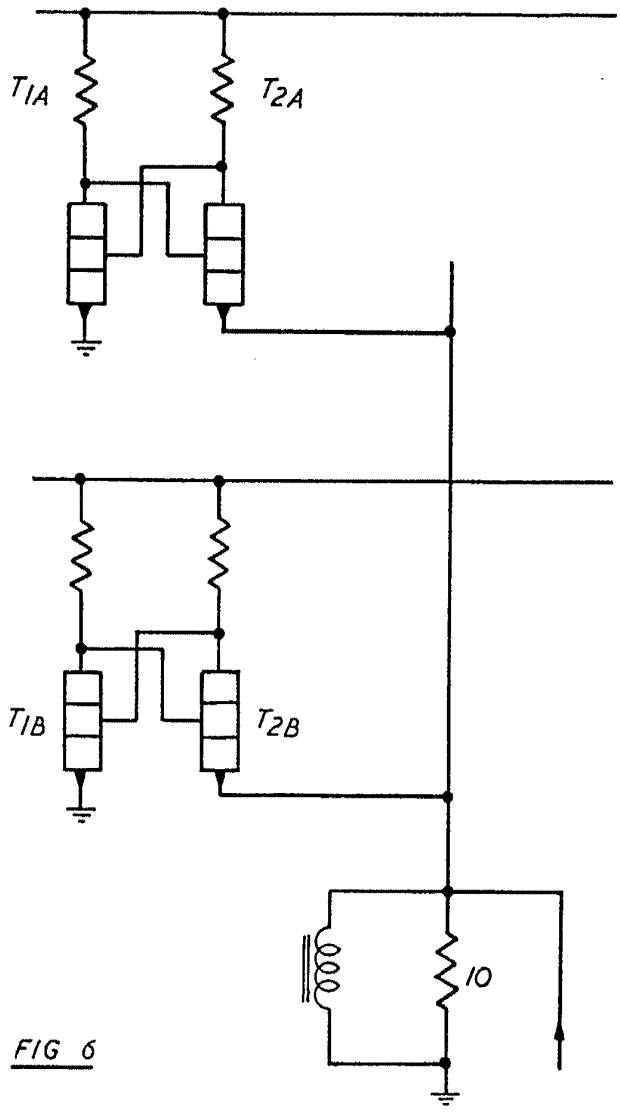


FIG 6

[Handwritten signature or initials]



30 641

3 OCT 1964

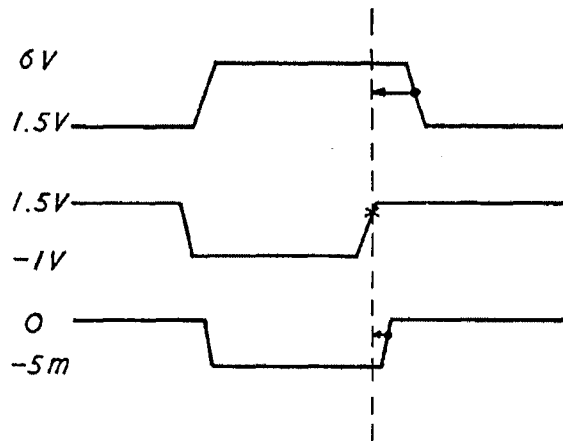


FIG. 7

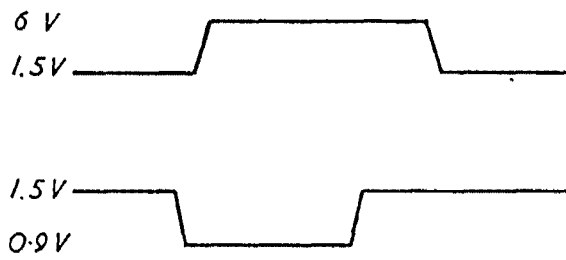


FIG. 8

Auth

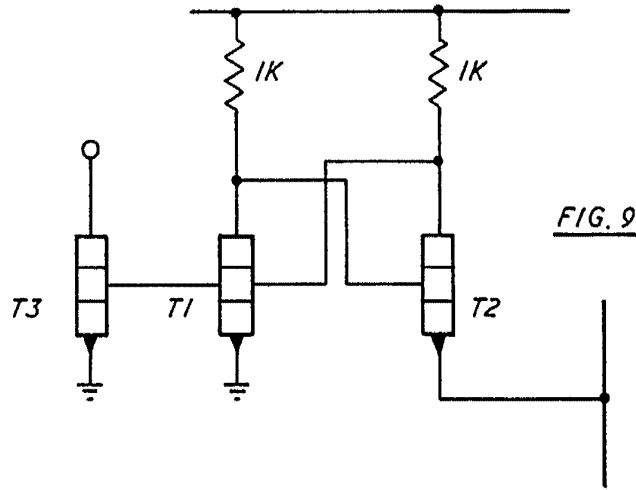


FIG. 9

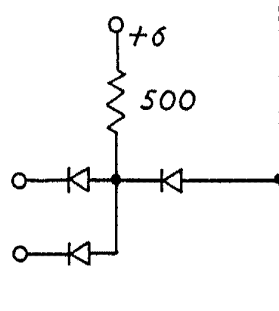


FIG. 10

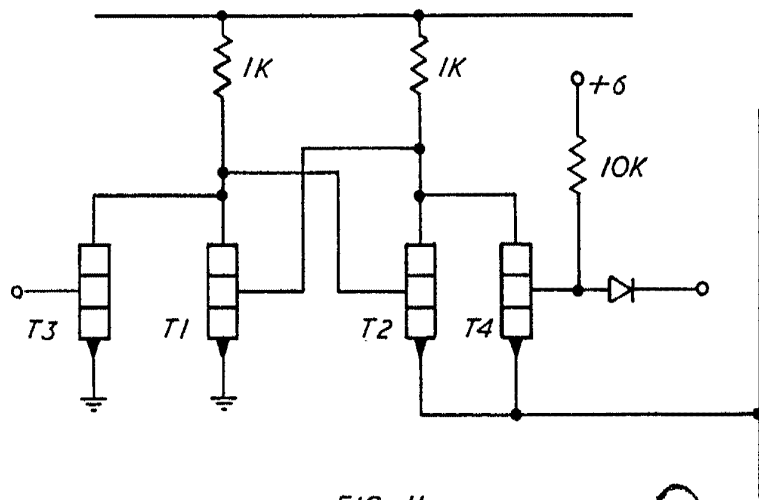


FIG. 11

Alberto de Buzatti
FOR BUSH



30 941 3

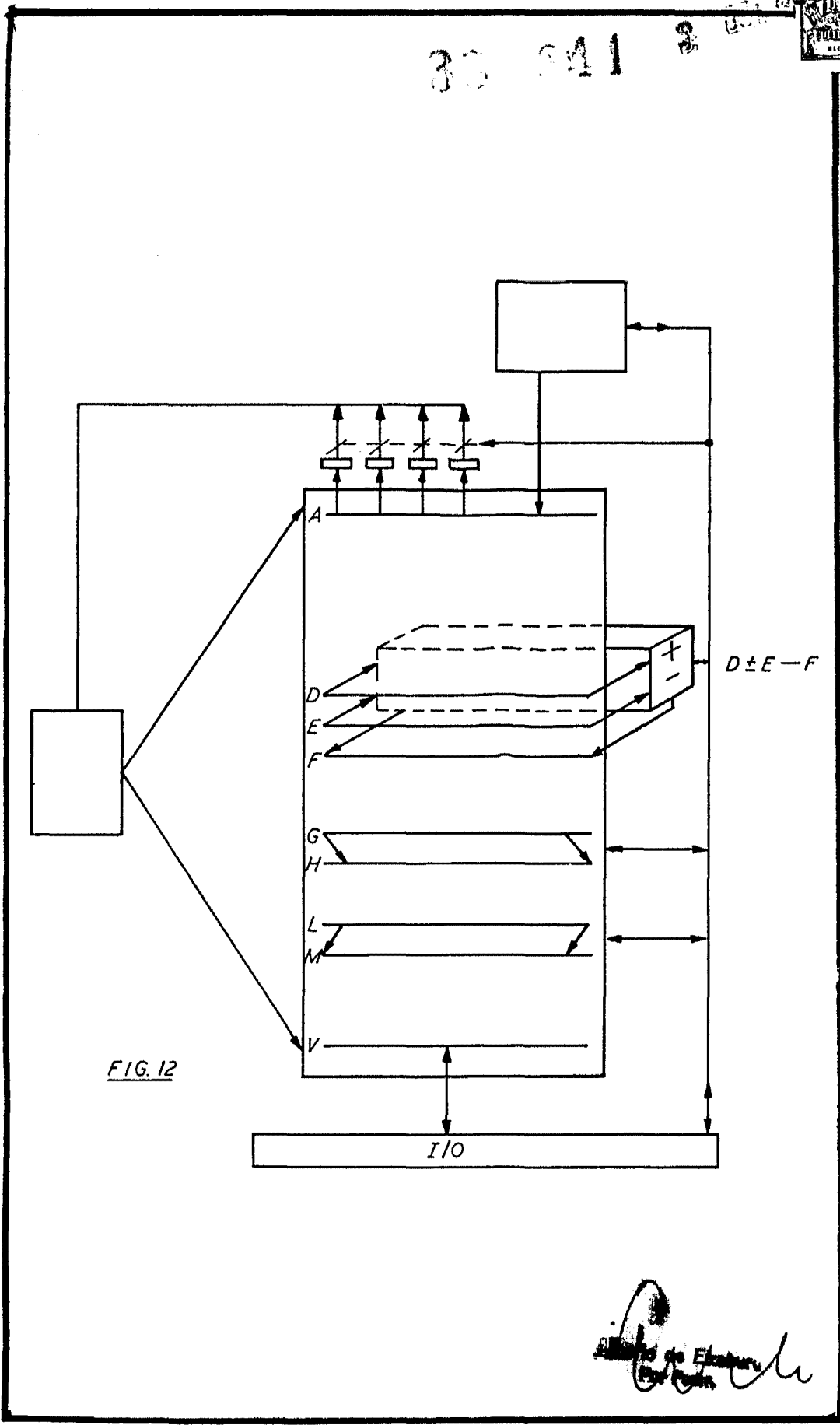


FIG. 12

Allen-Bradley Electric
Circuitry

Handwritten scribbles and text at the top of the page.

FIG. 13b

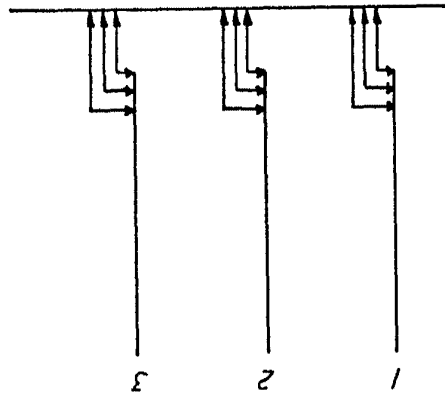
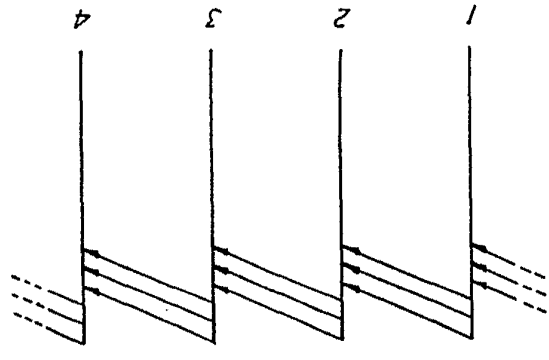


FIG. 13d



INTERNATIONAL BUSINESS MACHINES CORPORATION VII/VII

433079

8 OCT 1941

175 82