



1100

MEMORIA DESCRIPTIVA

que se presenta para unir a la solicitud

de

PATENTE DE INVENCION

formulada el 15 de Septiembre de 1966, con el nº 331.240

en

E S P A Ñ A

por VEINTE años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION,
entidad norteamericana, establecida en Armonk, Nueva York,
Estados Unidos de América, por:

"UN DISPOSITIVO DE ALMACENAMIENTO EN SERIE MEJORADO PARA
ALMACENAR Y REPRODUCIR INFORMATION EN FORMA DE SERIE DE
IMPULSOS"

Este invento se refiere a circuitos de almacen
namiento o de memoria tampón de tipo cíclico y más par-
ticularmente a tales circuitos de almacenamiento también
cíclicos que utilizan líneas de retardo.

5 Los circuitos de almacenamiento tampón cícli-
cos son utilizados en una amplia variedad de aplicacio-
nes, y se adaptan particularmente bien para utilización
en una exhibición del tipo de tubo de rayos catódicos



donde deben almacenarse señales de video y ser suministradas repetidamente al tubo de imagen. Un problema que se encuentra es el de obtener suficiente anchura de banda para las señales de video sin complejidad indebida y un aumento de coste correspondiente.

Una característica de este invento es proporcionar una disposición de almacenamiento tampón de línea de retardo mejorada que es de construcción sencilla, de funcionamiento seguro y barata de fabricar y mantener, aunque proporciona anchura de banda adecuada para las frecuencias de señal o regímenes de repetición de impulsos de que se trata.

De acuerdo con este invento se proporciona un circuito mejorado que incluye almacenamiento tampón de línea de retardo de anchura de banda limitada para poder disponer en forma repetitiva de señales de datos a una anchura de banda mayor. Un canal de entrada que tenga una frecuencia o régimen de repetición de impulso F está conectado sucesivamente a la entrada de dos o más dispositivos N de almacenamiento tampón de línea de retardo por orden, donde N representa el número de tales dispositivos de almacenamiento tampón de línea de retardo. La frecuencia o régimen de repetición de impulsos a través de los dispositivos de almacenamiento tampón de línea de retardo individuales es así F/N . Puede adaptarse la mayor anchura de banda del canal de entrada utilizando tantos dispositivos de almacenamiento tampón de línea de retardo de anchura de banda limitada como sea necesario. El número de tales dispositivos de almacenamiento tampón de línea de retardo utilizado es una función de la anchu



ra de banda de los dispositivos de almacenamiento tampón
de línea de retardo individuales. Las señales almacena-
das en un dispositivo de almacenamiento tampón, de línea
de retardo dado pueden ser recirculadas mientras sea nece-
5 sario. Las salidas de los dispositivos de almacenamiento
tampón de línea de retardo pueden ser mezcladas muestrean-
do cada una de las salidas sucesivamente. Las salidas así
muestreadas tienen una frecuencia o régimen de repetición
de impulso F , y estas señales pueden ser suministradas a
10 un dispositivo de carga cada vez que son recirculadas.

El objeto precedente y otros objetos, caracte-
rísticas y ventajas del invento, serán evidentes por la
descripción más detallada que sigue de una realización pre-
ferida del invento, según se representa en los dibujos
15 que se acompañan.

La figura 1 representa una realización de acuer-
do con este invento.

La figura 2 representa un diagrama de sincroni-
zación el cual es útil para comprender el funcionamiento
20 de la realización de la figura 1.

En la siguiente descripción se supone arbitra-
riamente que los circuitos lógicos representados en la
figura 1 emplean lógica positiva. Esto es, los circuitos
lógicos son accionados por señales positivas, y son des-
25 activados por señales negativas. Los términos positivo y
negativo son relativos, y no absolutos dentro del contex-
to. Debe comprenderse que en la práctica un circuito ló-
gico puede ser desactivado de hecho por una señal positi-
va y activado por una señal más positiva. En forma alter-
30 nativa, un circuito lógico puede ser activado por una se-



ñal negativa y desactivado por una señal más negativa. El uso arbitrario de los términos positivo y negativo para activar y desactivar respectivamente los circuitos lógicos de la figura 1, se hace por conveniencia.

5 Haciendo referencia a la figura 1 de los dibujos, las líneas de retardo 10 y 11 son identificadas respectivamente por línea de retardo 1 y línea de retardo 2. El invento está representado con dos líneas de retardo, pero se deduce fácilmente de esta descripción que pueden
10 emplearse líneas de retardo adicionales. Las señales de información o de datos para las líneas de retardo es suministrada a cualquier línea de entrada 12 ó 14. Las señales de datos del tipo decimal en código binario son suministradas a la línea de entrada 12, y las señales de
15 datos video son suministradas a la línea de entrada 14. Se suministran continuamente señales de reloj a una línea de entrada 13. Se aplican señales de control a una línea de entrada 15 para controlar la escritura o entrada de señales de datos video o señales decimales en código
20 binario a las líneas de retardo. Las señales de datos decimales en código binario son pasadas por un circuito de coincidencia 16, y las señales de datos video son pasadas por un circuito de coincidencia 17. Estas señales de datos son pasadas solamente cuando la línea de entrada
25 15 está excitada con un nivel de señal positivo cuya excitación significa que puede tener lugar una operación de escritura. Las señales de la línea de escritura 15 son invertidas por un inversor 18, y la salida de él es suministrada a un circuito de coincidencia 19. El circuito de
30 coincidencia And 19 es desactivado siempre que la línea



de escritura 15 es excitada con un nivel de señal positivo para permitir que tenga lugar una operación de escritura. Las señales de datos de los circuitos de coincidencia 16 y 17 son suministradas a través de un circuito disyuntivo 20 a circuitos de coincidencia 21 y 22. Un generador de impulsos de reloj no representado, suministra continuamente impulsos de reloj a la línea de entrada 13. Impulsos de reloj alternativos, a los que se designa como impulsos de reloj de número par, son suministrados a una línea 23 la cual está conectada al circuito de coincidencia 21, y el resto de los impulsos de reloj, a los que se designa como impulsos de reloj de número impar, son suministrados a una línea 24 la cual está conectada al circuito de coincidencia 22. Los impulsos de reloj pares e impares excitan los circuitos de coincidencia 21 y 22 de una forma alternativa, y esto permite que las señales decimales del código binario o las señales de datos video del circuito disyuntivo 20 sean suministradas alternativamente a través de los circuitos de coincidencia 21 y 22 a las líneas de retardo asociadas 10 y 11.

Las señales de datos suministradas a las líneas de retardo 1 y 2 son retardadas un periodo de tiempo especificado el cual está determinado por la duración de estas líneas de retardo. Las señales que salen de las líneas de retardo 1 y 2 son suministradas a circuitos de coincidencia apropiados 25 y 26. El circuito de coincidencia 26 está controlado por los impulsos de reloj impares aplicados a la línea 24, y el circuito de coincidencia 25 está controlado por los impulsos de reloj pares aplicados



a la línea 23. La salida del circuito de coincidencia 25 y la salida uel circuito de coincidencia 26 pasan a través de un circuito disyuntivo 27 a un dispositivo de carga 28. La salida del circuito disyuntivo 27 es aplicada también al circuito de coincidencia 19 que está con-
5 dicionado para pasar estas señales al circuito disyuntivo 20 y a la entrada de las líneas de retardo 1 y 2 excepto cuando está teniendo lugar una operación de escritura. Así, se ve que la información una vez suministrada a las líneas de retardo 1 y 2 continúa recirculando
10 hasta que es interrumpida. Si tiene lugar una operación de escritura, las señales de datos anteriores son sustituidas por las señales de datos nuevas si las señales de datos anteriores están saliendo de las líneas de retar-
15 do.

Se hace referencia a la figura 2 para describir las relaciones de sincronización que tienen lugar. La figura 2(a) muestra impulsos de reloj que tienen lugar a un régimen de repetición de impulsos F , y son aplicados a la línea de entrada 13 de la figura 1. Los impulsos de reloj impares de la figura 2(a) son aplicados a la línea 24 de la figura 1 y están representados en la figura 2(b) como si tuvieran un régimen de repetición de impulsos de $F/2$. Los impulsos de reloj pares de la figura 2(a) están representados en la figura 2(c) como si tuvieran un régimen de repetición de impulsos $F/2$, y son aplicados a la línea 23 de la figura 1. Los impulsos de reloj impares y pares controlan las operaciones de conmutación de señales de datos en las líneas de retardo 1 y
20
25
30 2 así como las operaciones de conmutación para mezclar



las señales de datos que salen de las líneas de retardo
1 y 2. Esto es, los impulsos de reloj condicionan los
circuitos de coincidencia 22 y 26 que permiten así que
sean suministradas nuevas señales de datos a la línea de
5 retardo 1 a través del circuito de coincidencia 22, y al
mismo tiempo las señales de datos que salen de la línea
de retardo 1 pueden ser suministradas a través del cir-
cuito de coincidencia 26 y del circuito disyuntivo 27 a
un dispositivo de carga 28. No se permite que recircule
10 ninguna señal de datos que pase de la línea de retardo
1 si está teniendo lugar una operación de escritura. Más
específicamente, la reentrada en la línea de retardo 1
está impedida por el circuito de coincidencia 19 el cual
está desacondicionado si está en marcha una operación de
15 escritura. Durante los impulsos de reloj pares los cir-
cuitos de coincidencia 22 y 26 están desexcitados y la
línea de retardo 1 no recibe ni suministra señales de da-
tos desde ellos. Cuando son suministrados impulsos de re-
loj pares a la línea 23 de la figura 1, el circuito de
20 coincidencia 21 está condicionado para permitir el paso
de señales de datos nuevas a la línea de retardo 2, y el
circuito de coincidencia 25 está condicionado para pasar
señales de datos que partan de la línea de retardo 2.
Cuando se suministra un impulso de reloj par a la línea
25 23, cualquier señal de información que salga de la línea
de retardo 2 es pasada a través del circuito disyuntivo
27 al circuito de coincidencia 19. Si no está teniendo
lugar ninguna operación de escritura, la señal suminis-
trada al circuito de coincidencia 19 es pasada a través
30 del circuito disyuntivo 20 y del circuito de coincidencia



21 a la entrada de la línea de retardo 2, permitiendo de este modo la reentrada de la señal de datos tomada desde la línea de retardo 2. Si está teniendo lugar una operación de escritura en el momento en que una señal de datos de la línea de retardo 2 es suministrada al circuito de coincidencia 19, la reentrada de esta señal de datos es impedida por la salida del inversor 18, y se permite que pase una señal de datos nuevos desde el circuito de coincidencia 16 ó el circuito de coincidencia 17 a través del circuito disyuntivo 20 y del circuito de coincidencia 21 al lado de entrada del circuito de retardo 2. se señala que el régimen de datos a través de la línea de retardo es $F/2$, teniendo lugar las señales de datos durante los periodos de los impulsos de reloj impares. La línea de retardo 2 tiene un régimen de datos de $F/2$, teniendo lugar las señales de datos durante los impulsos de reloj pares. Las líneas de retardo 1 y 2 tienen la misma duración o periodo de retardo. La línea de retardo 1 puede tener un retardo igual a cualquier múltiplo del periodo de los impulsos de reloj impares, y la línea de retardo 2 tiene la misma duración o periodo de retardo.

Supongamos, con finalidades de ilustración, que un número decimal en código binario, ilustrado en la figura 2(d), es suministrado a la línea de entrada 12 de la figura 1. Se supone arbitrariamente que un 1 binario está representado por un impulso positivo y un 0 binario está representado por la ausencia de impulso o nivel de señal de base. Según se ilustra en la figura 2(d), el fragmento 1 del tren de ondas aplicado a la línea 12 de la figura 1 es un 1 binario, y tiene lugar durante un impulso



de reloj impar. Supongamos además que se suministra una
señal positiva a la línea de escritura 15 de la figura 1
durante el periodo en que el tren de ondas está siendo
aplicado a la línea 12. De acuerdo con esto, el fragmen-
5 to 1 de la figura 2(d) pasa a través del circuito de coin-
cidencia 16 de la figura 1, el circuito disyuntivo 20 y
el circuito de coincidencia 22 hasta el lado de entrada
de la línea de retardo 1. El fragmento 2 del tren de on-
das de la figura 2(d) tiene lugar durante un impulso de
10 reloj par, y es suministrado a través del circuito de
coincidencia 16 de la figura 1, el circuito disyuntivo
20 y el circuito de coincidencia 21 al lado de entrada
de la línea de retardo 11. El fragmento 3 del tren de on-
das es un 0 binario que tiene lugar durante un impulso de
15 reloj impar y es suministrado a través del circuito de
coincidencia 16, el circuito disyuntor 20 y el circuito
de coincidencia 22 al lado de entrada de la línea de re-
tardo 1. El fragmento 4 del tren de ondas es un 1 binario
que tiene lugar durante un impulso de reloj par, y es su-
20 ministrado a través del circuito de coincidencia 16, el
circuito disyuntivo 20 y el circuito de coincidencia 21
hasta el lado de entrada de la línea de retardo 2. La fi-
gura 2(e) muestra las señales de datos que entran en la
línea de retardo 1, y la figura 2(f) muestra las señales de
25 datos que entran en la línea de retardo 2. Tan pronto co-
mo estas señales pasan a través de las líneas de retardo
1 y 2 y salen desde el lado de salida, son mezcladas de
nuevo en un tren de ondas como el mostrado en la figura
2(g). Las señales del tren de ondas 2(g) son aplicadas a
30 un dispositivo de carga 28, y son pasadas por el circuito



de coincidencia 19 y el circuito disyuntivo 20 a los circuitos de coincidencia 21 y 22 donde son separados de nuevo y aplicadas alternativamente a los lados de entrada de las líneas de retardo 1 y 2 como antes.

5 Así se ve que se proporciona una nueva disposición de circuito que utiliza el retardo de anchura de banda limitada para almacenar y retener un tren de ondas de anchura de banda mucho mayor. Aunque el invento ha sido representado con la utilización de dos líneas de retardo, es fácilmente evidente que puede obtenerse anchura de banda adicional utilizando un número mayor de líneas de retardo y dividiendo los impulsos de reloj en forma correspondiente. Por ejemplo si son empleadas tres líneas de retardo, cada línea de retardo recibe un impulso cada tres impulsos de reloj.

10

15

Aunque el invento ha sido mostrado y descrito particularmente con referencia a una realización suya preferida, será comprendido por aquellos experimentados en la técnica que pueden hacerse los precedentes y otros cambios de formas y detalles sin apartarse del espíritu y alcance del invento.

20

La presente solicitud, que corresponde a la presentada en los Estados Unidos de América, el 16 de Septiembre de 1965, bajo el número 487.887, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

25



N O T A

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

- 5 1.- Un dispositivo de almacenamiento en serie mejorado para almacenar y reproducir información en forma de serie de impulsos, caracterizado por una anchura de banda de señal de entrada y una anchura de banda de señal de salida que excede de la capacidad del medio utilizado con finalidades de almacenamiento, incluyendo tal
- 10 sistema de almacenamiento líneas de retardo primera y segunda, un primer circuito de coincidencia conectado a un extremo de dicha primera línea de retardo, un segundo circuito de coincidencia conectado a un extremo de dicha segunda línea de retardo, un primer circuito disyuntivo conectado a dichos circuitos de coincidencia primero y segundo, una fuente de información dispuesta en forma de impulsos en serie, estando conectada dicha fuente de información a dicho primer circuito disyuntivo, un tercer
- 15 circuito de coincidencia conectado al otro extremo de dicha primera línea de retardo, un cuarto circuito de coincidencia conectado al otro extremo de dicha segunda línea de retardo, un segundo circuito disyuntivo, estando conectados dichos circuitos de coincidencia tercero y cuarto a
- 20 dicho segundo circuito disyuntivo, un quinto circuito de
- 25

22 JUN 1967



coincidencia conectado entre dichos circuitos disyuntivos primero y segundo, un dispositivo de carga conectado a dicho segundo circuito disyuntivo, un reloj que proporciona una fuente de impulsos de control, medios que conectan impulsos de reloj alternados a dichos circuitos de coincidencia primero y tercero, para controlar de este modo el tiempo en el que son accionados dichos circuitos de coincidencia primero y tercero, medios que conectan los impulsos de reloj restantes a dichos circuitos de coincidencia segundo y cuarto, para controlar de este modo el tiempo en el que son accionados dichos circuitos de coincidencia segundo y cuarto, y medios de control conectados a dicho circuito de coincidencia quinto que excitan dicho circuito de coincidencia quinto para permitir que las señales suministradas a dicho dispositivo de carga sean recirculadas desde la salida a la entrada de dichas líneas de retardo primera y segunda, sirviendo dichos medios de control para desactivar dicho circuito de coincidencia quinto e impedir la reentrada en dichas líneas de retardo primera y segunda de señales suministradas a dicho dispositivo de carga siempre que se hagan entrar nuevas señales de información a dichas líneas de retardo primera y segunda.

2.- Un dispositivo de almacenamiento en serie mejorado para almacenar y reproducir información en forma de serie de impulsos, que tiene una anchura de banda de señal de entrada y una anchura de banda de señal de salida que excede de la capacidad del medio utilizado con propósitos de almacenamiento, que comprende una pluralidad de registros de almacenamiento en serie de recirculación,



una fuente de información dispuesta en forma de impulsos en serie, medios acoplados entre dicha fuente y dichos registros para transmitir en forma distributiva impulsos de información a sucesivos de dichos registros en una sucesión periódica sucesiva de posiciones de almacenamiento escalonadas, y medios acoplados a dichos registros para muestrear sucesivamente los impulsos de información almacenados en la citada sucesión de posiciones de almacenamiento escalonadas y para producir una salida de tren de impulsos en serie correspondientes a los impulsos de información muestreados.

3.- Un dispositivo según la reivindicación 2, en el que los registros de almacenamiento en serie de recirculación son líneas de retardo que tienen extremos de entrada y de salida, medios de realimentación dispuestos entre los extremos de entrada y salida, mediante los que pueden hacerse recircular los impulsos de información, y medios de control dispuestos en dichos medios de realimentación para impedir la recirculación de dichos impulsos de información desde la salida a la entrada de dichas líneas de retardo siempre que se hacen entrar nuevos impulsos de información en dichas líneas de retardo.

4.- Un dispositivo de almacenamiento en serie mejorado para almacenar y reproducir información en forma de serie de impulsos, que incluye N líneas de retardo, - donde N es un número entero cualquiera, medios de entrada de datos que reciben señales de datos a un régimen F, medios conmutadores conectados entre los medios de entrada de datos y un extremo de cada una de las N líneas de retardo que funcionan al régimen F y suministran las señales



de datos en sucesión a un extremo de las N líneas de re-
tardo sucesivamente, un dispositivo de carga, medios -
conmutadores de salida acoplados entre el dispositivo de
carga y el otro extremo de las N líneas de retardo que
5 funcionan al régimen F y mezclan las señales de datos de
las N líneas de retardo recogién^{do}las sucesivamente de
cada una de las N líneas de retardo sucesivamente, median^{te}
te lo que las señales de datos suministradas al régimen
F a los medios de entrada de datos son pasados por cada
10 una de las N líneas de retardo al régimen F/N y son sumi-
nistradas al dispositivo de carga al régimen F.

5.- Un dispositivo según la reivindicación
4, que incluye además un circuito de realimentación conec-
tado entre el conmutador de salida y los medios de entra-
15 da de datos, mediante lo que las señales de datos suminis-
tradas a las N líneas de retardo son almacenadas recir-
culando a su través.

6.- Un dispositivo de almacenamiento en se-
rie mejorado para almacenar y reproducir información en
20 forma de serie de impulsos, que incluye dos líneas de re-
tardo, medios de entrada de datos que reciben señales de
datos a un régimen F, medios conmutadores conectados en-
tre los medios de entrada de datos y un extremo de cada
una de las dos líneas de retardo que funcionan al régi-
25 men F y suministran señales de datos alternativas a dicho
primer extremo de una de las líneas de retardo y las se-
ñales de datos restantes a dicho primer extremo de la -
otra línea de retardo, un dispositivo de carga, medios
conmutadores de salida acoplados entre el dispositivo de
30 carga y el otro extremo de las dos líneas de retardo que



funcionan al régimen F y mezclan las señales de datos de las dos líneas de retardo recogién^{do}las alternativamente desde dichos segundos extremos de cada una de las dos líneas de retardo, con lo que las señales de datos
5 suministradas al régimen F a los medios de entrada de datos son pasadas por cada una de las dos líneas de retardo al régimen F/2 y son suministradas al dispositivo de carga al régimen F.

7.- Un dispositivo según la reivindicación
10 6, que incluye además un circuito de realimentación conectado entre el conmutador de salida y los medios de entrada de datos, con lo que las señales de datos suministradas a las dos líneas de retardo son almacenadas recirculando a su través.

15 8.- Un dispositivo de almacenamiento en serie mejorado para almacenar y reproducir información en forma de serie de impulsos, que incluye dos líneas de retardo, primeros medios que incluyen una fuente de señales de información que distribuye señales de información
20 sucesiva y cíclicamente a dichas dos líneas de retardo en un extremo de dichas líneas de retardo, y segundos medios acoplados al extremo opuesto de dichas dos líneas de retardo que muestrean sucesiva y cíclicamente las señales de información almacenadas en ellas.

25 9.- Un dispositivo de almacenamiento en serie mejorado para almacenar y reproducir información en forma de serie de impulsos.

Tal y como se ha descrito en la Memoria que antecede, representado en el dibujo que se acompaña y
30 para los fines que se han especificado.



Esta Memoria consta de dieciséis hojas escritas a máquina por una sola cara.

22 JUN 1967

Madrid,

Alberto de
Alberto de
por



23 OCT 1961

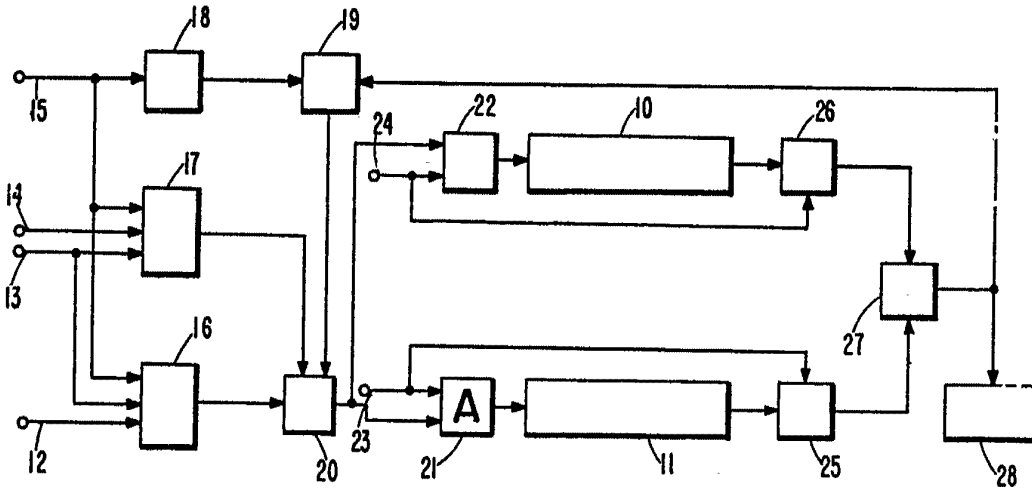


FIG. 1

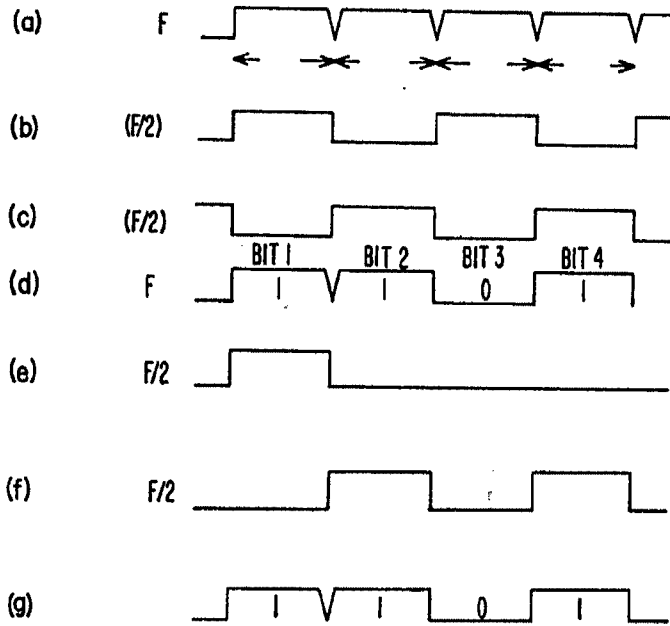


FIG. 2



Albert E. ...
[Handwritten signature]