

351206

A.E.J. Chatelon 17



MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "DECODIFICADOR NO LINEAL", A NOMBRE DE
STANDARD ELECTRICA. S.A.. CON DOMICILIO EN MADRID.
CALLE DE RAMIREZ DE PRADO Nº. 5

El presente invento trata de un decodificador no lineal para convertir un número binario en una cantidad analógica.

Un decodificador no lineal de digital a analógico puede emplearse, por una parte, como un codificador-expansor y, por otra
5 parte, como un codificador-reductor, obteniéndose la codificación por el método de comparación mediante realimentación.

Se recordará que la codificación por realimentación consiste en comparar el valor analógico que representa un número almacenado en un registro, con la señal que se va a codificar, permitiendo
10 esto determinar si el número es demasiado grande o demasiado pequeño. En el primer caso, este número es reducido; en el segundo caso, es incrementado. Estas operaciones de comparación se realizan hasta el momento en que los voltajes comparados no se diferencien a lo sumo en el valor de un escalón de paso de cuantización.

15 Cuando el decodificador empleado es no lineal la codifica-

./..



ción se realiza de acuerdo con una curva característica no lineal. Ya que se puede emplear el mismo decodificador para codificar y decodificar, la reducción y expansión características son entonces perfectamente complementarias si el mencionado decodificador presenta características reproducibles.

Se conocen decodificadores no lineales que hacen uso de una red de resistencias y que permiten obtener una característica hiperbólica. Estas resistencias, cuyos valores extremos están en la relación 2^n , deben conmutarse de acuerdo con el valor del número que ha de codificarse. Pero se sabe que toda resistencia presenta una determinada reactancia que depende de su propio valor. Si la frecuencia de conmutación es alta, el efecto de esta reactancia llega a ser importante y el valor de la correspondiente impedancia compleja depende del número que va a decodificarse. Ocurre, por tanto, que un decodificador que presente resistencias con valores tan diferentes difícilmente puede ofrecer un buen acabado y no puede presentar una alta precisión. Además, cuando se emplea un conmutador electrónico para probar la señal que se va a codificar, dicho conmutador presenta, en el caso de que sea conductor, una resistencia serie (resistencia de saturación tratándose de un transistor) que no es despreciable con respecto a las resistencias de pequeño valor del circuito y que introduce una nueva fuente de errores.

Para salvar las dificultades en la obtención de una característica no lineal continua, la patente francesa N. 1 357 668 depositada por el Autor con fecha 4 de Febrero de 1963, (M.L. Avignon - A.Y. Le Maout 1.1) y titulada: "Decodificador no lineal", ha descrito un decodificador perfeccionado de tal forma que su curva característica está formada por una serie de trozos de rectas de distintas pendientes; estas pendientes pueden elegirse de tal modo que sean, por ejemplo, aproximadamente tangentes a una curva logarítmica.



El funcionamiento de este decodificador se recordará rápidamente admitiendo que los números • códigos, que se le aplican comprenden $n = 7$ dígitos y que las tensiones correspondientes a los códigos cero y $2^n - 1$ son respectivamente iguales a 0 y E_d , estando localizados los códigos $2^{n-1} - 1$ y 2^{n-1} a ambos lados de la tensión $\frac{E_d}{2}$ que caracteriza el valor medio de la señal en el caso en que los códigos representen tensiones alternas. Cada una de estas clases de tensión de amplitud $\frac{E_d}{2}$ está dividida en tres zonas de codificación C1, C2, C3 a las cuales corresponden, respectivamente, 32, 16 y 16 códigos y donde los valores de los escalones de cuantización son diferentes. Así, en la zona C, que corresponde a los voltajes más bajos en valor absoluto a ambos lados del origen, el valor de su escalón es igual a V . En la zona C2, es igual a 8 V y en la zona C3 es igual a 64 V. Se define así una curva característica, constituida por seis segmentos, cuyas pendientes son proporcionales a los diferentes valores de los escalones de cuantización.

Para obtener el voltaje analógico correspondiente a un código dado, se determina primeramente la zona a la que pertenece, realizándose fácilmente esta operación al decodificar sus tres dígitos más significativos, ya que cada zona comprende un número de códigos igual a una potencia entera de 2. La señal de zona así obtenida se emplea, por una parte, para lograr una tensión base o pedestal igual a la tensión que corresponde al código máximo de la zona inmediatamente precedente, y, por otra parte, para obtener una tensión complementaria que represente la posición del código en la zona a la que pertenece; siendo obtenida esta tensión decodificando linealmente los dígitos menos significativos con una medida o ponderación correspondiente al valor del escalón de cuantización en la zona. Estas dos tensiones se suman entonces a fin de obtener la tensión analógica correspondiente al código.



En un sistema de transmisión que emplee este circuito, para codificación por realimentación y decodificación, se observa un notable aumento del nivel de distorsión en la conexión entre las zonas adyacentes. Evidentemente, la distorsión es tanto más importante. 80 cuanto mayores son los cocientes entre las pendientes consecutivas de la curva de reducción, esto es, cuanto menor es el número de zonas.

Para obtener completa ventaja de la reducción es necesario "suavizar" la curva característica, o sea, incrementar el número 85 de pendientes. Se observará que si es necesario trazar una curva característica discontinua en la que los cocientes entre las pendientes consecutivas sean todos iguales, la envolvente de esta curva es una auténtica función logarítmica.

El objeto del presente invento es pues desarrollar un de- 90 codificador con una característica discontinua que presente valores de baja distorsión cuando se emplea para la codificación mediante realimentación y para la decodificación de señales de baja frecuencia.

El actual invento se describirá en particular haciendo 95 referencia a las figuras anexas, en las cuales:

- la figura 1 muestra un cierto número de símbolos empleados en la figura 3,
- la figura 2 representa la curva característica de un decodificador de acuerdo con el invento,
- 100 - la figura 3 contiene el diagrama detallado de este decodificador,
- la figura 4 representa la misma curva característica que la de la figura 2, con una escala no lineal en el eje de abscisas,
- la figura 5 muestra el circuito de operación de las señales de control de las tensiones complementarias.

105 Antes de comenzar la descripción del invento recordaremos



brevemente la nomenclatura del álgebra lógica que se empleará en algunos casos a fin de simplificar la escritura en la descripción de las operaciones lógicas. El tema se trata extensamente en numerosos escritos y en particular en "Diseño lógico de ordenadores digitales" de M. Phister (Editor, J. Wiley).

Así pues, si se representa por A una condición caracterizada por la presencia de una señal, la condición caracterizada por la ausencia de la citada señal vendrá representada por \bar{A} . Estas dos condiciones están ligadas por la conocida relación lógica $A \times \bar{A} = 0$, en la cual el signo "X" es el símbolo de la función lógica de coincidencia o función "AND" (1).

Si la condición C tiene lugar solamente en el caso en que ocurran simultáneamente las condiciones A y B , podemos escribir $A \times B = C$ y esta función puede desarrollarse por medio de una coincidencia o circuito AND.

Si la condición C tiene lugar cuando está presente al menos una de las condiciones E ó F , tendremos, $E + F = C$ y esta función se obtiene por medio de una entrada mezcladora o circuito OR (2).

Ya que estas funciones lógicas AND y OR tienen las propiedades conmutativa, asociativa y distributiva, podemos escribir:

$$A + B = B + A;$$

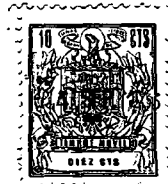
$$A \times (B + C) = A \times B + A \times C;$$

$$(A + B) (C + D) = A \times C + A \times D + B \times C + B \times D; \text{ etc...}$$

Finalmente, una función de dos variables A y B puede presentar cuatro posibles combinaciones y, si escribimos $A \times B$, las

(1) Nota del Traductor: Preferimos no traducir la palabra AND ya que en España se ha introducido así en Técnica de Sistemas de Ordenadores.

(2) Nota del Traductor: La misma observación que en (1), párrafo anterior.



otras tres combinaciones se representan globalmente mediante la expresión $\overline{A \times B}$.

- Especificaremos también, por lo que se refiere a la figura 1, el significado de algunos símbolos particulares empleados en el dibujo que acompaña a la descripción del invento. Así:
- la figura 1 (a) representa un simple circuito AND,
 - la figura 1 (b) muestra un simple circuito OR,
 - la figura 1 (c) representa un circuito biestable o "flip-flop" al cual se aplica una señal de control a través de uno de sus terminales de entrada 92-1 ó 92-0 a fin de llevarlo al estado 1 o volverlo al estado 0. Existe una tensión de la misma polaridad que la de la señal de control en la salida 93-1 cuando el flip-flop está en el estado 1 o en la salida 93-0 cuando está en el estado 0. Si el flip-flop se representa por B1, la condición lógica que caracteriza el hecho de que está en el estado 1 se escribirá B1 y la que caracteriza el hecho de que está en el estado 0, se anotará $\overline{B1}$,
 - la figura 1 (d) representa un grupo de varios conductores, diez en el ejemplo considerado,
 - la figura 1 (e) representa un decodificador que, en el caso del ejemplo, transforma un grupo de código binario de 4 dígitos aplicado al grupo de conductores 94a en una salida de 16 códigos de tal forma que una señal aparece solamente sobre uno de los 16 conductores 94b para cada uno de los grupos de código aplicados a la entrada,
 - la figura 1 (f) representa un generador de corriente alimentado por una fuente de tensión ϵV . Este generador que es disparado por una señal de control aplicada a su terminal de entrada 94c, proporciona una corriente constante de amplitud I en la resistencia R de valor muy bajo comparado con la impedancia interna del citado generador.



Los generadores mostrados en la figura 3 no llevan referencia pero se comprende que pueden llevarla en forma clara mediante sus señales de control.

Se determinará por una expresión particular la posición de un dígito dado en un grupo de código binario, y por la extensión, la posición del flip-flop, en un contador o registro que almacena dicho dígito. Diremos por tanto, que el dígito más significativo de un grupo de código, es el "dígito de orden 1", siendo el dígito significativo próximo el "dígito de orden 2", etc... Se observará que esta anotación es independiente del código utilizado que puede ponderarse o no.

La figura 2 representa la curva característica $e = f(N)$ del decodificador según el invento, diseñada para hacer corresponder a N códigos con 4 dígitos por lo menos, tensiones cuyo valor medio, en caso de tensiones sinusoidales, es igual a $\frac{E_d}{2}$ y cuya amplitud de pico es igual a $\frac{E_d}{2} - \frac{E_d}{2}$.

Los códigos formados por los 4 dígitos más significativos se han escrito entre paréntesis en el eje de ordenadas N'IN, y la zona de voltajes decodificados que se extiende desde 0 voltios hasta E_d se ha representado en el eje de abscisas OIe.

Esta curva característica es discontinua pues está formada por una sucesión de trazos de línea recta de diferentes pendientes. Es simétrica con respecto al punto I y presenta, en el primero y tercer cuadrantes, 7 zonas de codificación, siendo igual a 2 los cocientes entre las pendientes de las zonas contiguas en cada uno de estos cuadrantes, como puede verse en el cuadro I adjunto. En dicho cuadro la columna 1 está asignada a las zonas C1 a C7, la columna 2 a la pendiente en cada una de estas zonas (en voltios por código), la columna 3 al número de códigos por zona, la columna 4 al número de pasos o escalones de cuantización de unidad V en cada zona, y la



columna 5 a la fracción del margen de voltaje $\frac{Ed}{2}$ ocupado por cada zona.

En la figura 2 las zonas de codificación relativas a los códigos cuyo dígito de orden 1 es 0 han sido designadas por C'1 a C'7 y las referentes a los códigos para los cuales este dígito es 1 lo han sido por C"1 a C"7. Ya que la curva característica es simétrica con respecto al origen I de coordenadas se comprende que la zona C1, por ejemplo, del cuadro I corresponde a las zonas C'1 a C"1 de la figura 2. El trazado de la curva característica en cada uno de los cuadrantes que ocupa puede deducirse fácilmente de las indicaciones dadas en la columna 5 del cuadro 1.

- Cuadro I -

| Zonas | Pendiente | Nr. de códigos | Nr. de pasos o escalones de cuantización en la zona | Fracción de $\frac{Ed}{2}$ |
|------------------------------------|-----------|----------------|---|----------------------------|
| C1 | V | 16 | 16 | $\frac{1}{64}$ |
| C2 | 2 V | 8 | 16 | $\frac{1}{64}$ |
| C3 | 4 V | 8 | 32 | $\frac{1}{32}$ |
| C4 | 8 V | 8 | 64 | $\frac{1}{16}$ |
| C5 | 16 V | 8 | 128 | $\frac{1}{8}$ |
| C6 | 32 V | 8 | 256 | $\frac{1}{4}$ |
| C7 | 64 V | 8 | 512 | $\frac{1}{2}$ |
| Nr. total de pasos de cuantización | | | 1.024 | |

La figura 3 representa el diagrama general del decodificador según el invento que comprende: el registro RG con los flip-flops B1 a B7 para el almacenamiento de códigos con n = 7 dígitos, el decodificador de zona ZD, el generador de señales PC, el generador de señales complementarias LD y el circuito WR para promediar y sumar que suministra en su salida X, un voltaje que caracteriza el valor del código almacenado en el registro RG.



Las salidas de los flip-flops B1 a B4 se aplican al decodificador de zona que tiene las 21 salidas siguientes:

- C'1 a C'7 y C"1 a C"7 que caracterizan las zonas definidas por los dígitos de orden 1 a 4, como se representa en la figura 2,
- 230 - C1 a C7 que caracterizan las zonas homólogas de las 2 partes de la curva característica tal como se definen en la columna 1 del cuadro I.

El objeto de los generadores PC y LD es suministrar al circuito WR las señales de control que caracterizan respectivamente
235 la tensión mínima decodificada de cada zona de codificación y la posición de código en la zona.

El circuito WR para promediar y sumar lleva un atenuador en escalón alimentado por generadores de corriente cuyo modo de funcionamiento, muy conocido, se ha descrito en la patente anteriormente
240 te mencionada.

Ya que las resistencias terminales shunt de este generador tienen un valor R, eligiendo valores 2R y R respectivamente para las otras resistencias serie y shunt, se obtiene un atenuador con una impedancia característica $\frac{2R}{3}$ que proporciona una atenuación de
245 2 por oelda.

De aquí resulta que si la corriente I se aplica en el punto Q₀, aparece una tensión $V_x = \frac{2RI}{3}$ entre el punto X y tierra y si el punto de toma de tensión se desplaza hacia la izquierda de la figura, el voltaje V_x decrece cada vez según una relación de 2. Se
250 ve pues que el cociente de atenuación es una potencia negativa de dos cuyo exponente viene dado por el dígito asociado a la letra de referencia del punto de toma de tensión. De esta forma si se aplica una corriente en el punto Q₂ genera una tensión atenuada según la relación $2^{-2} = \frac{1}{4}$ con respecto a la misma corriente aplicada en el punto
255 to Q₀.



Además, si se aplican en un punto dado corrientes suministradas por 2 generadores idénticos de resistencia interna grande con respecto a la impedancia característica, las corrientes se suman y la tensión de salida es el doble.

260 El método usado para la elección de las tensiones de pedestal se estudiará en primer lugar haciendo referencia a la figura 4. Esta figura representa la misma curva característica que la de la figura 2, pero está trazada empleando una escala no lineal en el eje de abscisas. Los valores de abscisas correspondientes a los cambios
265 de zona se muestran entre paréntesis y se ve que la escala empleada permite asignar la misma longitud, en el eje de abscisas, para cada zona de codificación.

Los voltajes de decodificación correspondientes a los códigos de la zona C'7 se encuentran entre el voltaje 0 para el código
270 cuya equivalencia decimal es 0 y $512 V - 16 V = 486 V$ para el código cuya equivalencia decimal es 7. Estos son voltajes complementarios obtenidos como se verá más adelante bajo el control de la señal suministrada por el circuito ID.

Para el código cuyo equivalente decimal es 8 y que pertenece como los códigos siguientes 9 a 15 - a la zona C'6, estas tensiones son reemplazadas por una tensión pedestal $U'o = 512 V$ que es
275 igual a la tensión complementaria que caracteriza al código 7 más un escalón de cuantización. Para los códigos 9 a 15 se suman a esta tensión $U'o$ tensiones complementarias de amplitud proporcional a la posición del código en la zona C'6 y al valor del escalón de cuantización de esta zona.
280

En cada cambio de zona, la operación se verifica en forma análoga, hasta la zona C'1 cuyo pedestal está formado por la suma de las tensiones $U'o, U'1, U'2, U'3, U'4, U'5$ respectivamente iguales
285 a 512 V, 256 V, 128 V, 64 V, 32 V y 16 V.



El cuadro II adjunto representa las diferentes tensiones de pedestal empleadas. Comprende las líneas 1, 2, 3 reservadas respectivamente para los valores de la tensión - dados en escalones de cuantización -, para la referencia de las tensiones y para la referencia del generador de corriente puesto en funcionamiento en el circuito WR.

Este cuadro comprende también las columnas a y b asignadas respectivamente a las 14 zonas de codificación y a los 4 dígitos más significativos de los códigos que caracterizan dichas zonas.

En este cuadro, los generadores puestos en funcionamiento para las diferentes zonas se representan por cruces situadas en los puntos de concurrencia de las correspondientes líneas y columnas.

- Cuadro II -

| | | | | | | | | | | | | | | | | | |
|-----|---|----------------------|-----|-----|-----|-----|-----|-----|------|------|------|------|------|------|------|------|------|
| 300 | 1 | Ponderación | 512 | 256 | 128 | 64 | 32 | 16 | 32 | 64 | 128 | 256 | 512 | | | | |
| | 2 | Zona de codificación | U'0 | U'1 | U'2 | U'3 | U'4 | U'5 | U''4 | U''3 | U''2 | U''1 | U''0 | | | | |
| | 3 | Zona | B1 | B2 | B3 | B4 | P'0 | P'1 | P'2 | P'3 | P'4 | P'5 | P''4 | P''3 | P''2 | P''1 | P''0 |
| | | C'7 | 0 | 0 | 0 | 0 | | | | | | | | | | | |
| | | C'6 | 0 | 0 | 0 | 1 | x | | | | | | | | | | |
| 305 | | C'5 | 0 | 0 | 1 | 0 | x | x | | | | | | | | | |
| | | C'4 | 0 | 0 | 1 | 1 | x | x | x | | | | | | | | |
| | | C'3 | 0 | 1 | 0 | 0 | x | x | x | x | | | | | | | |
| | | C'2 | 0 | 1 | 0 | 1 | x | x | x | x | x | | | | | | |
| | | C'1 | 0 | 1 | 1 | 0 | x | x | x | x | x | x | | | | | |
| | | C''1 | 1 | 0 | 0 | 0 | x | x | x | x | x | | x | | | | |
| 310 | | C''2 | 1 | 0 | 1 | 0 | x | x | x | x | x | x | x | | | | |
| | | C''3 | 1 | 0 | 1 | 1 | x | x | x | x | x | | | x | | | |
| | | C''4 | 1 | 1 | 0 | 0 | x | x | x | x | | | | | x | | |
| | | C''5 | 1 | 1 | 0 | 1 | x | x | x | | | | | | | x | |
| 315 | | C''6 | 1 | 1 | 1 | 0 | x | x | | | | | | | | | x |



| | | | | | | | | | | | | | |
|----------------|---|---|---|---|---|---|---|---|---|---|---|---|---|
| C ⁷ | 1 | 1 | 1 | 1 | x | x | x | x | x | x | x | x | x |
| a | | b | | | | | | | | | | | |

Como se ha visto previamente, el pedestal para la zona C¹ está formado por la suma de las tensiones U⁰ a U⁵.

Para obtener el pedestal de la próxima zona C¹ se puede sumar una tensión de amplitud igual a 16 V al pedestal de la zona C¹ y así sucesivamente hasta obtener para la zona C⁷ la suma de 13 tensiones.

Si embargo, el número de componentes empleadas se incrementaría de esta forma inútilmente. Ya que se necesita principalmente conservar una exactitud relativamente constante, las tensiones de pedestal para las zonas C¹ a C⁷ se eligen de un modo particular.

Así por ejemplo, el pedestal de la zona C¹ se obtiene sumando las tensiones de U⁰ a U⁴ más una tensión U⁴ de amplitud 32V. Los restantes pedestales empleados para las zonas C² a C⁷ se obtienen en forma análoga como puede verse en el cuadro II y figura 4. Se ha realizado esta última figura para mostrar cómo se suman las tensiones de pedestal y, si se observa, por ejemplo, la línea de puntos que termina en la referencia C⁴ escrita en la columna C a la izquierda de la figura, se ve que el pedestal de esta zona se obtiene sumando las tensiones U⁰, U¹, U² y U².

El circuito PC suministra, según las indicaciones dadas en el cuadro II, un determinado número de señales para el control de los generadores en el circuito WR.

Las condiciones lógicas de obtención de estas señales se deducen inmediatamente del cuadro II. Así por ejemplo, se observa que la señal P⁰, empleada para el disparo del generador que lleva la misma referencia debe aparecer cuando está en el estado 1 por lo menos uno de los flip-flops B₁ a B₄, a saber:



$$P'o = B1 + B2 + B3 + B4.$$

Análogamente, la señal P'4 debe aparecer para la condición:

$$P'4 = C1 + C2 + C''3 + C''7.$$

350 El cuadro III adjunto proporciona todas las condiciones lógicas que tienen lugar en el generador PC.

- Cuadro III -

| Señal de control | Condiciones lógicas |
|------------------|----------------------------------|
| 355 P5a | : C'1 + C''2 |
| P'4 | : C1 + C2 + C''3 + C''7 |
| P''4a | : C''7 + C''1 + C''2 |
| P'3 | : P'4 + P'3a (P'3a = C'3 + C''4) |
| P''3a | : C''3 |
| P'2 | : P'3 + C'4 + C''5 |
| P''2a | : C''4 |
| 360 P'1 | : B2 + B3 + B4 |
| P''1a | : C''5 |
| P'o | : B1 + B2 + B3 + B4 |
| P''o | : C''6 + C''7 |

365 Cuando una referencia como P5 va seguida de un índice a ó b, significa que el generador P5 puede ser controlado, a través de un circuito OR, bien por una señal P5a o por una señal P5b, siendo suministrada esta señal por un circuito LD cuyo modo de funcionamiento estudiaremos seguidamente.

370 Como se ha visto previamente, el objeto de este circuito es suministrar al circuito WR señales de control para los generadores de corriente a fin de obtener una tensión complementaria que caracterice la posición del código en la zona, sumándose esta tensión - en el atenuador de escalón - a la tensión de pedestal.

375 Para la zona C''1 el valor del escalón de cuantización es V y se observará que la tensión complementaria se obtiene decodifi-



cando los flip-flops B4 a B7 ya que esta zona comprende 16 códigos mientras que la tensión complementaria relativa a las otras zonas que comprenden solamente 8 códigos es suministrada decodificando los flip-flops B5 a B7. En esta zona C"1, el código 2^{n-1} (condición lógica: $\overline{B4} \times \overline{B5} \times \overline{B6} \times \overline{B7}$) controla la generación de la tensión de pedestal $U'o + \dots + U'4 + U''4$. El próximo código $2^{n-1}+1$ (condición lógica: $\overline{B4} + \overline{B5} + \overline{B6} + \overline{B7}$) debe controlar la formación de una tensión complementaria V, la del código $2^{n-1}+2$, la formación de una tensión complementaria $2V$ etc... Puesto que $\frac{V}{512V} = 2^{-9}$, el código $2^{n-1}+1$ disparará un generador conectado al punto P9, el código $2^{n-1}+2$ hará lo mismo con el generador conectado al punto P8 etc...

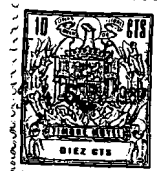
En la zona C"2, el valor del escalón unidad es de $2V$ de tal forma que la condición lógica $\overline{B5} \times \overline{B6} \times \overline{B7}$ controla la formación de una tensión complementaria $2V$, la condición $\overline{B5} \times \overline{B6} \times \overline{B7}$ controla a su vez la formación de una tensión $4V$ etc... Ya que $\frac{2V}{512V} = 2^{-8}$ la primera de estas condiciones disparará un generador conectado al punto P8 etc...

La figura 5 y el cuadro IV que sigue a continuación se refieren al modo de obtención de señales de control de tensiones complementarias.

La figura 5 representa una parte del circuito LD que recibe las señales C1 a C7, B4 a B7, que comprende 22 circuitos AND en una disposición matricial y suministra las 22 señales de salida representadas en la parte derecha de la misma.

Para simplificar la figura los circuitos AND no llevan referencia aunque se entiende que llevan la misma que las señales de salida.

Los dígitos con referencia F" de las señales de salida tienen un significado preciso: así por ejemplo, el primer dígito del 1 al 7 caracteriza la zona para la que aparece esta señal y el segun-



do dígito del 4 al 7 determina el orden del flip-flop que ha controlado la generación de la señal cuando pasa al estado 1.

Por consiguiente, en la zona Cⁿ1, la condición $\overline{B5} \times \overline{B6} \times B7$ (código 2^{n-1}) no controla la generación de ninguna señal; la condición $\overline{B5} \times \overline{B6} \times B7$ (código $2^{n-1}+1$) controla la generación de la señal F 17; la condición $\overline{B5} \times \overline{B6} \times \overline{B7}$ induce la generación de la señal F 16 etc...

- Cuadro IV -

| Punto de inyección | Q9 | Q8 | Q7 | Q6 | Q5 | Q4 | Q3 | Q2 | Q1 |
|--------------------|----|-----|-----|-----|-----|-------------------|-------------------|-------------------|-------------------|
| Ponderación | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 | 256 |
| Zonas | C1 | F17 | F16 | F15 | F14 | | | | |
| | C2 | | F27 | F26 | F25 | | | | |
| | C3 | | | F37 | F36 | F35 | | | |
| | C4 | | | | F47 | F46 | F45 | | |
| | C5 | | | | | F57 | F56 | F55 | |
| | C6 | | | | | | F67 | F66 | F65 |
| | C7 | | | | | | | F77 | F76 |
| Señal de control | P9 | P8 | P7 | P6 | P5b | P ⁿ 4b | P ⁿ 3b | P ⁿ 2b | P ⁿ 1b |

El cuadro IV presenta una clasificación de estas señales F de acuerdo con las zonas a las que pertenecen los códigos y con los puntos de aplicación de la corriente controlados por estas señales. La última línea presenta la referencia de la señal de control formada por la suma, en los circuitos OR, de las señales F halladas en la misma columna, estando acoplados estos circuitos OR en el circuito LD.

Se tiene así, por ejemplo:

$$P9 = F17$$

$$P8 = F16 + F27$$

$$P7 = F15 + F26 + F37$$

./..



⋮
P"1b = F75.

Las señales de control que aparecen en la columna izquierda del cuadro III y en la línea inferior del cuadro IV se aplican, en el circuito WR (figura 3), a las entradas de control de los generadores de corriente. A cada uno de los puntos Q₀, Q₁, Q₂, Q₃, Q₄ se conectan dos generadores, siendo controlado el primero de ellos por una señal cuya referencia va seguida del signo (') y el segundo por una señal cuya referencia está seguida del signo ("). Además algunos de estos generadores están controlados por un circuito OR de doble entrada. Este caso ocurre cuando dos señales escritas en los cuadros III o IV llevan, por una parte, el dígito de la misma referencia - significando esto que controlan la aplicación de la corriente en el mismo punto del atenuador - y por otra parte, presentan diferentes letras minúsculas a y b. Esto se observará en el hecho de que estas dos señales no pueden aparecer simultáneamente: así por ejemplo, la señal P"3a se obtiene para la zona C"3, y la señal P"3b lo es para una de las zonas C5, C6, C7.

Se ha demostrado en la patente anteriormente mencionada, que si el último generador puesto en funcionamiento se reemplazaba, en el paso de la zona C'1 a la zona C"1, por un generador conectado al punto de inyección o aplicación de índice inferior, se presentaba una distorsión de amplitud para la señal de decodificación juntamente con una amplificación del ruido. Así, en el decodificador que acabamos de describir, el generador P5 se reemplaza por el generador P"4 en el paso a través del punto I de la característica.

Para salvar este inconveniente, es posible, según una alternativa del invento, emplear un generador adicional P"5 que suministre en el punto de inyección Q5 y que reciba una señal solamente cuando el decodificador ZD suministre una señal C"1. En este caso,



el generador P5 debe también dispararse para la condición C"1, de tal forma que las tres primeras líneas del cuadro III se sustituyen por las cuatro líneas del cuadro V, que se presenta a continuación.

- Cuadro V -

470

| Señal de control | Condiciones lógicas |
|------------------|---------------------|
| P5a | C1 + C"2 |
| P"5 | C"1 |
| P'4 | C1 + C2 + C"3 + C"7 |
| P"4a | C"2 + C"7 |

475

Si bien se han descrito los principios del anterior invento juntamente con ampliaciones específicas y modificaciones particulares del mismo, ha de quedar muy claro que esta descripción se ha realizado a vía de ejemplo y no como una limitación del objeto del invento.

480

El presente invento corresponde a una solicitud de patente formulada en Francia el día 15 de Septiembre de 1965 con el nº. FV 31509 y se acoge, por tanto, a los Convenios Internacionales vigentes.

----- N O T A -----

485

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

490

- 1 - Un decodificador no lineal para la traducción de grupos de código de 7 dígitos en el sistema binario a tensiones comprendidas entre 0 y Ed Volts comprendiendo:
 - elementos de almacenamiento constituidos por un registro de 7 dígitos donde se almacenan los grupos de códigos que han de ser decodificados,
 - elementos de decodificación que comprenden un decodificador de zona



495

que entrega señales de zona según el valor del número constituido por los 3 ó 4 dígitos más significativos del grupo de código,

- elementos para la generación de señales de control de pedestal según la zona a la que pertenece el grupo de código,

- elementos para generar señales de control de posición de acuerdo

500

con la zona a que pertenece dicho grupo de código y con la posición del referido grupo de código en la mencionada zona,

- elementos para ponderar y sumar comprendiendo un atenuador de escalón de 10 celdas donde se inyectan las corrientes suministradas por una pluralidad de generadores de corriente,

505

- elementos lógicos que reciben las señales de control de pedestal y posición y suministran las señales de activación a los generadores de corriente.

2 - Un decodificador no lineal según la reivindicación 1 que comprende un decodificador de zona que entrega 14 señales de zona

510

C'1, C'2 ... C'7 y C"1, C"2 ... C"7 según el valor del número constituido por los 3 ó 4 dígitos más significativos del grupo de código.

La señal C'7 es producida para el número 0000; la señal C'6, lo es para el número 0001; la señal C'5, para 0010 y así sucesivamente, la señal C'1, para 010, C"1 para 100, C"2 para 1010, C"3 para 1011 etc..

515

El dígito de la izquierda de cada uno de los números mencionados es el dígito más significativo del grupo de código. Las zonas comprendidas entre C'1 y C' corresponden a tensiones negativas y las zonas entre C"1 y C"7 a tensiones positivas. Los códigos que pertenecen a las

mencionadas zonas son decodificados respectivamente en tensiones inferiores y superiores a $\frac{E_d}{2}$.

520

Cada una de las distribuciones de dicha tensión se divide en 1024 escalones o pasos de cuantización unitaria de valor V; el escalón de cuantización de la primera zona (zonas C'1 y C"1) es igual a V, el de la segunda zona es igual a $2^1.V$, el de la tercera zona $2^2.V$, etc...



525

3 - Un decodificador no lineal según reivindicaciones 1 y 2 con elementos para generar señales de control de pedestal. Dichos elementos incluyen un circuito decodificador con matriz, con 14 terminales de entrada a los que se aplican las 14 señales de zona suministradas por el decodificador de zona y 11 terminales de salida; dichos terminales de entrada y salida son interconectados de tal forma, que se obtiene una señal P'0 de control de pedestal para todas las zonas excepto la zona C'7; una señal de control de pedestal P'1 se obtiene para todas las zonas excepto las zonas C'7, C'6, etc...; para las zonas C'1 y C'2 se obtiene una señal P'5 de control de pedestal; una señal de control de pedestal P'4 se obtiene para las zonas C''1, C''2, C''7; para la zona 3 se obtiene la señal de control de pedestal P''3; las señales P''2 y P''1 se obtienen respectivamente para las zonas C''4 y C''5 y la señal P''0 se obtiene para las zonas C''6 y C''7.

530

535

540

545

550

4 - Un decodificador no lineal según las reivindicaciones 1 a 3 con elementos para generar señales de control de posición. Estos elementos incluyen un circuito lógico que recibe como señales de entrada las señales de zona y la salida 1 de los 4 ó 3 biestables menos significativos del registro o biestables números 7, 6, 5, 4; el primero de estos es el menos significativo. Dicho circuito lógico está diseñado de tal forma que: primero, en el momento en que el biestable número 7 se encuentra en el estado 1 se produce una señal P9, P8, P7, P6, P5, P''4, P''3 cuando el grupo de código pertenece respectivamente a la zona 1ª, 2ª ... 7ª. Segundo, si el biestable número 6 se encuentra en el estado 1 se produce una señal P8, P7 ... P''3, P''2 cuando el grupo de código pertenece respectivamente a la zona 1ª, 2ª ... 7ª; tercero, si el biestable número 5 está en el estado 1 se produce una señal P7, P6 ... P''2, P''1 cuando el grupo de código pertenece respectivamente a la zona 1ª, 2ª ... 7ª; y cuarto, cuando el biestable número 4 está en el estado 1 se origina una señal P6 cuando el



555 grupo de código pertenece a la primera zona.

5 - Un decodificador no lineal según las reivindicaciones 1 a 3 que comprende en primer lugar un atenuador de escalón de 10 celdas con una pérdida por inserción de 2 por celda, el cual suministra en su terminal de salida una tensión igual a 512 V cuando se inyecta una corriente unitaria en dicho terminal o en el punto de inyección número 0, una tensión igual a 216 V cuando dicha corriente se aplica al próximo punto de inyección o punto número 1, etc...; comprende en segundo lugar elementos mezcladores a los que se aplican las señales de control que llevan las mismas referencias y en 565 tercer lugar 15 generadores de corriente activados respectivamente por las señales de control P⁰ y P⁴, P⁰ a P⁴ y P⁵ a P⁹. La corriente suministrada por cada uno de dichos generadores se aplica a los puntos de inyección de la red escalón que llevan el mismo número de referencia.

570 6 - Un decodificador no lineal.

Tal y como se describe en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de veinte hojas escritas por una sola cara.

Madrid, 14 SEP. 1966



M. G. Santamaría
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

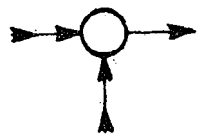


Fig.1(a)

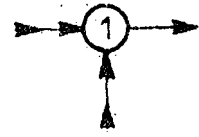


Fig.1(b)

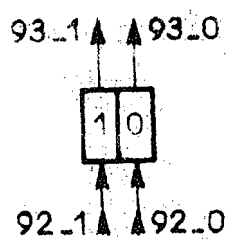


Fig.1(c)

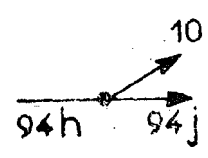


Fig.1(d)

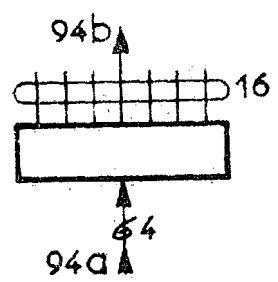


Fig.1(e)

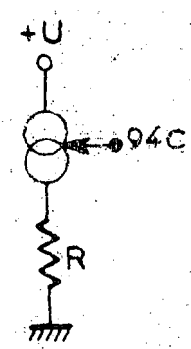


Fig.1(f)

FIG.1

14 SEP 1966



M. G. Santamaria

M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

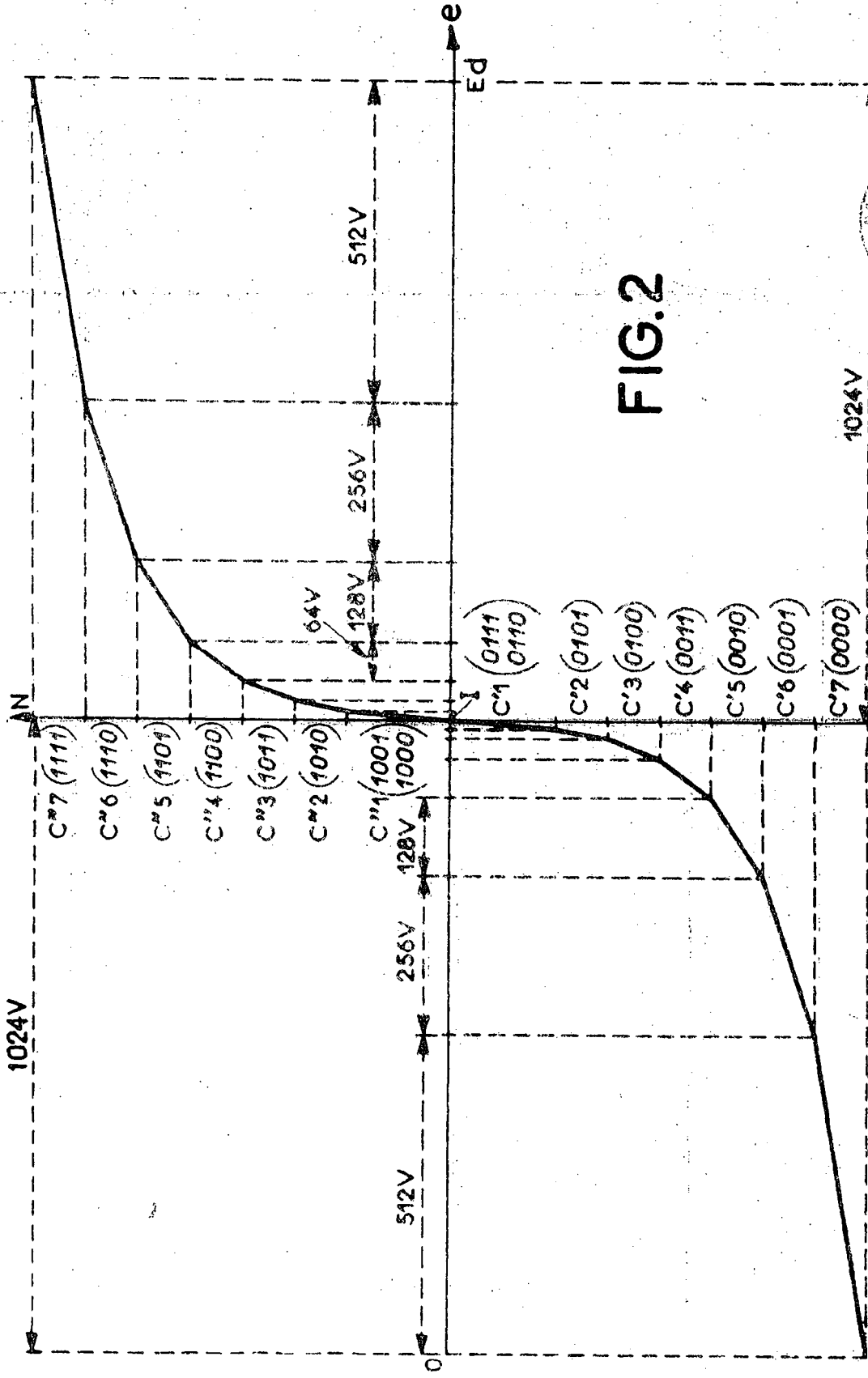


FIG.2

14 SEP 1966

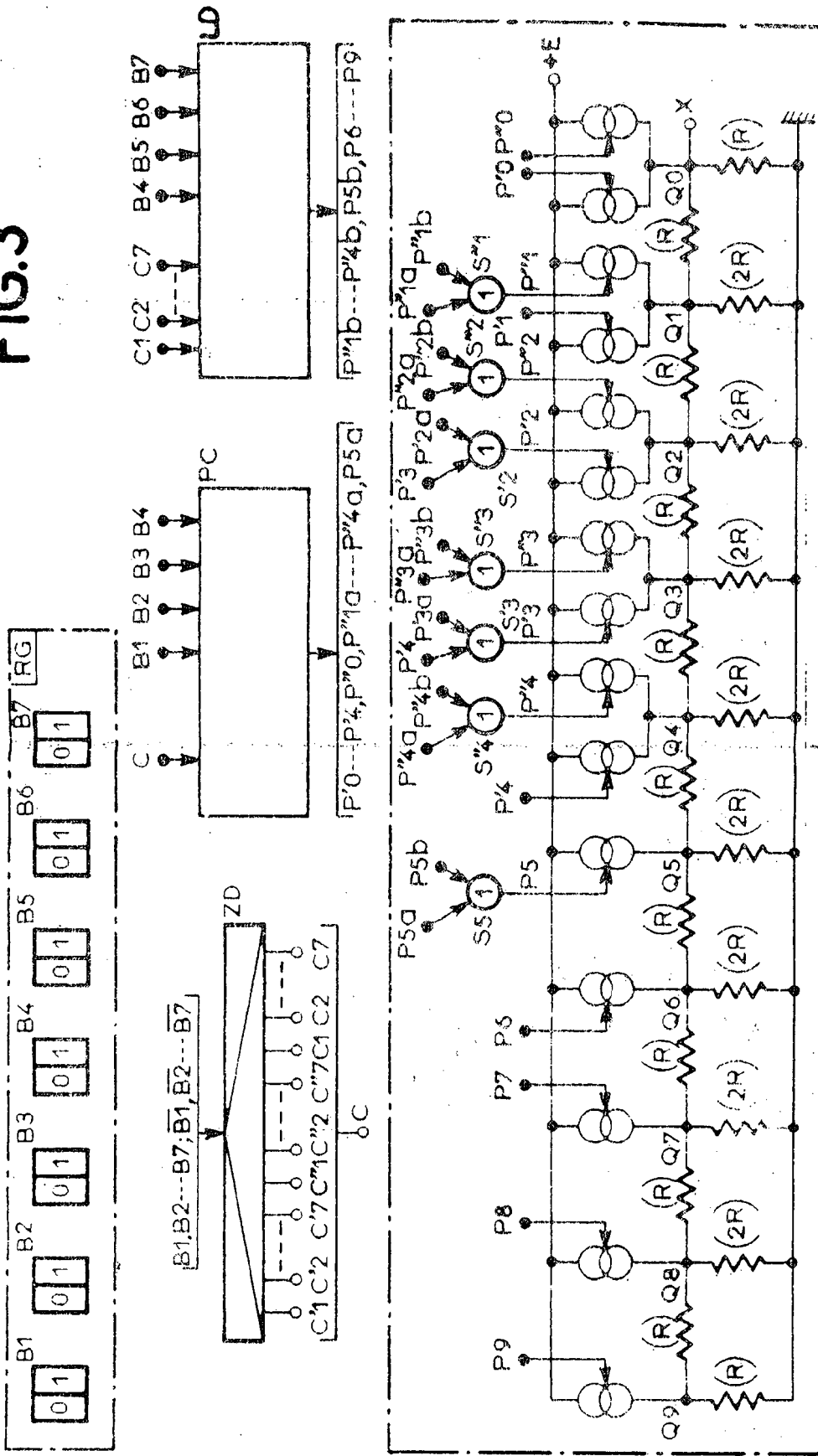


H. G. Santarria

H. G. SANTARRIA
VICESECRETARIO GENERAL



FIG. 3



14 SEP. 1966

M. G. Santamaría
 M. G. SANTAMARÍA
 VICESECRETARIO GENERAL

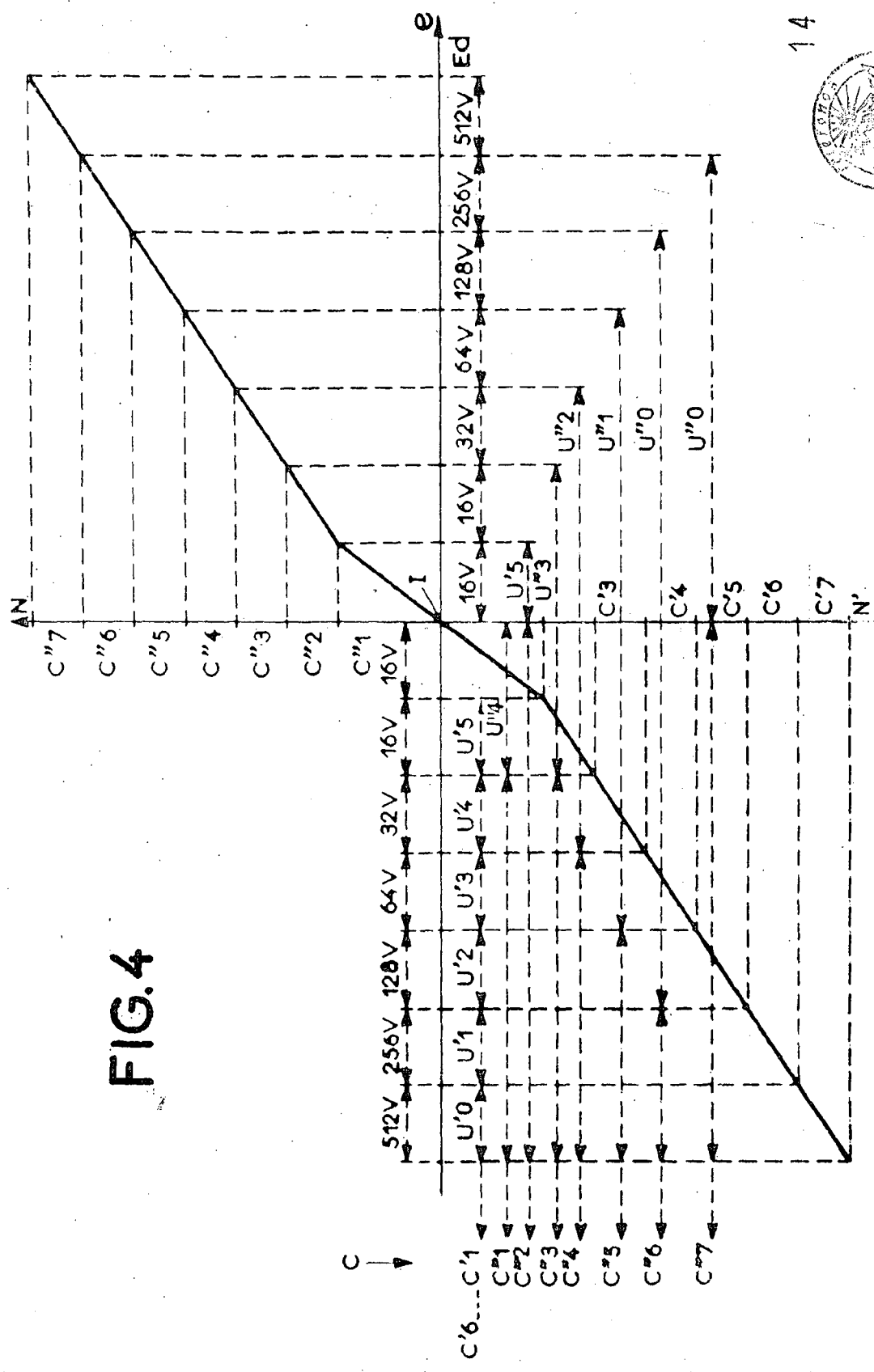
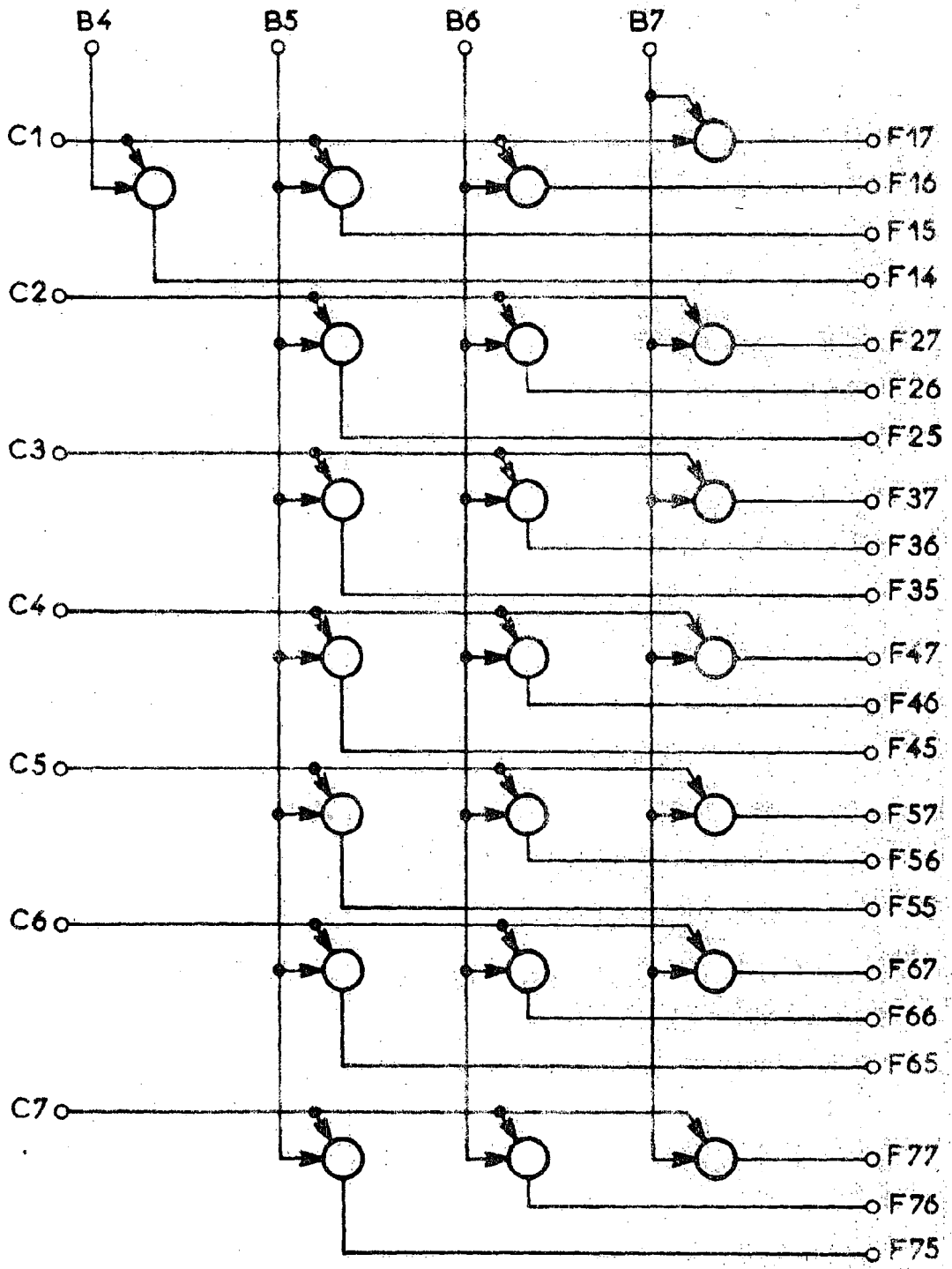


FIG. 4

14 SEP. 1966



M. G. SANTAMARIA
VICESECRETARIO GENERAL



14 SEP 1966

FIG.5



M. G. Santamaria
M. G. SANTAMARIA
VICE SECRETARIO GENERAL