

350544

PATENTE DE INVENCION

CAS D.218.



## Memoria Descriptiva

sobre:

"Perfeccionamientos en la construcción de dispositivos comparadores de números de código."

*Solicitante:* LA TELEMECANIQUE ELECTRIQUE, entidad francesa,  
residente en: 33 bis, Avenue Maréchal Joffre,  
Nanterre, FRANCIA.

=====

El presente invento tiene por objeto un dispositivo apto para efectuar, de una manera relativamente simple, la comparación de dos números de código.

Tal dispositivo encontrará por ejemplo aplicación  
5. en los sistemas de control de posición, en los cuales la



la posición que existe y la posición deseada se traducen por dos números de código, determinando el resultado de la comparación de estos dos números el orden de control de posición.

5. Para simplificar la comparación, el invento propone utilizar un código de  $n$  momentos binarios, en el cual  $n$  números sucesivos, con una base de numeración cualquiera, están representados respectivamente por  $n$  números binarios y notable por el hecho de que -
10. las "0" o los "1" progresan en un momento hacia la izquierda de un número binario al siguiente, si bien los  $n$  números binarios forman rejas cuadradas sucesivas cada una de las cuales comprende una diagonal de "0" o de "1" en uno de cuyos lados la reja no comprende más que
15. "0" o "1".

- A continuación podrá verse que existen al menos dos códigos que pertenecen a este tipo y que los comparadores respectivamente aptos para comparar dos -
20. números  $X$  e  $Y$  de código según estos dos códigos respectivos poseen la misma estructura de base.

- Según el invento, dicha estructura comprende al menos un grupo de  $n$  puertas ET que atacan en paralelo una puerta OU y son respectivamente atacadas por las señales binarias  $Y_1, Y_2 \dots Y_n$  representativas del -
25. número  $Y$ , siendo además atacadas cada una de dichas -- puertas ET, en entradas distintas por todas aquellas de las señales  $X_1, X_2 \dots X_n$  representativas del complemento del número  $X$  cuyo índice es igual o superior al de la señal  $Y$  que ataca dicha puerta.

30. Según una forma de realización preferida, di



- cho grupo de puertas ET y la puerta OU forman una estructura de doble peine con n pares de dientes, estando dispuestos los dos dientes a derecha e izquierda de los pares sucesivos a uno y a otro lado de una rama central y
5. estando las señales representativas de uno de los números de código aplicadas a los extremos libres de los n dientes de derecha (o de izquierda), en tanto que señales representativas del complemento del otro número de código son aplicadas a los extremos libres de los n --
  10. dientes de izquierda (o de derecha), comprendiendo cada uno de los dientes de izquierda (o de derecha) un diodo, o un órgano equivalente, apto para transmitir aquellas de dichas señales que se presentan con un primer nivel de potencial y bloquear aquellas de dichas señales que se presentan con un segundo nivel inferior al primero,
  15. comprendiendo cada uno de los dientes de derecha (o de izquierda) una resistencia conectada en serie con un diodo, o un órgano equivalente, polarizado en el mismo sentido que el diodo del diente de la izquierda (o de la derecha) situados uno enfrente del otro, aplicándose una señal de nivel de potencial superior al primer nivel por intermedio de una resistencia a un extremo --
  20. de dicha rama central, la cual incorpora diodos u órganos equivalentes aptos para transmitir dicho potencial hacia los referidos dientes, estando conectado un punto de dicha resistencia a un dispositivo indicador capaz de engendrar dos señales distintas según el valor del potencial de dicho punto.
  - 25.

El invento se comprenderá mejor con ayuda

30. de la descripción que sigue, con referencia al plano --



24 AGO. 1966

anexo, en el cual:

La fig. 1, representa la forma de realización preferida de un comparador que utiliza un primer código, el cual está ilustrado por la fig. 2;

5. La fig. 3, representa el esquema de principio de un dispositivo que se asocia a tres comparadores del mismo tipo que el de la fig. 1 ó figs. 4 y 5, para efectuar la comparación de dos números decimales de tres cifras.

10. Las figs. 4 y 5, consideradas en conjunto representan la forma de realización preferida de un comparador que utiliza un segundo código, el cual está ilustrado en la fig. 6; y

15. La fig. 7, es un esquema general de principio de la estructura de base del comparador según el invento.

20. En la fig. 1, se ha representado un dispositivo comparador compuesto de una cadena de diodos y de 3 palabras añadidas a la resistencia capaces de indicar el sentido de desigualdad de dos números convenientemente codificados y de un conjunto de circuitos ET capaz de indicar su igualdad.

Los circuitos de igualdad comprenden  $n$  pares de circuitos ET, siendo  $n$  el valor máximo de los números a comparar.

25. Cada circuito ET comprende tres diodos  $\underline{d}_n$ ,  $\underline{d}'_n$  y  $\underline{d}''_n$  y una resistencia  $\underline{r}_n$ , en el extremo libre de la cual se aplica una tensión negativa.

30. Un transistor  $T_1$  tiene su base conectada al hilo común de los diodos  $\underline{d}''_n$ , que forman un circuito OU, por intermedio de una resistencia  $l$ . Dicha base está unida a una fuente de tensión de + 12 voltios por intermedio de



una resistencia 2.

5. El colector del transistor  $T_1$  está unido a la base de un transistor  $T_2$  por intermedio de una resistencia 3. La base del transistor  $T_2$  está unida a una fuente de tensión + 12 voltios por intermedio de una resistencia 4. Los emisores de los dos transistores van unidos a la masa, en tanto que sus colectores van unidos a una fuente de tensión de -36 voltios, por intermedio de resistencias 5 y 6 respectivamente.

10. A continuación se supone que los dos números X e Y a comparar están codificados según el código - representado en la fig. 2, en el cual el número X = 1 se representa por un "1" precedido de cuatro "0", el número 2 por una "0" precedido de un "1", precedido de tres "0", etc.

15. Es evidente que este código está gobernado por dos leyes:

20. Primeramente, para representar números decimales que no excedan de un valor máximo n (tomado, en el conjunto no limitativo de la fig. 2, igual a 5), se dan n momentos del código (en la práctica, es evidente que en la mayoría de los casos se tomará n = 9, y que se asociarán - décadas de comparadores, como podrá verse a continuación).

25. En segundo lugar, cada número está representado por un "1" acompañado de (n - 1) ceros y, de un número al siguiente, la posición del "1" se desvía una línea hacia la izquierda o hacia la derecha (según que se tome el código representado en la fig. 2 o su complemento obtenido reemplazando las "0" por "1", y viceversa). El "1" progresa de alguna forma a lo largo de una diagonal de una reja cuadrada.

30.



Los números X e Y a comparar se materializan por tanto cada uno por n señales eléctricas  $X_1 \dots X_n$  o  $Y_1 \dots Y_n$ , una sola de las cuales toma el valor "1" y corresponde por ejemplo a un potencial de - 36 voltios, tomando todas las otras el valor "0" y correspondiendo por ejemplo a un potencial de 10 voltios.

Un par de señales X e Y del mismo índice se aplica a cada uno de los circuitos ET de igualdad. Si existe igualdad entre X e Y, y solamente en este caso, uno de los pares  $X_n Y_n$  proporcionará la igualdad, lo que se traducirá por la presencia de "1" a la salida del circuito ET correspondiente, por ende del circuito OU, o sea por el desbloqueo de T. La caída de tensión en la resistencia del colector 5 implica en tal caso la presencia de una tensión nula en el punto E, de donde resulta el bloqueo de  $T_2$  y la presencia de una tensión negativa (señal "1") en el punto F. La presencia de la señal 1 en F significa pues la igualdad y la presencia de la señal 0 la desigualdad de X y de Y.

La "cadena de desigualdad" comprende diodos  $D_1 \dots D_n$  sobre cuyo ánodo se aplican las señales complementarias  $X_1 \dots X_n$  de las señales significativas de X. Estos diodos están conectados en serie con resistencias  $R_1 \dots R_n$ , a su vez en serie con diodos  $D'_1 \dots D'_n$  sobre cuyo cátodo se aplican las señales  $Y_1 \dots Y_n$  significativas de Y. Sean  $A_1 \dots A_n$  los puntos comunes al diodo  $D_n$  y a la resistencia  $R_n$  de los dobles escalones "horizontales" sucesivos así formados.

Estos puntos están conectados entre sí por diodos  $D''_1 \dots D''_{n-1}$ . Por intermedio de una resistencia 7, el punto "superior"  $A_n$  está conectado a la base de un transistor  $T_3$ . Esta base se conecta a una fuente de + 12 voltios por inter



medio de una resistencia 8, y al punto F por intermedio de una resistencia 9.

El colector  $T_3$  va unido a la base de un transistor  $T_4$  por intermedio de una resistencia 10.

- 5. La base de  $T_4$  está unida a una fuente de + 12 voltios por intermedio de una resistencia 11, y al punto F por intermedio de una resistencia 12.

- 10. Los emisores  $T_3$  y  $T_4$  van unidos a la masa, en tanto que sus colectores están conectados a una fuente de - 36 voltios por intermedio de las resistencias 13 y 14 respectivamente.

Se supone ante todo, para facilitar la explicación del funcionamiento de esta cadena de desigualdad, que  $X = 1$  e  $Y = 3$ .

- 15. O bien:

$$X_1 = 1 \text{ y } X_2 = X_3 = \dots X_n = 0; \text{ de donde } X = 0 \text{ y } X_2 = X_n = 1; Y_1 = Y_2 = Y_4 = \dots Y_n = 0 \text{ e } Y_3 = 1.$$

- 20. Está claro en este caso que los escalones de la izquierda, a excepción del primero, sólo pueden estar bloqueados, en tanto que todos los escalones de la derecha pueden estar libres.

- 25. De hecho, sólo la tercera fase de la derecha va a estar libre, toda vez que va a imponer una tensión negativa de valor absoluto inferior a 36 voltios en los puntos  $A_n$  para los cuales  $n \geq 3$ . En estas condiciones,  $T_3$  será desbloqueado, por ende  $T_4$  bloqueado y la señal de desigualdad que significa  $Y > X$  aparecerá en el punto H.

- 30. Si, conservando a Y el valor 3, se dá igualmente a X el valor 3, los terceros escalones de la derecha y de la izquierda son ambos susceptibles de con-



- ducin, pero se establece una corriente entre  $X_3$  al potencial 0 voltios y la  $Y_3$  al potencial -36 voltios, de donde resulta que el potencial en  $A_3$  es de 0 voltios a la caída de tensión salvo por lo que se refiere al
5. diodo  $D_3$ . De ello resulta que el potencial en  $A_n$  será ligeramente positivo, si bien la cadena de desigualdad daría, si estuviera sola, la respuesta  $X > Y$ . Pero de hecho, los circuitos de igualdad envían la señal 1 a las bases de los dos transistores, que suministran entonces ambos la señal 0, respectivamente en H y en G.
- 10.

- Si ahora, conservando a Y el valor 3, se da a X un valor superior a 3, por ejemplo 5, se va a establecer una corriente desde el potencial + 12 - voltios hacia el punto  $Y_3$  de potencial - 36 voltios al
15. tercer escalón a la derecha. De ello resulta en  $A_3$  un potencial negativo que se encontrará de nuevo en  $A_5$  a causa del sentido de conducción de los diodos de la rama central. Pero en el quinto escalón a la izquierda, el potencial aplicado es de 0 voltios, directamente -
20. por el diodo  $D_5$ , sin resistencia. Va a haber por tanto una superposición simultánea de una corriente que circula de  $X_5$  hacia  $Y_3$ , cuyo resultado será el establecimiento de un potencial ligeramente positivo en  $A_5$  (caída de tensión debida a la resistencia interna de  $D_5$ ).
25. Siendo favorable el sentido de conducción, este potencial positivo se encuentra de nuevo en  $A_n$  y el transistor  $T_3$  queda bloqueado. La señal 1 aparece entonces en G, que significa que  $X > Y$ .

- Se observa en definitiva que el escalón
30. más elevado sometido a una tensión diferente de la de



los otros escalones (derecha o izquierda) impone su potencial. Debido a que la izquierda se trata de un potencial 0, por cuanto se han establecido las señales X, si bien en la derecha se trata de un potencial 1, se recoge

- 5. finalmente el punto alto  $A_{11}$  un potencial positivo o negativo que acciona los transistores  $T_3$  y  $T_4$  los cuales desempeñan la misión de relés de desigualdad. Estos transistores - podrían evidentemente reemplazarse por cualquier otro - tipo apropiado de dispositivo que pueda desempeñar la -
- 10. misión de relé de desigualdad, es decir, transformar los potenciales positivo y negativo en dos señales indicativas de desigualdad de signos contrarios.

Vamos ahora a examinar, con referencia a la fig. 3, como se efectúa la comparación de dos números decimales de tres cifras.

- 15. Basta para ello disponer de tres comparadores del tipo representado en la fig. 1, que comprende - cada uno 10 dobles escalones correspondientes a las cifras 0 a 9. Uno de estos comparadores suministra una de las tres señales  $X_c = Y_c$  (igualdad de las cifras de las centenas de los dos números X e Y a comparar)  $X_c > Y_c$  o  $X_c < Y_c$ . Otro suministra una de las tres señales  $X_d = Y_d$ ,  $X_d > Y_d$  o  $X_d < Y_d$  (decenas) y la tercera, una de las tres señales  $X_u = Y_u$ ,  $X_u > Y_u$  o  $X_u < Y_u$  (unidades). Las
- 20. 9 señales designadas anteriormente se aplican simultáneamente al conjunto de la fig. 3, que comprende 5 puertas ET ( $E_1$  a  $E_5$ ) y 2 puertas OU ( $O_1$  y  $O_2$ ).
- 25. Se ve por el ejemplo que la señal de desigualdad  $X > Y$  se obtiene cuando se tiene

30.  $X_c > Y_c$ , o  $X_c = Y_c$  y  $X_d > Y_d$  o  $X_c = Y_c$  y  $X_d = Y_d$  y  $X_u > Y_u$ .



Es evidente que puede generalizarse el principio de este comparador a un número cualquiera de cualquier base.

Va a mostrarse ahora, con referencia a las figs.

5. 4 y 5, que deben ser consideradas conjuntamente, los puntos designados por las referencias  $CH_1$  en las dos figs. deben conectarse entre sí y, asimismo, los puntos  $CH_2$ ,  $CH_3$  y  $CH_4$  que el comparador del invento puede realizarse igualmente con una estructura del mismo género - para comparar números traducidos en el código binario progresivo representando en la fig. 6 para los 10 primeros números.

Este código binario, como el de la fig. 2, se ajusta a la definición general dada al comienzo del presente texto. Más precisamente, posee las propiedades siguientes:

15. - n números sucesivos se representan respectivamente por n nombres binario de  $\frac{n}{2}$  cifras que forman 2 rejillas cuadradas sucesivas.
20. - una de las diagonales de la primera rejilla no comprende más que "0" a la izquierda de esta diagonal; la segunda rejilla comprende los valores complementarios de la primera.

El código de la fig. 6 se distingue además del de la fig. 2 por la particularidad siguiente:

25. - cada rejilla no comprende más que "0" en un lado de dicha diagonal, y "1" en el otro lado,
- el código está "cerrado", comprendiendo obligatoriamente un número par de números de código,
- un número no siempre se representa por el mismo número binario en este código. Por ejemplo, si el
- 30.



código representa 10 números, 10 está representado por 10.000, en tanto que está representado por 0111 111 111 si el código representa 20 números.

5. Cada una de las cadenas  $CH_1$  a  $CH_4$  representadas en la fig. 4 posee una estructura idéntica a la "cadena de desigualdad" de la fig. 1, es decir, que comprende en el ejemplo no limitativo descrito cinco pares de dientes situados uno en frente del otro que forman, con una rama central que los une, un doble peine. Los dientes de la izquierda comprenden cada uno un diodo apto para transmitir la señal "0" (0 voltios) y para bloquear la señal "1" (- 36 voltios).

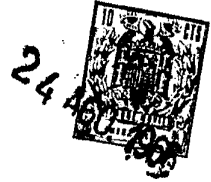
10. Los dientes de la derecha comprenden cada uno una resistencia, en serie con un diodo apto para bloquear la señal "0" y para transmitir la señal "1".

15. La rama central comprende un diodo por par de dientes, apto para transmitir un potencial superior al nivel "0" (+ 12 voltios por ejemplo) en el extremo marcado CH por intermedio de elementos de impedancia que se especificará más adelante.

20. Para mayor claridad de la exposición, se señalará cada "diente" por la designación de la señal que se le aplique, designación que se ha indicado en el plano. Como puede observarse, los pares de dientes de idéntico nivel de las cadenas  $CH_1$  y  $CH_4$  por una parte, y  $CH_2$  y  $CH_3$  por otra parte, están conectados en paralelo, pero, mientras los diodos de  $CH_1$  son pasantes del nivel 1 hacia el nivel 5, los diodos de  $CH_4$  son pasantes del nivel 5 hacia el nivel 1. Así mismo los diodos de  $CH_3$  son pasantes del nivel 1 hacia el nivel 5, en tanto que los diodos

25.

30.



de  $CH_2$  son pasantes del nivel 5 hacia el nivel 1.

La fig. 5 muestra que el potencial de + 12 voltios se aplica al punto  $CH_1$  por intermedio de resistencias 15 y 16, de un diodo que es parte de un circuito OU de tres entradas y de una puerta ET de dos entradas una de las cuales es  $CH_1$ , recibiendo la otra de ellas  $Y_5$ .

5.

Esta puerta ET constituye una de las tres ramas de dicha puerta OU, cuyas dos otras ramas son:

10.

- una puerta ET a cuyas entradas se aplican  $X_5$  e  $\bar{Y}_5$ ,

- una puerta ET en una entrada de la cual se aplica  $X_5$ , estando conectada la otra entrada al punto  $CH_3$ .

15.

El punto común a las resistencias 15 y 16 está conectado a la base de un transistor  $T_5$  cuyo emisor está conectado al potencial 0 voltios, y el colector conectado al - 36 voltios por una resistencia 28 y a la base de un transistor  $T_6$  por intermedio de una resistencia 17.

20.

La base del transistor  $T_6$  recibe el + 12 voltios por intermedio de una resistencia 19, su emisor está en el potencial 0 y su colector está conectado al - 36 voltios por una resistencia 29.

25.

Una segunda puerta OU posee dos ramas constituidas de la manera siguiente:

- una puerta ET en una entrada de la cual está conectado el punto  $CH_4$  y en la otra entrada se aplica  $Y_5$ ,

30.



- un diodo, en serie con una resistencia, a la cual va conectado el punto CH<sub>2</sub>.

Una resistencia 20 conecta la salida de la -  
puerta OU a la base de un transistor T<sub>7</sub>. Dicha base recibe  
5. + 12 voltios por intermedio de una resistencia 21. El colector  
del transistor T<sub>7</sub> va conectado a la base de un transis-  
tor T<sub>8</sub> por intermedio de una resistencia 18.

La base del transistor T<sub>8</sub> recibe + 12 vol-  
tios por intermedio de una resistencia 22.

10. Los emisores de los transistores T<sub>7</sub> y T<sub>8</sub> re-  
ciben 0 voltios. Los colectores de los transistores T<sub>7</sub> y T<sub>8</sub>  
están respectivamente conectados a los - 36 voltios por las  
resistencias 26 y 27.

El punto I del colector del transistor T<sub>8</sub> y  
15. el punto J del colector del transistor T<sub>8</sub> están respecti-  
vamente conectados por resistencias 23 y 24 a la base de un  
transistor T<sub>9</sub>. Dicha base está, por otra parte conectada al  
+ 12 voltios por una resistencia 31, en tanto que en el emiso  
r del transistor T<sub>9</sub> está conectado al 0 voltios, y su co  
20. lector a los - 36 voltios por una resistencia 30.

Describiremos ahora el funcionamiento del  
comparador representado en las figs. 4 y 5 considerando el  
caso en que X = 3 e Y = 1.

En este caso puede demostrarse, razonando co  
25. mo en el caso del comparador de la fig. 1, que la cadena CH<sub>1</sub>  
aplica una señal negativa al punto CH<sub>1</sub>.

El funcionamiento de la cadena CH<sub>1</sub> puede ana-  
lizarse en este caso como sigue:

Si se consideran, a partir del punto CH<sub>1</sub>,  
los escalones sucesivos formados por un par "dientes" del



doble peine que constituye la cadena, el primer escalón recibe dos señales "1" y, funcionando como una puerta ET, entrega una señal negativa en su salida  $CH_1$ .

5. Ninguno de los escalones superiores impide en funcionamiento de esta puerta ET. En efecto no puede transmitirse una señal "0" que existe en un diente de la izquierda por el diodo correspondiente a la rama central de la cadena, cuyo ánodo está sometido a un potencial negativo.
10. Es fácil de demostrar que la cadena  $CH_1$  se comporta así en todos los casos, es decir, que entrega una señal negativa si existe coincidencia de señales "1" en uno al menos de los escalones, a condición de que no exista ninguna señal "0" en un diente de la izquierda del nivel inferior a este escalón. También puede expresarse esta condición diciendo que el efecto de la coincidencia queda anulado por la presencia de una señal "0" en un diente de izquierda de la cadena situado "más allá" de la puerta ET donde tiene lugar la coincidencia.
15. El examen de todas las comparaciones posibles muestran que finalmente, fuera de los casos de excepción que serán examinados más adelante, con las cadenas representadas en la fig. 4 se obtiene siempre una señal negativa en una sola de las cadenas en caso de desigualdad de X y de Y. Si  $X < Y$  es la cadena  $CH_1$  o la cadena  $CH_3$  la que entrega una señal negativa, según que X esté comprendida entre 1 y 5 o entre 5 y 10. Si  $X > Y$ , es la cadena  $CH_2$  o la cadena  $CH_4$  la que entrega una señal negativa, según que X esté comprendido entre 1 y 5 o entre 6 y 10. De ello
20. resulta que una señal negativa aparece en el punto 1 o en
- 25.
- 30.



el punto J, según que  $X \succ Y$  o que  $Y \succ X$ .

De hecho, un examen más profundo demuestra que este enunciado no se verifica salvo por lo que se refiere a ciertas excepciones. Estas excepciones son las siguientes:

- 5. 1ª) Cuando todas la informaciones  $X_n$  o  $\bar{X}_n$  (aplicadas al lado del diodo solo o lado "izquierdo") valen "1", es decir para  $\bar{X} = 1$  y  $X = \frac{n}{2} + 1$  (siendo n el número de los números del código).
- 10. 2ª) En ciertos casos, cuando se hace una comparación entre dos números que pertenecen a dos rejillas diferentes del código.
- 15. 3ª) En el caso en que todas las informaciones  $Y_n$  (aplicadas al lado derecho) son "0", es decir, para  $X = 1$ , tomándose el número  $\bar{X}$  en la otra mitad del código ( $X \succ \frac{n}{2}$ ).

Para eliminar los errores que resultan de los dos primeros casos, se han asociado, a las salidas de las cadenas  $CH_1$ ,  $CH_3$  y  $CH_4$ , ciertas señales que valen "1" o "0" para la totalidad de cada rejilla del código, es decir, respectivamente

- $CH_1$  con  $\bar{Y}_5$
- $CH_3$  con  $\bar{Y}_5$
- $CH_4$  con  $\bar{Y}_5$  (fig. 5)

- 25. Para obtener un funcionamiento en el tercer caso, en el que las cadenas  $CH_1$  y  $CH_3$  no suministran ninguna información significativa, es decir, cuando  $X \succ Y$ , se ha añadido un circuito ET a la entrada del circuito OU de control del elemento que indica este resultado. Este circuito ET de dos entradas, recibe  $X \frac{n}{2}$  e  $\bar{Y} \frac{n}{2}$ .
- 30.



En el caso del código de la fig. 6, se ha asociado (fig. 5.)  $X_5$  a  $\bar{Y}_5$ .

Es fácil demostrar que las puertas ET así previstas en la fig. 5 permiten eliminar los errores que pudieran producirse en los casos de excepción previstos.

Finalmente, aplicándose las señales desconocidas de código X e Y a las cadenas y a las puertas del comparador, normalmente, una de las cadenas suministran una señal que se transmite a la salida del circuito OU correspondiente, es decir, a una de las resistencias 16 o 20.

En el tercer caso de excepción previsto anteriormente, las cadenas no proporcionan ninguna señal significativa, si-no que es la puerta ( $X_5 - \bar{Y}_5$ ) la que suministra una señal.

De ello resulta, en todos los casos de desigualdad, que uno de los transistores  $T_6$  y  $T_8$  entrega una señal que indica así el sentido de la desigualdad.

En caso de igualdad de los números X e Y, los transistores  $T_6$  y  $T_8$  transmiten dos señales "0" al transistor  $T_9$ , lo que tiene por efecto engendrar una señal "1" indicativa de igualdad en el punto I.

Mostraremos ahora, con referencia a la fig. 7, que la estructura de base de doble peine común a los dispositivos de las figuras 1 y 4 es, conforme a un esquema de circuito lógico más general, apto para desempeñar la misma función. Los diferentes elementos (puertas ET y OU) de este esquema lógico podrían realizarse con ayuda de diodos y de resistencias dispuestas según la manera clásica, sin salir del marco del presente invento, pero la estructura de doble peine constituye sin embargo



una forma de ejecución precedida y particularmente simple.

El esquema lógico de la fig. 7 se refiere a un cooperador apto para utilizar el código de la fig. 2, con  $n = 5$ .

5. Comprende puertas ET designadas por  $A_1$  a  $A_5$ , que atacan en paralelo una puerta OU designada por  $O_a$ .

En serie con esta se hallan conectadas una puerta PAS designadas por  $N_a$ , una puerta OU designada por  $O_b$  y una puerta PAS designada por  $N_b$ .

10. Observese que las puertas ET correspondientes a los niveles sucesivos 1 a 5 son atacadas por una parte por las señales respectivas  $Y_1$  a  $Y_5$ ; por otra parte, cada puerta ET atacada por la señal  $Y_p$  (siendo  $p$  un número entero que toma los valores de 1 a 5) es atacada además por las señales  $\bar{X}_p, \bar{X}_{p+1} \dots \bar{X}_n$ .

15. Es fácil ver que tal estructura, asociado a la puerta  $O_a$  es, desde el punto de vista de su funcionamiento, equivalente a la estructura de doble peine de la fig. 1, puesto que uno cualquiera  $p$  de sus escalones y por lo tanto finalmente la propia estructura entrega una señal "1" cuando  $\bar{X}_p = Y_p = 1$  a condición de que ninguna de las señales  $\bar{X}$  de nivel superior a  $p$  sea nula.

20. Dicho de otro modo, la igualdad a 1 comprobada de las dos señales  $\bar{X}$  e  $Y$  a cierto nivel no implica la entrega de una señal "1" más que si su efecto es anulado - por la presencia de una señal  $\bar{X}$  nula más allá de este nivel.

De este modo puede resumirse el funcionamiento de la cadena de desigualdad del comparador de la fig. 1.

25. Para completar el comparador según la fig. 1, es preciso añadir una entrada EG a la puerta  $O_a$ , de forma
- 30.



que entregue una señal 1 en caso de igualdad entre X e Y.

La puerta  $N_a$  sirve de inversor, es decir, que entrega una señal "0" al punto G cuando  $O_a$  entrega una señal "1", por tanto cuando  $X < Y$ . La puerta  $N_b$  entrega entonces una señal "1".

5.

Cuando  $X > Y$ , la puerta  $N_a$  entrega una señal "1", en tanto que la puerta  $N_b$  entrega una señal "0". Cuando  $X = Y$ , la puerta  $N_a$  entrega una señal "0"; pero la señal de igualdad EG, estando aplicada a la entrada de la  $O_b$ , la puerta  $N_b$  entrega sin embargo una señal "0".

10.

Bien entendido, debe completarse el circuito de la fig. 7 por un circuito apto para suministrar la señal de igualdad: tal circuito ha sido representado en la fig. 1 y como es muy simple es inútil dar el esquema lógico general respectivo.

15.

No se facilitará tampoco el esquema lógico general del comparador de la fig. 4. Basta indicar que comprenderá, para cada una de sus cuatro cadenas, un grupo de cinco circuitos ET asociados a un circuito OU y atacados de la misma manera que el grupo de circuitos ET de la fig. 7. Se completará, por ende, por puertas ET, OU y PAS de una manera que resultará evidente para el experto en la materia, si se examina el esquema de la fig. 5.

20.

Debe quedar bien entendido que las formas de realización descritas y representadas no son limitativas. Se podría en particular tratar de utilizar un código más simétrico que el de la fig. 6 a fin de reducir el número de los casos en los cuales las cuatro cadenas del comparador proporcionan informaciones falsas. Para ello basta modificar el código de la fig. 6 suprimiendo los números

25.

30.



que está representados únicamente por informaciones "1" o "0" (es decir, en el caso de la fig. 6, los números 1 y 6).

5. Con el código modificado, solo las cadenas  $CH_1$  y  $CH_4$ , facilitarán, en ciertos casos, informaciones erróneas y necesitarán estar asociadas, en las puertas ET, respectivamente con  $\bar{Y}_{n/2}$  e  $Y_{n/2}$ .

N O T A

10. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento se refiere a una Solicitud de Patente presentada en Francia nº PV. 29.470 de 26 de Agosto de 1965 acogiéndose por lo tanto, a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España:"
15. "PERFECCIONAMIENTOS EN LA CONSTRUCCION DE DISPOSITIVOS COMPARADORES DE NUMEROS DE CODIGO" caracterizándose por lo siguiente:
20. 1. Perfeccionamientos en la construcción de dispositivos comparadores de números de código, del tipo que sirven para indicar directamente el mayor de dos números X e Y codificados en un código binario en el cual n números sucesivos están representados respectivamente por n números binarios en los cuales los "0" y los "1" progresan en un momento hacia la izquierda de un número binario al siguiente, si bien los n números binarios forman una o varias rejas cuadradas sucesivas cada una de las cuales comprende una diagonal que no contiene más que "0" o "1", no comprendiendo cada reja más que "0" o "1" a un lado de esta diagonal, caracterizados porque com-
- 25.
- 30.

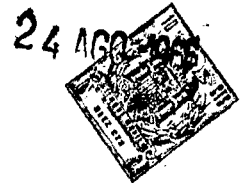


- prenden al menos un grupo de  $n$  puertas ET que atacan en paralelo una puerta OU y son respectivamente atacadas por las señales binarias  $Y_1, Y_2 \dots Y_n$  representativas del número  $Y$ , siendo además atacadas cada una de dichas puertas ET, en entradas distintas, por todas aquellas señales  $\bar{X}_1, \bar{X}_2 \dots \bar{X}_n$  representativas del complemento del número  $X$  cuyo índice es igual o superior al de la señal  $Y$  que ataca dicha puerta.
- 5.
2. Perfeccionamientos, según la reivindicación 1, caracterizados porque dicho grupo de puertas ET y la puerta OU forman una estructura de doble peine de  $n$  pares de dientes, estando dispuestos los dos dientes de derecha e izquierda de los pares sucesivos a uno y otro lado de una rama central, aplicándose señales representativas de uno de los números de código a los extremos libres de los  $n$  dientes de derecha (o de izquierda) en tanto que se aplican señales representativas del complemento del otro número de código a los extremos libres de  $n$  dientes de izquierda (o de derecha), comprendiendo cada uno de los dientes de izquierda (o derecha) un diodo, o un órgano equivalente, apto para transmitir aquellas de dichas señales que se presentan con un primer nivel de potencial y para bloquear aquellas de dichas señales que se presentan con un segundo nivel inferior al primero, comprendiendo cada uno de los dientes de derecha (o de izquierda) una resistencia conectada en serie con un diodo, o un órgano equivalente, polarizada en el mismo sentido que el diodo del diente de la izquierda (o de la derecha) situados uno enfrente del otro, aplicándose una señal de nivel de potencial superior al primer nivel, por intermedio de una resistencia, a un extremo de dicha rama central, la cual incorpora diodos, u órganos equivalentes, aptos para transmitir dicho potencial
- 10.
- 15.
- 20.
- 25.
- 30.



hacia dichos dientes, estando conectado un punto de dicha resistencia a un dispositivo indicador capaz de engendrar dos señales distintas según el valor del potencial de dicho punto.

5.                   3.- Perfeccionamientos, según la reivindicación 2, caracterizado porque el mencionado dispositivo es apto para comparar dos números de código en un código de una reja que no comprende ningún "1" (ó ningún "0") fuera de dicha diagonal y porque para realizar dicha comparación comprende una sola estructura de doble peine, asociada a un circuito apto para aplicar una señal "1" al referido punto en caso de igualdad de los dos números, comprendiendo dicho circuito un conjunto de  $n$  puertas ET que atacan en paralelo una puerta OU, teniendo cada una de estas puertas una entrada atacada por la señal  $Y_1 \dots Y_n$  de mismo índice.
- 10.
- 15.
- 4.- Perfeccionamientos, según la reivindicación 2, caracterizado porque dicho dispositivo es también apto para comparar dos números codificados en un código de dos rejas complementarias cada una de las cuales está dividida en dos partes por dicha diagonal, no conteniendo una parte más que "1", no conteniendo la otra parte más que "0", y para realizar la comparación el dispositivo comprende cuatro estructuras de doble peine, siendo atacados en paralelo los dientes de la primera y la cuarta de estas estructuras por las señales binarias  $X_1$  a  $X_{n/2}$ , a la derecha por las señales binarias  $\bar{Y}$  a  $\bar{Y}_{n/2}$ , estando dispuestas las ramas centrales de esta primera y de esta cuarta estructuras en sentido inverso, correspondiendo el extremo libre de la primera estructura al nivel de índice 1, mientras que el extremo libre de la cuarta corresponde al nivel de índice
- 20.
- 25.
- 30.



- $n/2$ , siendo atacados los dientes de la segunda y de la tercera estructuras en paralelo, a la izquierda por las señales binarias  $\bar{X}_1$  a  $\bar{X}_{n/2}$ , y a la derecha, por las señales binarias  $Y_1$  a  $Y_{n/2}$ , correspondiendo el extremo libre de la
5. tercera estructura al nivel de índice 1, en tanto que el extremo libre de la segunda corresponde al nivel de índice  $n/2$ , uniendo una primera puerta OU los extremos libres de la primera y de la tercera estructuras a una primera resistencia traída de dicho potencial de nivel superior al primer nivel, uniendo una segunda puerta OU los extremos libres de la segunda y de la cuarta estructuras a una segunda resistencia de traída de dicho potencial de nivel superior al primer nivel, teniendo cada una de las dos puertas OU varias entradas, estando constituida la
10. primera entrada de la primera puerta OU por una puerta ET a la cual se aplican las señales  $X_{n/2}$  e  $\bar{Y}_{n/2}$ , estando constituida la segunda entrada de la primera puerta OU por una puerta ET a la cual se aplica  $\bar{Y}_{n/2}$  y el extremo libre de la primera estructura, estando constituida la tercera entrada de la primera puerta OU por una
15. puerta ET a la cual se aplica  $X_{n/2}$  y el extremo libre de la tercera estructura, estando constituida la primera entrada de la segunda puerta OU por el extremo libre de la segunda estructura y estando constituida la segunda entrada de la segunda puerta OU por una puerta ET a la cual se
20. aplica  $Y_{n/2}$  y el extremo libre de la cuarta estructura.
- 25.

5.- "Perfeccionamientos en la construcción de dispositivos comparadores de números de código"; tal y como queda sustancialmente descrito en la presente

30. Memoria.



Esta Memoria consta de veintitrés hojas escritas a máquina por una sola cara.

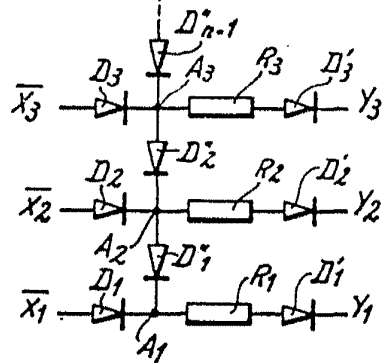
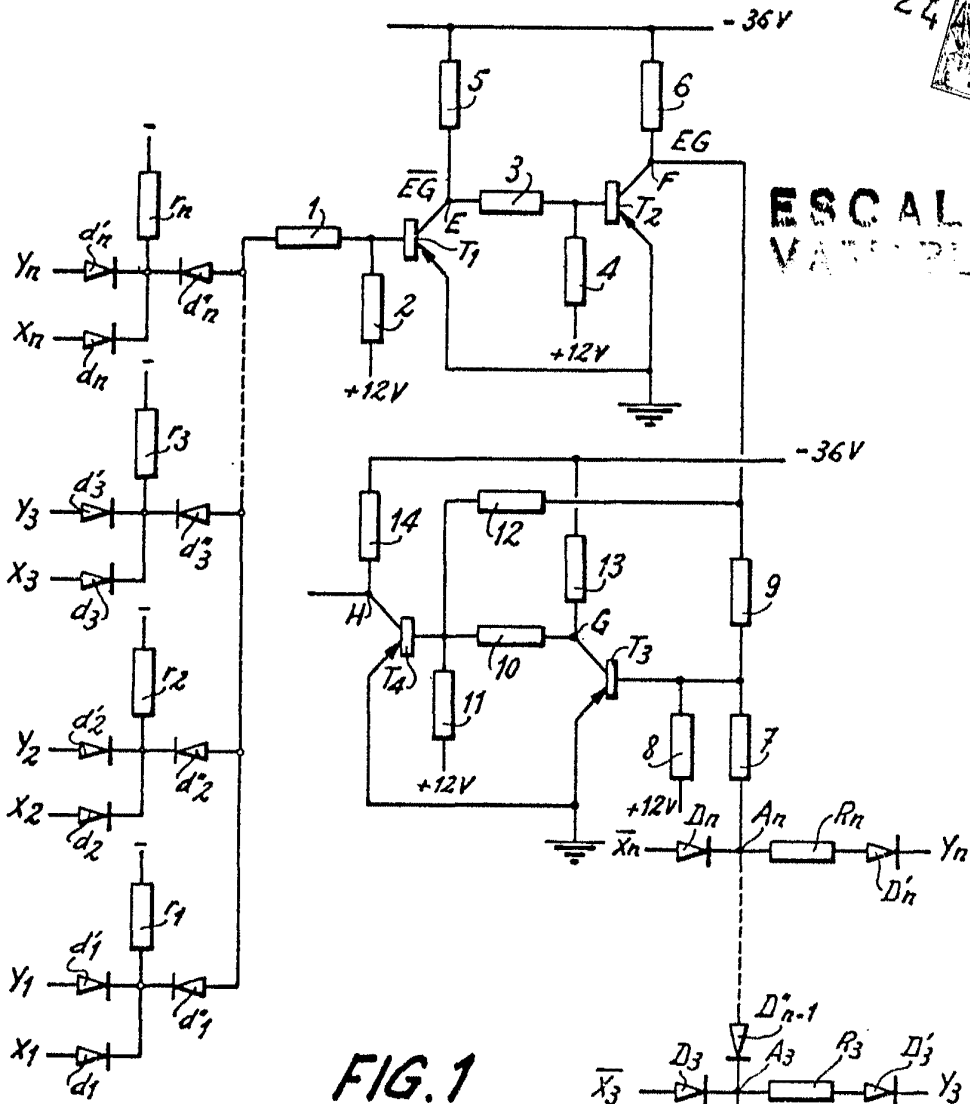
Madrid,

24 AGO. 1966

LA TELEMECANIQUE ELECTRIQUE,

J. GOMEZ ARBO Y MODET  
P. P. Firmador: GARCIA L...

24 AGO 1966



24 AGO. 1966

J. GOMEZ ALBO Y MODET  
p. p. Firmador: A. GARCIA BRAVO

24 AGO. 1966  
 J. GOMEZ ACEDO Y MODER

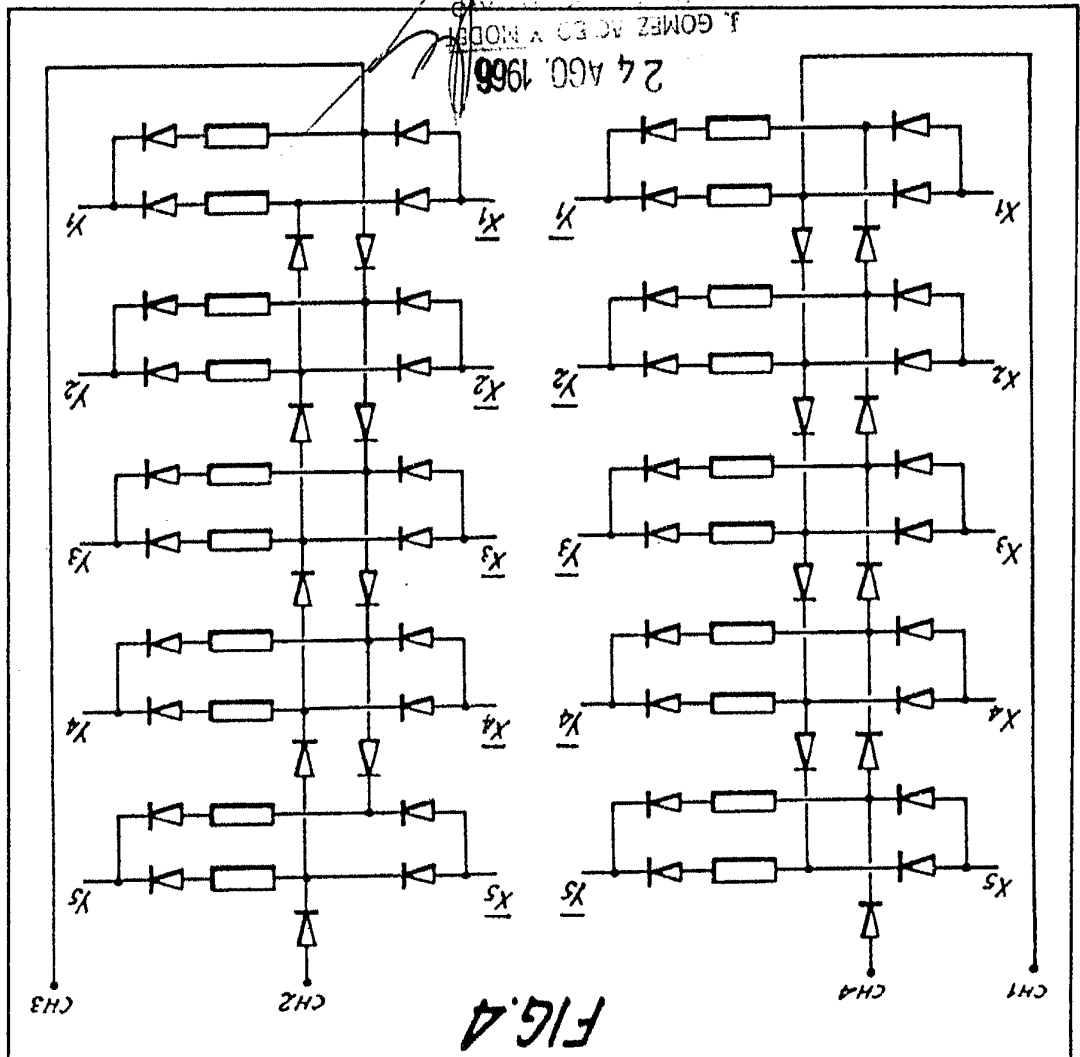


FIG. 4

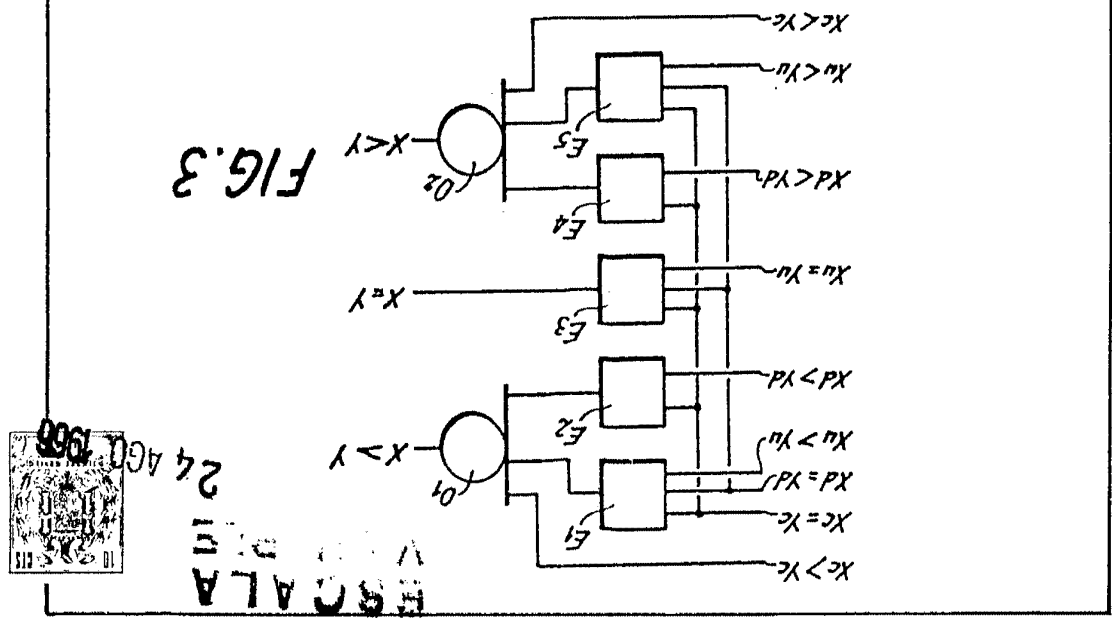
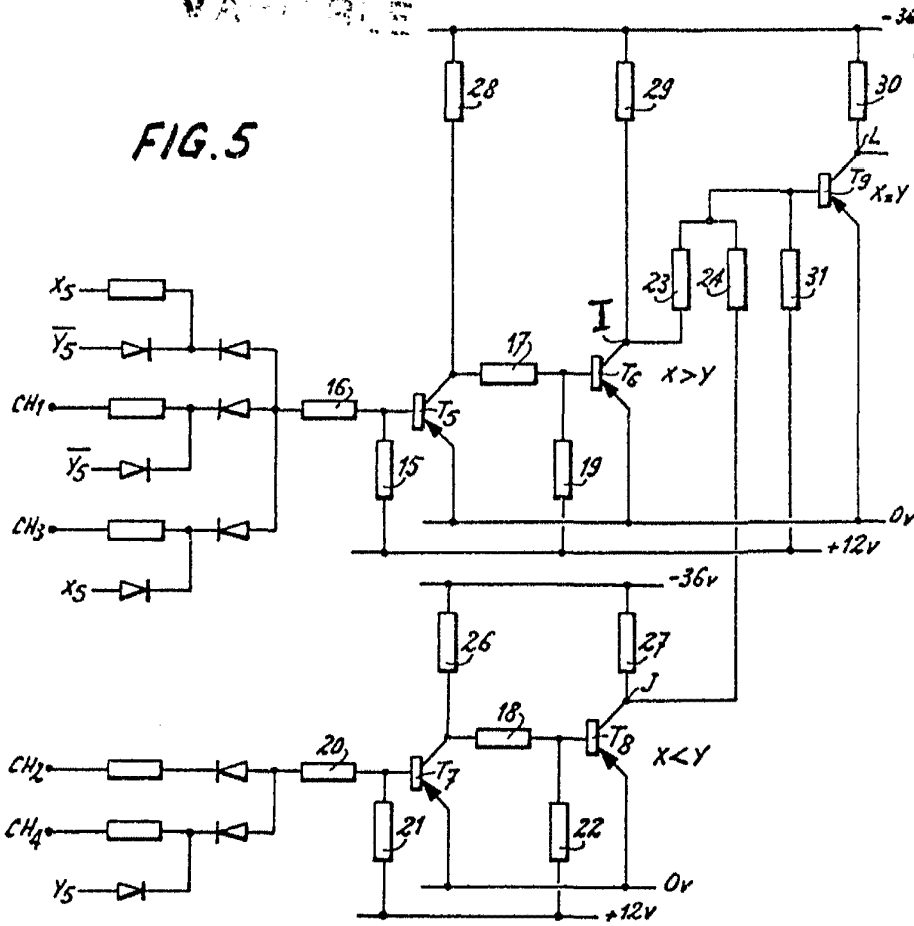


FIG. 3

24 AGO. 1966  
 ESCALA  
 V. G. B. E.

ESCALA  
VARIABLE

FIG. 5



X	X5	X4	X3	X2	X1
1	0	0	0	0	0
2	0	0	0	0	1
3	0	0	0	1	1
4	0	0	1	1	1
5	0	1	1	1	1
6	1	1	1	1	1
7	1	1	1	1	0
8	1	1	1	0	0
9	1	1	0	0	0
10	1	0	0	0	0

FIG. 6

24 AGO. 1968

Model

*[Handwritten signature]*

BOFILA  
MADRID

24 AGO 1966

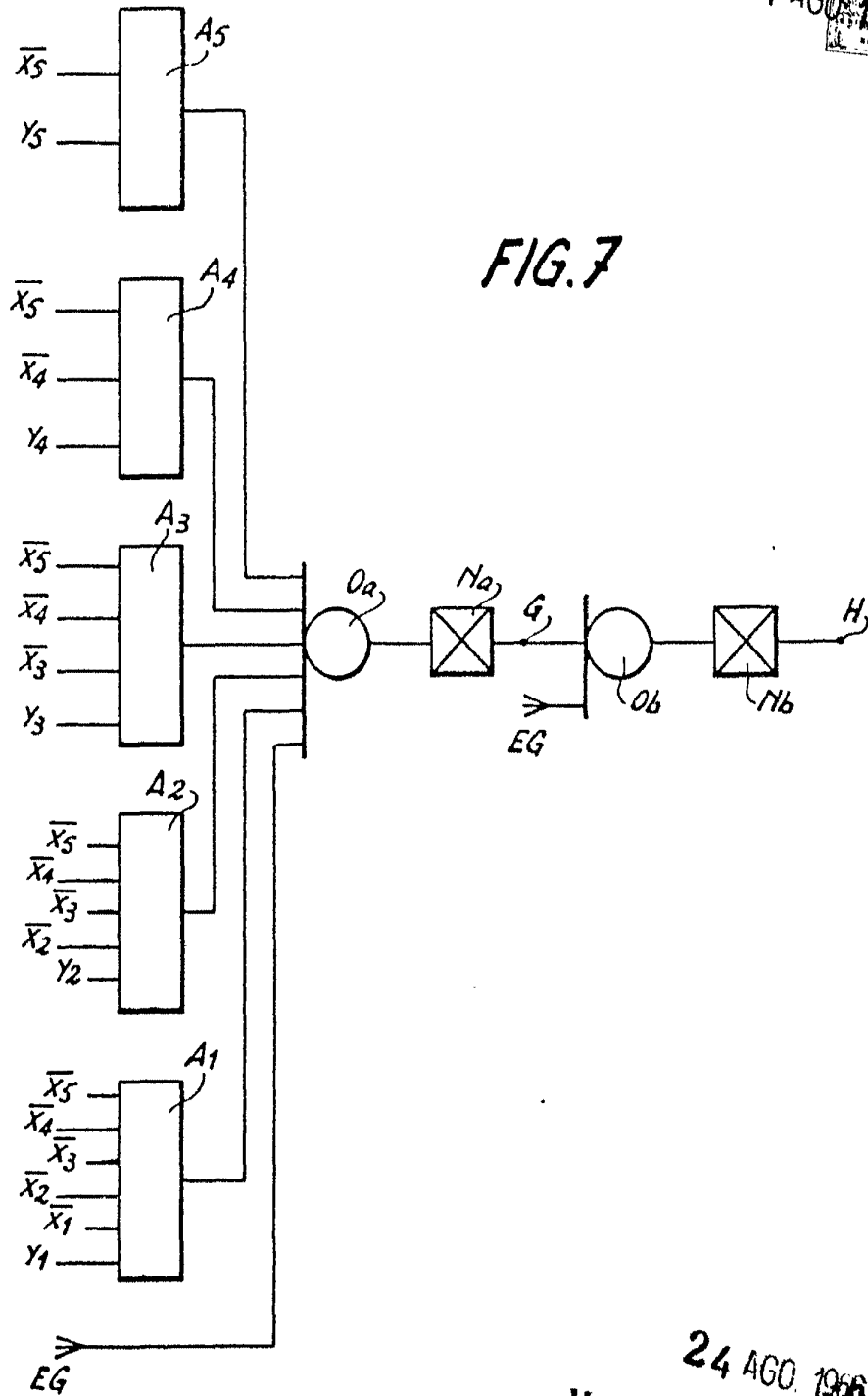


FIG. 7

24 AGO. 1966

Madrid

J. GOMEZ DE BILLY MOUTET  
p. p. Firmador: A. GARCIA BRAVO