

329

J. C. Price-R. Kitajewski 12-5



MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE

INVENCION EN ESPAÑA POR:

"UN CONVERTIDOR ANALOGICO A DIGITAL",

A NOMBRE DE STANDARD ELECTRICA, S.A. CON DOMICILIO

EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5

Este invento se refiere a los convertidores analógico a digital y es aplicable a los codificadores utilizados en los sistemas P.C.M.

La base de muchos convertidores analógico a digital es uno o mas elementos biestables que producen la salida digital. Un ejemplo de estos elementos biestables son los diodos tunel, núcleos magnéticos con ciclo de histeresis cuadrado y circuitos multivibradores.

En la patente de aplicación inglesa Nº 20842/63 (A. H. Reeves 81) se describe un convertidor analógico a digital en el que un número de elementos biestables interconectados, cada uno de los cuales tiene una característica de conmutación diferentes le han aplicado una cantidad analógica junto con una onda amortiguada oscilante. Según la amplitud de la cantidad analógica, algunos de los elementos biestables se conmutarán alternativamente de una condición



a otra en ciclos sucesivos de la onda oscilante hasta que el sistema va a reposo en un estado de equilibrio, y la condición final de cada elemento biestable representa el valor del dígito correspondiente. Un codificador como este puede llamarse convenientemente
20 "codificador de equilibrio".

De acuerdo con el presente invento hay un convertidor de analógico a digital que comprende una pluralidad de elementos biestables digitales interconectados cada uno de los cuales contiene un generador de corriente y los medios asociados de conmutación dispuestos para conectar el generador de corriente a una impedancia común
25 a todos los elementos de codificación, medios para aplicar una muestra de amplitud de la cantidad analógica que tiene que convertirse a la impedancia común, respondiendo los medios de conmutación asociados a cada elemento de codificación a un voltaje predeterminado en
30 la impedancia común de forma que la característica voltaje/corriente de cada elemento de codificación es una resistencia negativa.

En una realización del invento, cada medio conmutador responde a una función del voltaje en bornas de la impedancia común y el voltaje asociado con la corriente del generador de corriente
35 constante.

Los medios de conmutación asociados a cada elemento de codificación comprende un par de transistores en configuración de emisor común y con la impedancia común conectada en serie entre el colector de uno de los transistores y la entrada analógica (estando conectada la base de un transistor a una fuente de voltaje
40 de polarización constante, la base del otro transistor estando conectada a la entrada analógica a través de un amplificador inversor de fase).

Las anteriores y otras características del invento quedarán mas claras y se comprenderán mejor con relación a la descripción
45



3.

siguiente de realizaciones del invento, hechas de acuerdo con los dibujos que se acompañan en los que

La figura 1 es un diagrama que ilustra el funcionamiento de un conjunto de codificación,

50 La figura 2A es un circuito esquemático de un codificador de dos dígitos,

La figura 2B ilustra algunas de las formas de onda presentes en el circuito de la figura 2A,

55 La figura 3 muestra un circuito práctico para un codificador de dos dígitos,

60 La figura 4 representa un circuito práctico de un codificador de tres dígitos; y

Las figuras 5A y 5B representan circuitos prácticos para las partes de arrastre y codificación respectivamente de un codificador de cuatro dígitos.

65 El principio en el que está basado el invento es que si una corriente I_s circula por el circuito diagramático de la figura 1, una combinación de las corrientes de peso $I_1, I_2 \dots I_n$, que denotan el código circula para restablecer el equilibrio, es decir, por la impedancia R circulará una corriente sustancialmente cero.

70 En el diagrama de la figura 1, se considera el caso en el que una corriente I_s de amplitud fija circula por la red, y las corrientes fijas $I_1, I_2 \dots I_n$ circulan saliendo de la red, solas o combinadas, para restablecer el equilibrio de la red. La corriente neta en la red es indicada por un voltaje V en bornas de una pequeña
75 resistencia R . Los tres drenajes de corriente $I_1, I_2 \dots I_n$ son controlados cada uno de ellos por un conmutador $S_1, S_2 \dots S_n \dots$. Cada conmutador se acciona por una función de V_o y V_n , un voltaje asociado a I_n . Esta corriente de conmutación se consigue convenientemente

./..



haciendo cada uno de los conmutadores $S_1, S_2 \dots S_n$ un par de transistores que dirigen la corriente.

Un codificador que utiliza dos de estos dispositivos de conmutación se representa en la figura 2A. Una corriente de señal entrante positiva I_s pasa por R7 a la barra de +4 Voltios, que corresponde al nodo de la figura 1. La resistencia R7 en la figura 2 corresponde a R en la figura 1 y los transistores T1 y T2 y las resistencias R1, R2 y R5 forman un conjunto biestable que puede conmutar la corriente pesada I_1 a R7. Los transistores T3, T4 y las resistencias R3, R4 y R6 forman un segundo dispositivo biestable que pueden conmutar la corriente pesada I_2 a R7. Para una disposición de codificación binaria $I_2=2I_1$. El transistor T5 y las resistencias R8, R9 forman un amplificador inverso de fase de ganancia de voltaje unidad que funciona en V1 para dar V2 que es aplicado a las bases comunes B1, B3 de los dos pares de transistores biestables.

La acción del circuito es, brevemente, como sigue. V1 de la figura 2B se lleva a un nivel arbitrario, y V2, B2 y B4 a otro. Consideremos una señal de entrada I_s de valor creciente lentamente partiendo de cero. Inicialmente, los transistores T1 y T3 son conductores porque el potencial V2 excede del de B2 y B4 por lo que no sale corriente pesada de R7. Al aumentar I_s , V1 se eleva y V2 disminuye hasta que llega a B2, el potencial de base de T2. Entonces se dispara el biestable I1 elevando el potencial de B2 para mantener el biestable y restando I_1 de R7 para bajar V1 hacia cero y elevar V2 similarmente.

A medida que aumenta I_s , mas se eleva V1 de nuevo y V2 oae de nuevo hasta que alcanza el valor B4, el potencial de base de T4. Entonces se dispara el biestable I2 elevando el potencial de T4 para mantener el biestable y restando I_2 de R7, Esto lleva a V1 en una dirección negativa y V2 en una dirección positiva hasta que llega al

./..



5.

potencial de B2 y esto desconecta el biestable I1. Entonces el valor de I_g alcanzado es equilibrado por los dos cuanta restados por el peso de I2, y V1 y V2 retroceden de nuevo hacia cero. Con mas aumento de I_g , V1 se eleva y V2 cae de nuevo hasta que V2 llega a B2. Entoces se conecta de nuevo el biestable I1 para dar el código de nivel mas elevado.

En la figura 3 se ha representado un modelo experimental de dos dígitos del sistema. Los valores deseados de umbral y tensión inversa se ajustan independientemente para los dos biestables, El circuito se probaba entonces con un simple impulso negativo de arranque y trabajaba sin ajuste para dar formas de onda adecuadas para la región central para cada nivel.

El circuito también se probaba con un generador de corriente continua variable y se encontró que funcionaba con la acción deseada.

Los pares biestables son como se han descrito para la figura 2, y los drenajes de corriente constante están constituidos por los transistores T6, T7. El transistor T5 es un amplificador inverso de fase de ganancia unidad y las señales analógicas experimentales se llevan a él a través del transistor T8 y el potenciómetro P1. El funcionamiento de este codificador es el mismo que el del circuito de la figura 2.

Se apreciará que para resultados prácticos los 4 niveles codificados por los circuitos de la figura 2 ó figura 3 no son suficientes. Para cada par adicional biestable añadido al circuito se duplica su capacidad de codificación. Así, en la disposición representada en la figura 4, se muestra un codificador capaz de cuatificar y codificar 8 niveles.

La conmutación de corriente se consigue con los pares de transistores T10, T11 y T12, T13, T14 y T15. Las corrientes pesadas



I1, I2 é I3 son suministradas por las redes de resistencia simples R10, R12 y R14. El codificador de tres dígitos era operado ficticiamente experimentalmente con señales de entrada del transistor T17 controladas manualmente. El transistor T16 es el amplificador de inversión de fase. Cuando se sustituía una excitación de un impulso modulado en amplitud para la excitación manual era necesaria alterar ligeramente los valores de algunas de las resistencias para conseguir codificaciones correctas en todos los ocho niveles.

Finalmente se construyó un codificador de 16 niveles para incluirlo en un sistema de PCM de área local diferencial lógica y este se muestra en las figuras 5A y 5B, debiendo colocarse la figura 5B a la derecha de la figura 5A para formar un diagrama de circuito completo.

En la patente de aplicación británica precedente Nº 20842/63 (A. H. Reeves 81) se describe el empleo de una oscilación amortiguada superpuesta a la entrada analógica. El empleo de una oscilación amortiguada en codificación de equilibrio es prácticamente atractiva porque es difícil hacerla sin algún disparo en un elemento biestable de codificación. La reducción del disparo se junta con una reducción en la estabilidad, no solo en el caso presente en que todos los elementos de codificación están conectados en paralelo, sino también en el caso en que están conectados en serie. El método de codificación de oscilación amortiguada que requiere disparo, resuelve este problema y hace mas sencillo conseguir biestabilidad en los elementos incluso con pequeños pesos.

En segundo lugar, el empleo de oscilaciones amortiguadas permite la temporización del ajuste de los elementos de codificación en su posición final. Por ejemplo, los elementos pueden colocarse en orden de precedencia con el mayor peso ajustado primeramente. Entonces es posible extraer esta temporización y producir una salida serie in-



cluso aunque los elementos de codificación están dispuestos en paralelo.

En el circuito de excitación mostrado en la figura 5A, el transistor T18 es controlado por un impulso de temporización Tt y el choque excita la red sintonizada L1, C1 de su circuito de colector. El transistor T19 es un amplificador de corriente continua y el transistor T20 es un generador de alta impedancia de oscilaciones amortiguadas para alimentar los emisores de la puerta formada por los transistores T21, T22. Con fines de prueba, la señal de entrada a la base del transistor T23 es una señal de corriente continua variable manualmente suministrada por el potenciómetro P2. En la práctica, la resistencia R15, que sirve de generador de corriente continua para la señal de prueba, es quitada y se conectaría el potenciómetro P2 en vez de la fuente analógica que tiene que codificarse. La señal pesada y cuantificada junto con la oscilación superpuesta se lleva del colector de T21 al transistor T24 que da una excitación de alta impedancia a la sección codificadora mostrada en la figura 5B a través de la conexión A. El transistor T25 forma el amplificador inversor de fase para la sección codificadora de la figura 5B.

La sección codificadora de la figura 5B consiste básicamente en cuatro pares biestables de transistores T26, T27, T28, T29, T30, T31 y T32, T33 conectados en paralelo a la señal de entrada en la conexión A. Las fuentes de corriente constante de cada par biestable están constituidas por redes de resistencia simples que pueden o no comprender resistencias variables manualmente para dar un medio para alterar los valores de corriente para obtener resultados óptimos. Para obtener buena biestabilidad en el dígito que tiene menor peso se incluye una inductancia L2 en el colector de ese paso para dar una realimentación aumentada en alta frecuencia.

El funcionamiento de este circuito es exactamente el des-



crito para la figura 2 excepto que se extiende ahora a 16 niveles en vez de a 4 niveles. Sin embargo, la descripción de funcionamiento de la figura 2 era para una única muestra de amplitud aplicada a los elementos de codificación. La cuestión de si un elemento biestable está conduciendo o no depende de un umbral de voltaje (o corriente). Si, además de este umbral se introduce una temporización, el circuito ya no solo depende del voltaje (o corriente) y hay mayor libertad en la elección del umbral. Esto permite aumentar las tolerancias y linealidad que tienen que conseguirse. La forma práctica de control de tiempo que tiene que usarse en todos los circuitos anteriores es la forma de onda oscilatoria amortiguada descrita en la aplicación anterior N° 20842/63 A. H. Reeves 81). Este control de tiempo está comprendido en la figura 5A como se ha mencionado previamente, y la entrada a la sección de codificación es así una combinación de una amplitud analógica y una oscilación amortiguada superpuesta.

Se sobreentiende que la descripción precedente de ejemplos específicos del invento ha sido hecha únicamente a título de ejemplo y no tiene que considerarse como una limitación del alcance del invento.

Este invento corresponde a una solicitud de patente formulada en Inglaterra el 26 de Julio de 1965, señalada con el N° 31805/65 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- NOTA -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

1.- Un convertidor analógico a digital que comprende:

Una pluralidad de elementos de codificación biestables interconectados;



225 una impedancia acoplada en común a todos los elementos de
 codificación mencionados;

un generador de muestras de amplitud de la cantidad ana-
 lógica que tiene que convertirse;

comprendiendo a cada uno de dichos elementos de codifica-
 230 ción

un generador de corriente, y

un medio conmutador para acoplar dicha fuente de corriente
 a dicha impedancia común; y

primeros medios acoplados a dicha fuente para acoplar di-
 235 chas muestras de amplitud a dicha impedancia común;

respondiendo cada uno de dichos medios de conmutación a un
 voltaje predeterminado en bornas de dicha impedancia común de forma
 que las características de voltaje-corriente de cada uno de dichos
 elementos de codificación tiene una característica de resistencia ne-
 240 gativa.

2.- Un convertidor como el del punto 1 en el que
 dichos primeros medios comprenden
 medios para producir una onda oscilante amortiguada de
 amplitud inicial fija y un grado de disminución predeterminado para
 245 cada una de dichas muestras;

medios para superponer cada una de dichas muestras a su
 onda oscilante asociada.

3.- Un convertidor como el del punto 1 en el que
 La corriente producida por cada una de dichas fuentes
 250 de corriente es el doble de la corriente producida por el siguiente de
 dichos generadores de corriente.

4.- Un convertidor como el del punto 1 en el que
 Cada uno de dichos elementos de codificación están in-
 terconectados en paralelo entre si.



10.

255

5.- Un convertidor como el del punto 1 en el que

Cada uno de dichos medios de conmutación responde a una función del voltaje en bornas de dicha impedancia común y el voltaje asociado con la corriente de dicha fuente de corriente.

260

6.- Un convertidor como el del punto 1 en el que

Cada una de dichas fuentes de corriente es de corriente constante y producen corrientes de valores predeterminados diferentes.

265

7.- Un convertidor como el del punto 6 en el que cada

una de dichas fuentes de corriente constante produce una corriente de valor doble del de la corriente producida por el siguiente de dichos generadores de corriente constante.

270

8.- Un convertidor como el del punto 1 en el que cada

uno de dichos medios de conmutación comprenden un par de transistores conectados en configuración de emisor común, el colector de uno de dichos pares de transistores está acoplado a dicha impedancia común y dichos primeros medios.

275

9.- Un convertidor como el del punto 8 que además tiene un generador de voltaje de polarización constante acoplado a la base del mencionado de dicho par de transistores, y

un amplificador inversor de fase que acopla la base del otro de dicho par de transistores a dichos primeros medios.

280

10.- Un convertidor como el del punto 1 en el que cada uno de dichos elementos de codificación está conectado en paralelo con relación a otro;

cada una de dichas fuentes de corriente comprende un generador de corriente constante que produce una corriente doble del valor de la corriente producida por el siguiente de dichos generadores de corriente constante
dichos primeros medios comprenden



11.

285 medios para producir una oscilación amortiguada de amplitud inicial fija y un grado de disminución predeterminado para cada una de dichas muestras;

medios para superponer cada una de dichas muestras a su onda oscilante asociada; y

290 cada uno de dichos medios de conmutación comprende un par de transistores conectados en configuración de emisor común, el colector de un transistor de dicho par está acoplado a dicha impedancia común y dichos primeros medios; y

comprende además una fuente de voltaje de polarización constante acoplada a la base de uno de dicho par de transistores, y un amplificador inversor de fase acoplado a la base del otro de dicho par de transistores a dichos primeros medios.

11.- Un convertidor analógico a digital.

300 Tal y como se describe en la memoria que antecede, representado en los dibujos que se acompañan, y a los fines especificados.

Esta memoria consta de once hojas escritas por una sola cara.

Madrid, 26 JUL. 1966



Eugenio Carreras
EUGENIO CARRERAS
Secretario General

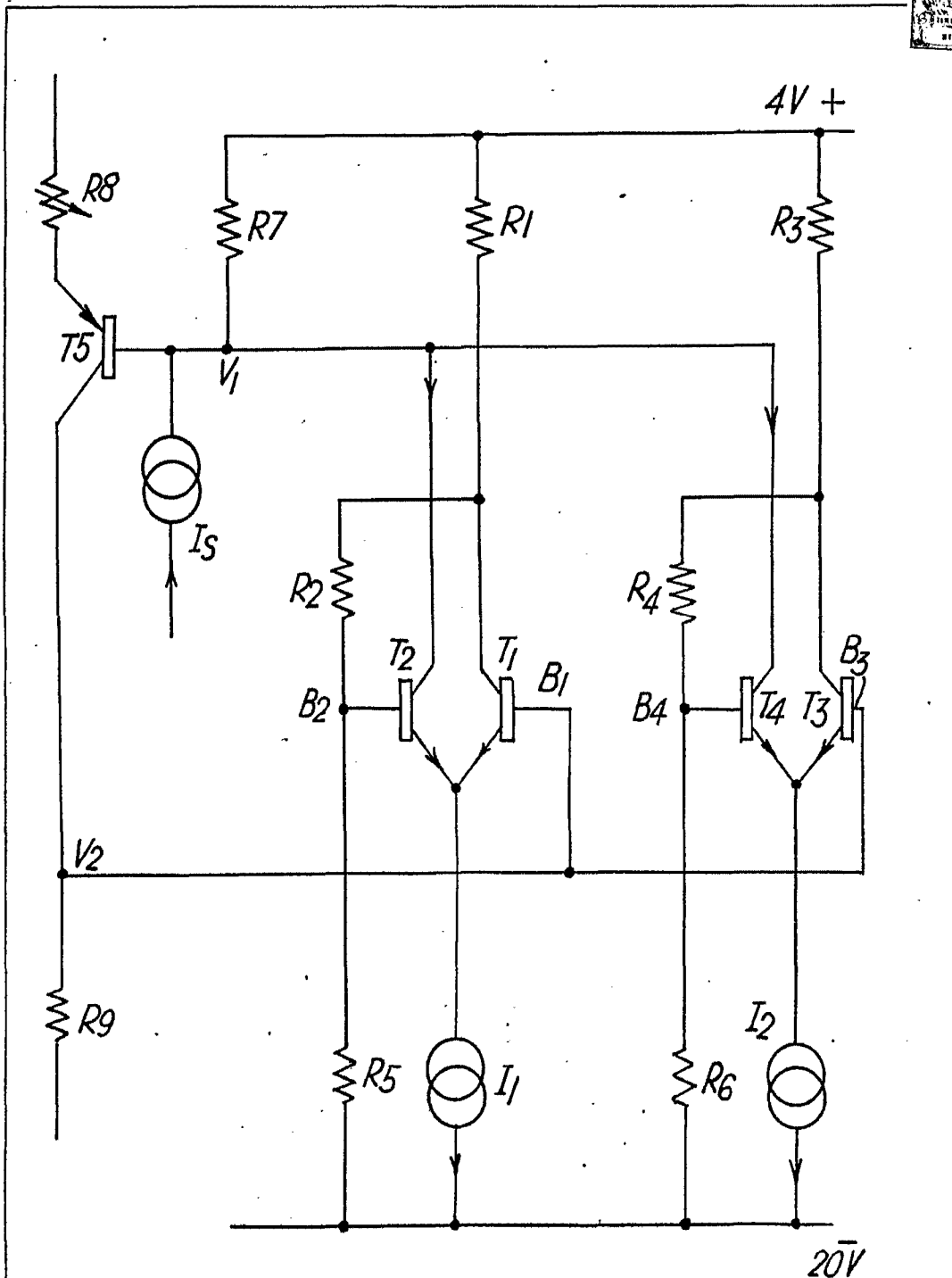
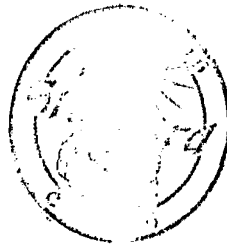


Fig. 2A.

26 JUL. 1966



E. Barroso
EUGENIO BARROSO
Secretario General

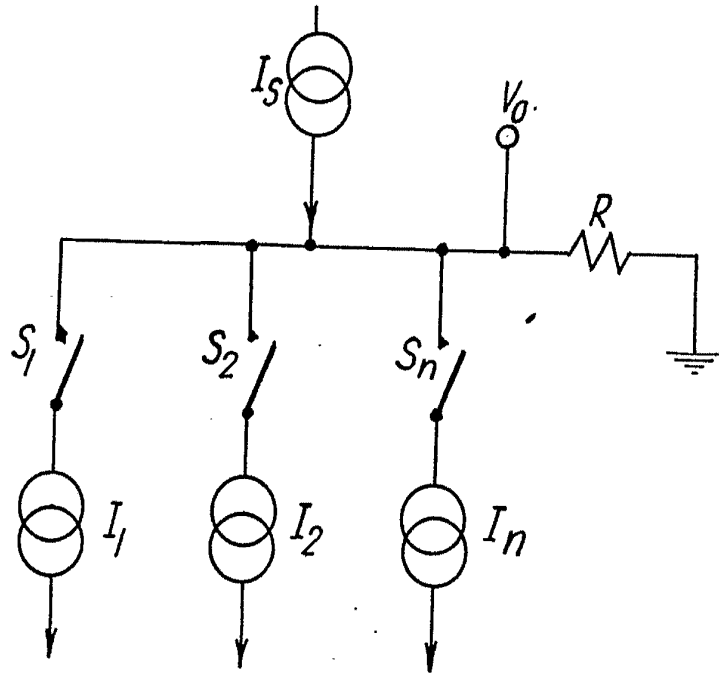


Fig. 1.

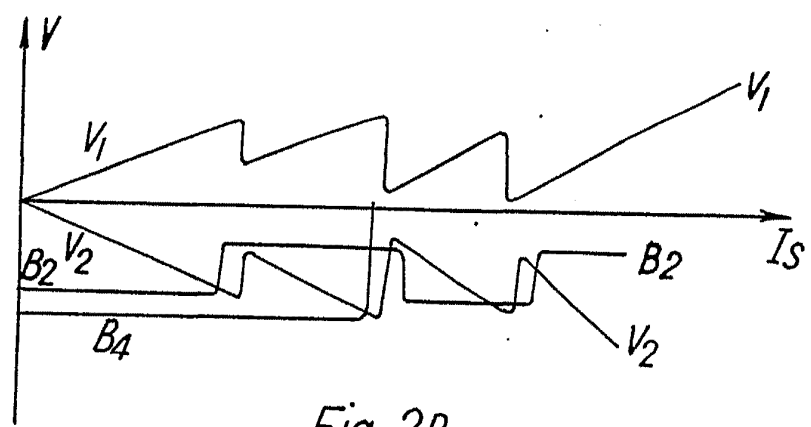


Fig. 2B.

26 JUL. 1900



Eugenio Barroso
EUGENIO BARROSO
Secretario General

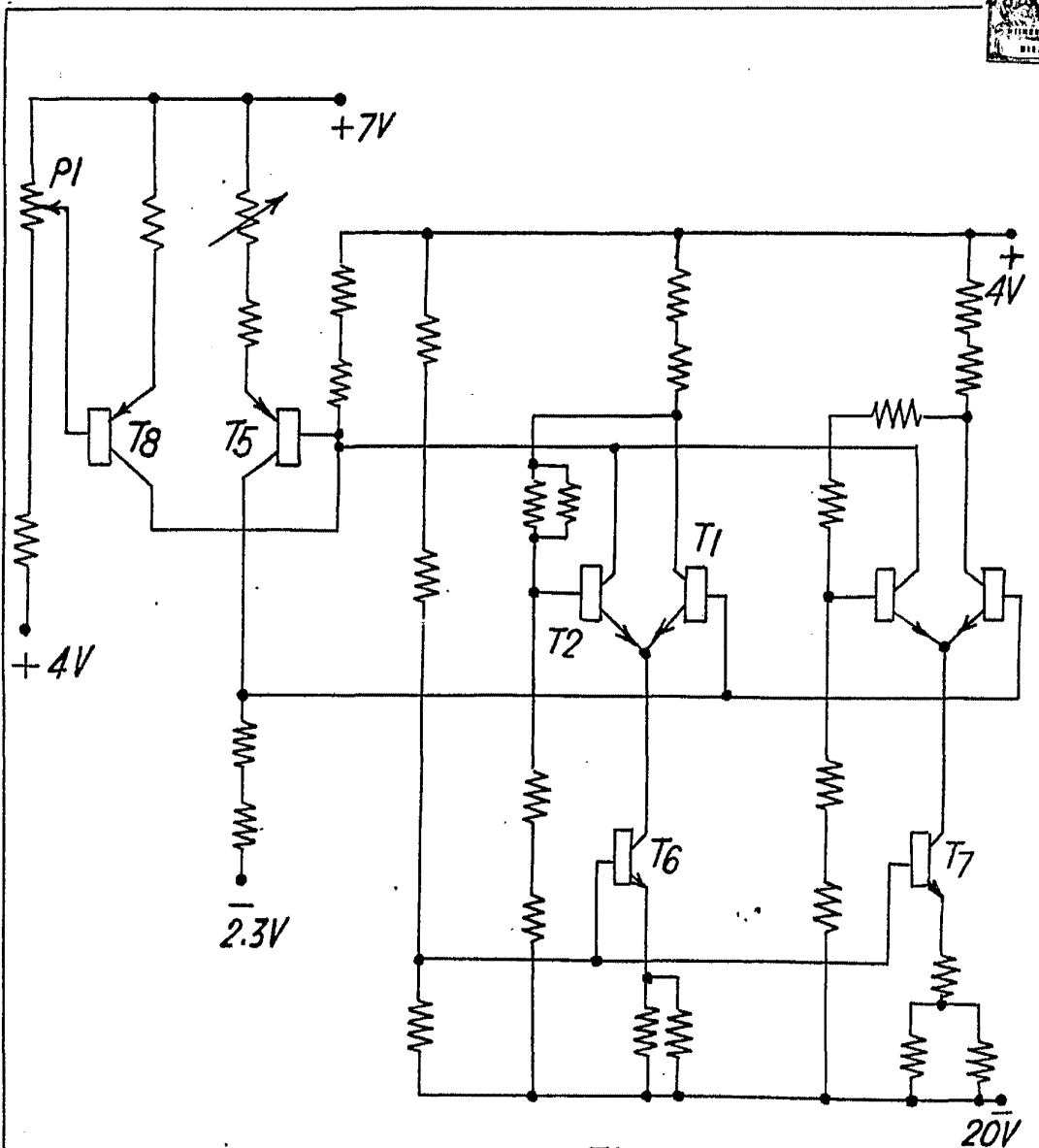


Fig. 3.

26 JUL 1966



Eugenio Barroso
EUGENIO BARROSO
Secretario General

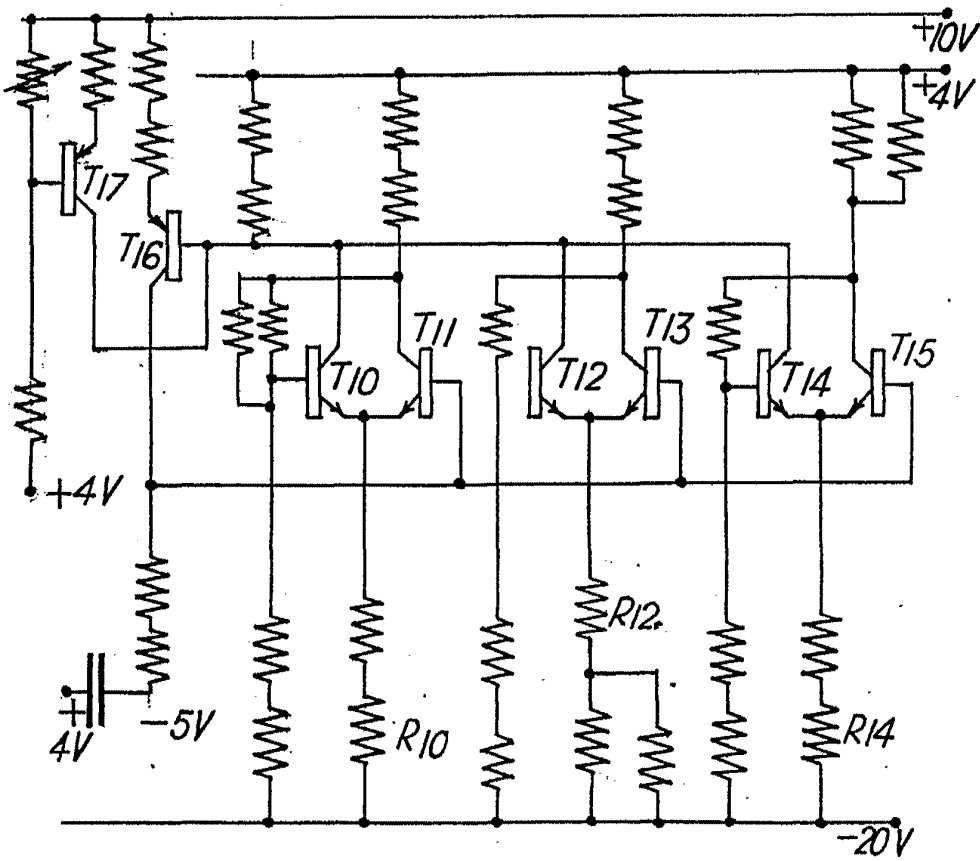


Fig. 4.

26 JUL. 1966



Eugenio Barros
EUGENIO BARROS
Secretario General

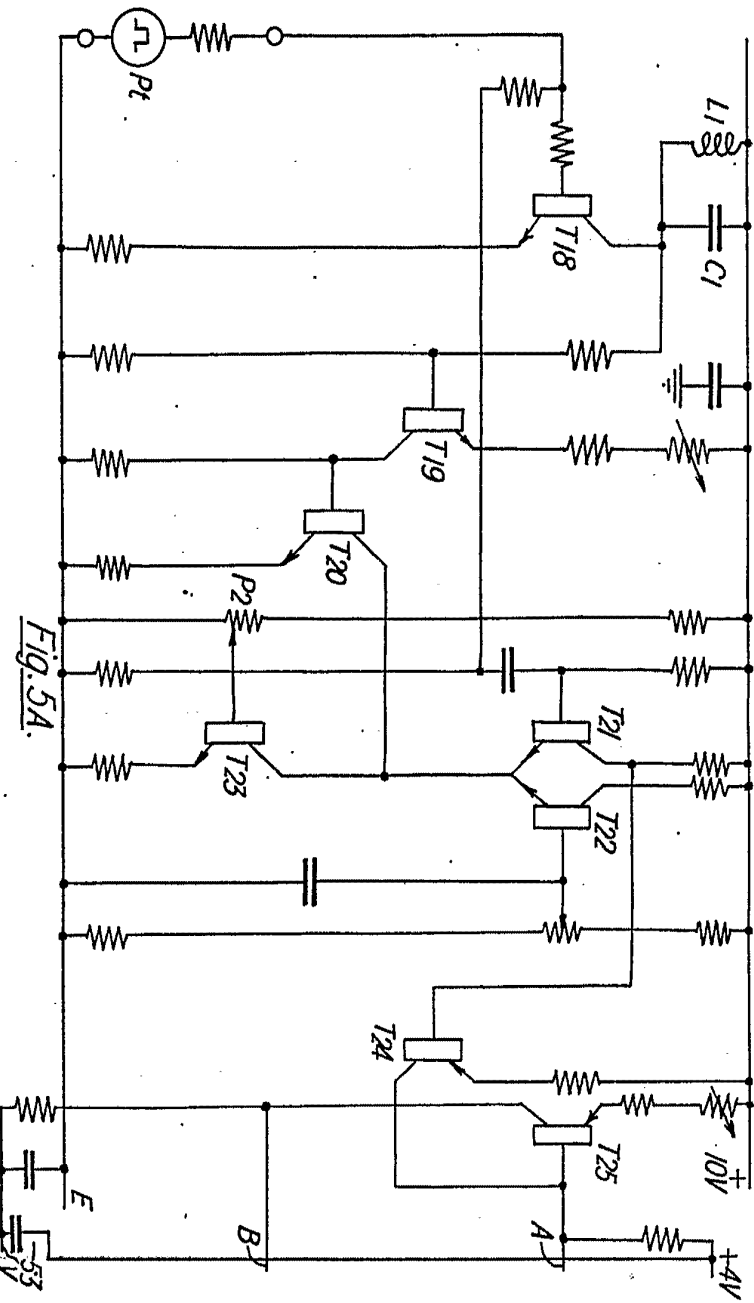


Fig. 5A.



26 JUL. 1966


Eugenio Marcos
EUGENIO MARCOS
Secretario General

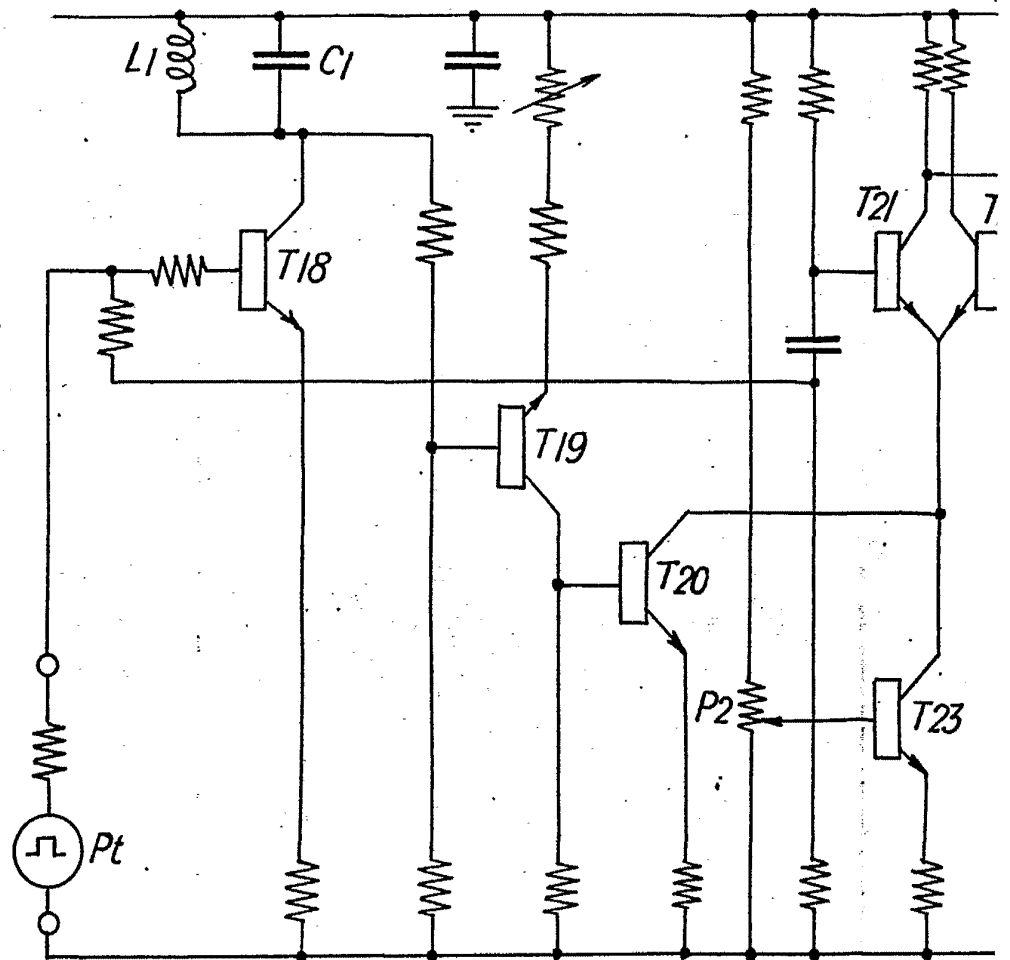


Fig. 5A.

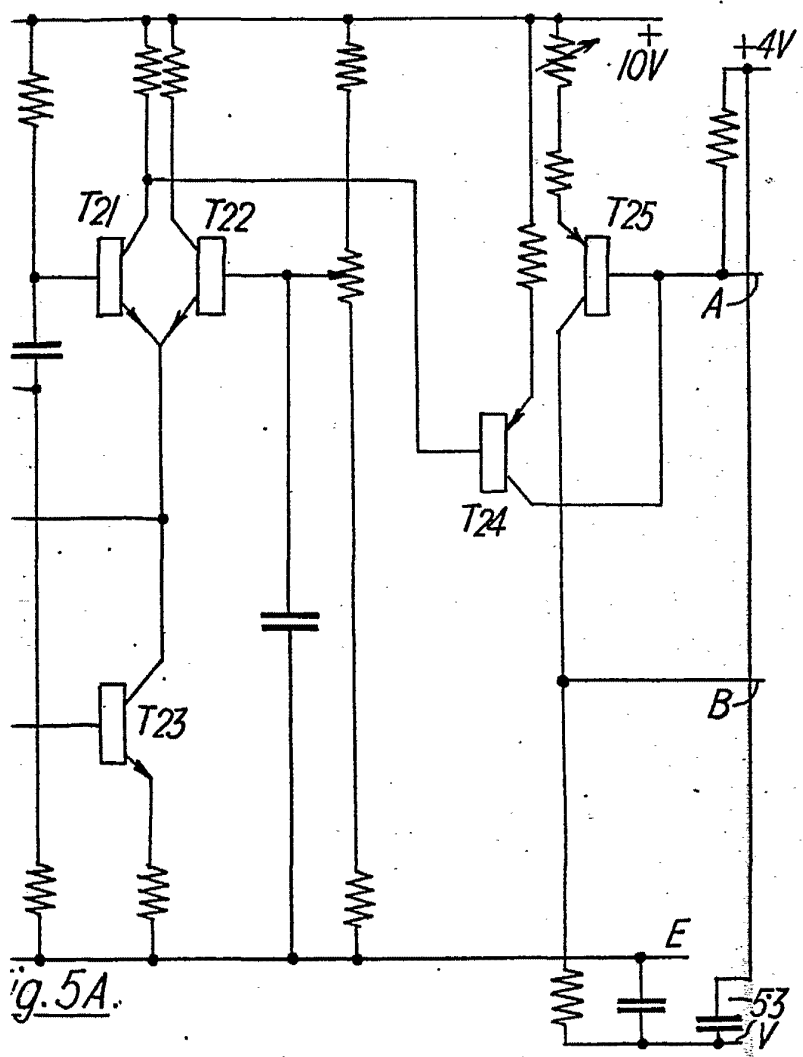
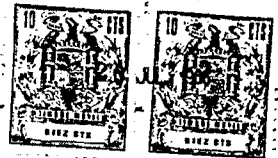


Fig. 5A.

26 JUL. 1966



E. Barroso
EUGENIO BARROSO
Secretario General

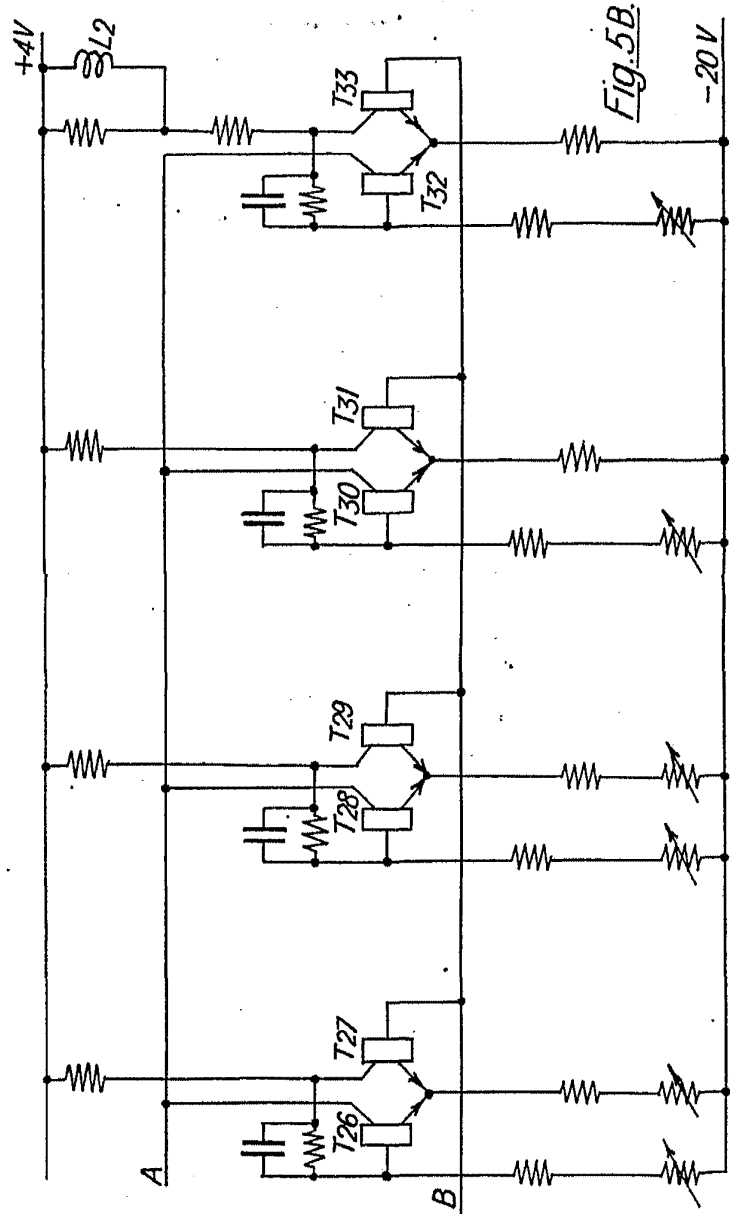
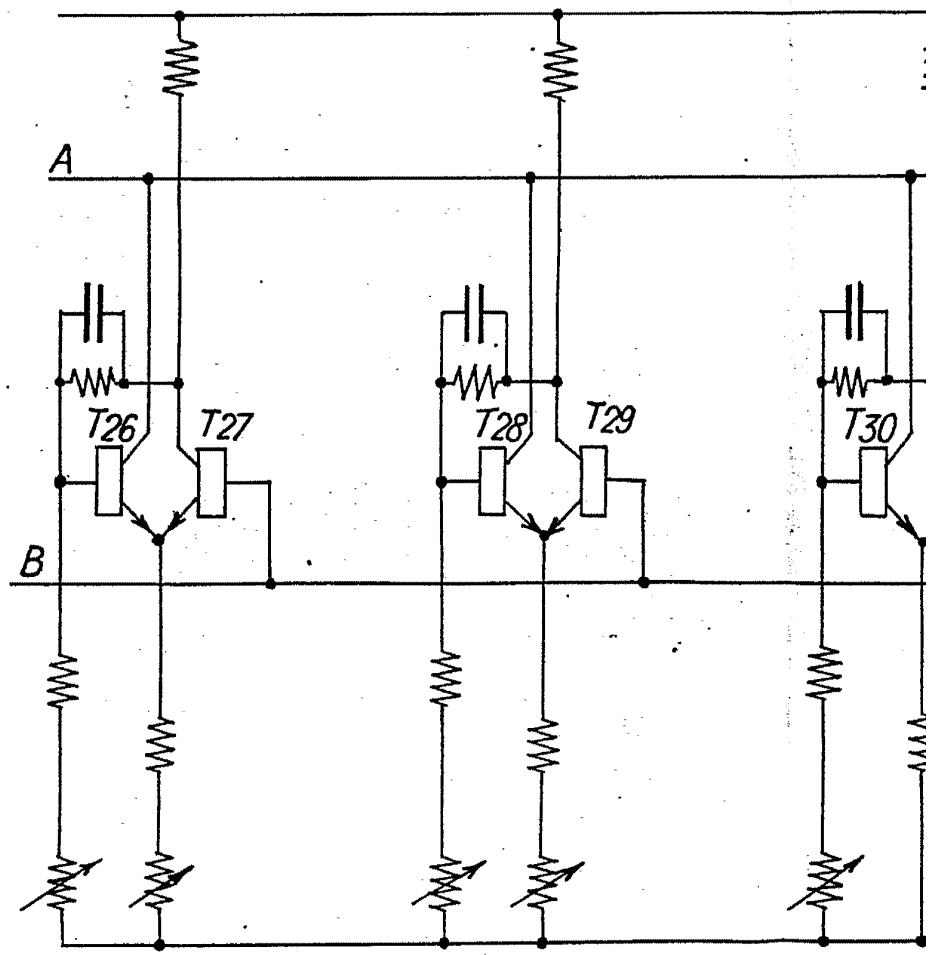


Fig. 5B.

26 JUL 1966



Stamm
EUGENIO STAMM
Secretario General



6/6

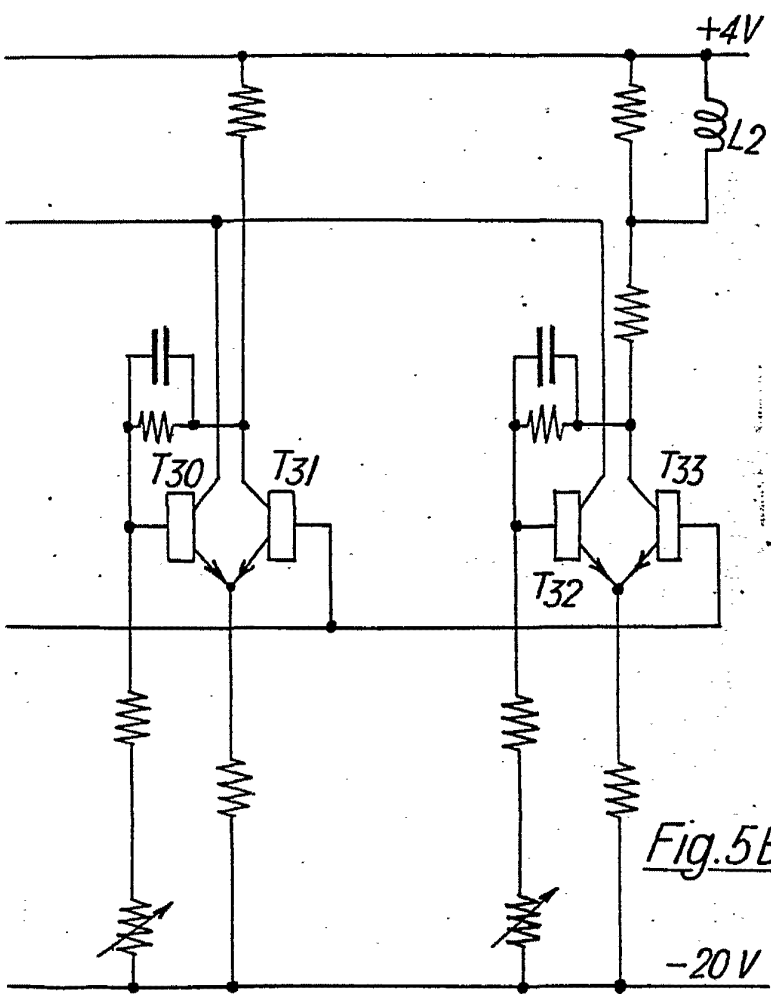
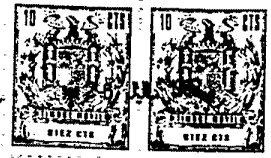


Fig. 5B.

26 JUL 1966



E. Haum
EUGENIO BARRERO
Secretary General