



MEMORIA DESCRIPTIVA

que se presenta para unir a la solicitud

d e

PATENTE D E INVENCION

formulada el 21 de Julio de 1966, con el N^o 329.322

e n

E S P A Ñ A

por VEINTE años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION, entidad norteamericana, establecida en Armonk, N.Y., Estados Unidos de América, por:

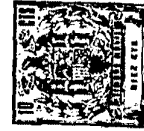
"UN APARATO CONVERTIDOR DE ANALOGICO A NUMERICO"

La presente invención se refiere a un convertidor de analógico a numérico del tipo de "dígito a dígito", y más especialmente a un convertidor de analógico a numérico en el que se han reducido al mínimo las exigencias de dispositivos y elementos físicos.

5

Una de las primitivas enseñanzas acerca de los convertidores de analógico a numérico (ADC) "dígito a dígito" se halla en las páginas 5-56 a 5-60 del libro "Notes On Analog-Digital Conversion Techniques" ("Notas sobre métodos de conversión de analógico a numérico"), MIT Technology Press, John Wiley and Sons, 1957, de A.K. Susskind. En esa información se mues-

10



tra (Fig. 5-37) el empleo de una pluralidad de etapas de generación de dígitos en cascada, cada una de las cuales incluye un circuito de discriminación o comparación binaria (a un sób nivel), un sustractor o restador y un amplificador de base numérica, con ganancia de 2. En funcionamiento, se suministra una entrada analógica en paralelo a los circuitos de comparación y sustracción de la etapa de generación del dígito más significativo. El circuito de comparación compara la señal con un determinado nivel de tensión de referencia, y, si la entrada excede del nivel de referencia, el circuito da una señal de salida de dígito "1" y transmite una señal de tensión, cuya magnitud es igual al nivel de referencia, al circuito restador de primera etapa. En éste, el nivel es restado de la señal de entrada primitiva, y la diferencia es multiplicada por 2 por el amplificador de base numérica de primera etapa. Si la entrada no sobrepasa el nivel de referencia, se transmite al restador una señal de magnitud equivalente a cero, y la salida del amplificador es el doble de la entrada analógica primitiva. La salida del amplificador de base numérica se introduce, como entrada analógica, en la etapa de generación del dígito más significativo siguiente o inmediato al primero, etapa que es idéntica a la primera, y la conversión prosigue de manera semejante hasta haberse aplicado señales de entrada analógica a la totalidad de las etapas numéricas o de dígitos, y haber dado cada circuito de comparación una señal de salida numérica. Sabido es que este método de conversión de analógico a numérico es de velocidad relativamente grande, y da unos resultados cuya exactitud depende de la exactitud



de los circuitos de comparación.

En ulteriores circuitos ADC (de conversión ana-
lógica a numérica) se ha empleado este principio de fun-
cionamiento para efectuar conversiones a dígitos en otros
5 sistemas numéricos como, por ejemplo, el decimal. Esto se
ha hecho aumentando el número de niveles de referencia en
los circuitos de comparación. Un convertidor de analógico
a numérico dígito a dígito en el sistema decimal exige -
nueve niveles de comparación; en el sistema ternario exi-
10 ge tres, y en el de base ocho exige ocho, etc. Asimismo,
el amplificador de base numérica de un circuito ampliado
como los citados debe tener una ganancia igual a la base
del sistema (por ejemplo, diez para el decimal). Uno de
los principales inconvenientes con que se tropieza al am-
15 pliar este método de conversión a los sistemas numéricos
de base superior viene siendo la complejidad de los cir-
cuitos de comparación, añadida al hecho de que se necesi-
ta un circuito individual de comparación por cada etapa
de generación de dígitos. Las necesidades de elementos -
20 componentes físicos llegan a ser así fácilmente prohibi-
tivas, desde el punto de vista tanto del tamaño como del
coste.

Otro método de conversión de analógico a numé -
rico en el que se hace uso del principio de trabajo "digi-
25 to a dígito" pero con el que se aminoran las necesidades
de elementos físicos es el denominado método reentrante.
Se encuentra un ejemplo de este sistema en la patente -
EE.UU. 3.072.332 concedida a Margopoulos. El convertidor
allí indicado utiliza solamente una única etapa de genera-
30 ción de dígitos, a través de la cual hace pasar la señal



analógica repetidamente, en un número de veces igual al número necesario de dígitos de salida. Si bien es notable la economía de elementos que se deriva de la utilización de este circuito para la conversión a sistemas numé-
5 rícos de base elevada, el amplificador de base numérica y ganancia variable en él empleado tiene que funcionar con ganancias demasiado elevadas; por ejemplo, en la conversión decimal se necesita que funcione a una ganancia de 100 durante el tercer ciclo de dígitos, de 1000 durante
10 el cuarto, de 10.000 durante el quinto, etc... El funcionamiento con ganancias de esta magnitud da lugar a apreciables pérdidas, tanto de velocidad como de exactitud. Esto sucede así porque, al aumentar la ganancia del amplificador, se reduce correspondientemente la anchura de banda del mismo. Ello produce un aumento no lineal en la magnitud del tiempo de asentamiento o clarificación necesario para reducir el error de salida del amplificador al mismo nivel tras cada ciclo de generación de dígitos. Así,
15 una conversión decimal que pida solamente cuatro o cinco dígitos de "cuantificación" exige un sacrificio en velocidad de conversión (suponiendo que se mantenga un nivel de exactitud prudencial) tolerable tan solo en las aplicaciones de ADC (conversión de analógico a numérico) de menor velocidad. Además, al aumentar de ganancia el amplificador se necesitan resistencias de retroacción proporcionadamente mayores. Las resistencias de valores mayores no pueden fabricarse con las mismas tolerancias de exactitud que las de menor valor, lo cual pone aún más limitaciones en la exactitud del funcionamiento del convertidor.
20
25
30



Por todo ello, es objeto de la presente invención un convertidor de analógico a numérico, del tipo de dígito a dígito, que tiene la velocidad y la exactitud de los circuitos anteriores de etapas en cascada, pero en el que los elementos componentes físicos se limitan en un grado parecido al presentado por los circuitos de tipo reentrante o de repetición.

Otro objeto de la invención consiste en un convertidor de analógico a numérico dígito a dígito, mejorado, en el que no se emplea amplificador de alta ganancia.

Otro objeto reside en un convertidor de analógico a numérico dígito a dígito, mejorado, que no necesita un circuito de comparación independiente por cada etapa de generación de dígitos.

Otro objeto más reside en un convertidor de analógico a numérico dígito a dígito, mejorado, que genera una salida octal (de base ocho) codificado en binario.

Conforme al presente invento, se habilita un circuito convertidor de analógico a numérico que tiene un amplificador individual de base numérica por cada etapa de generación de dígitos, y solamente un único circuito de comparación, que es compartido en el tiempo por las diversas etapas numéricas o de dígitos. La máxima ganancia necesaria en cualquier amplificador individual es igual a la base del sistema numérico empleado. Además, se hace máxima la velocidad disponiendo los componentes de circuito que exigen un "tiempo de asentamiento" de manera tal que se "asientan" simultáneamente y no en serie.

Los precedentes y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo



de la siguiente descripción pormenorizada de una forma preferida de realización de la misma, ilustrada en los dibujos adjuntos, en los cuales:

5 - la figura 1 es un esquema ilustrativo del circuito general de ADC (conversión de analógico a numérico) de la invención;

- la figura 2 es un esquema funcional del circuito 100 de regulación de tiempos;

10 - la figura 3 es un diagrama de tiempos, que ilustra la relación en el tiempo entre los diversos impulsos de salida producidos por el circuito de tiempos de la fig. 2;

- la figura 4 es un esquema de circuitos, que ilustra los detalles del circuito interruptor de entrada 151 de la primera etapa de generación de dígitos, y el convertidor de numérico a analógico 201;

- la figura 5 es un esquema de circuitos del amplificador de base numérica 181;

20 - la figura 6 es un esquema funcional del circuito comparador 300 y del registro de comparación 600;

- la figura 7 es un esquema funcional del circuito codificador 700; y

25 - la figura 8 es un esquema funcional del registro 251 de DAC de primera etapa, y de las barreras de coincidencia 900 de salida asociadas al mismo.

Circuito general

Con referencia a la fig. 1, se describe en lo que sigue el circuito general de la presente invención. Como se ha dicho, el convertidor de la invención efectúa con-



versiones numéricas al sistema octal, o de base ocho. En el sistema octal se emplean los ocho dígitos $\bar{0}$, $\bar{1}$, $\bar{2}$, $\bar{3}$, $\bar{4}$, $\bar{5}$, $\bar{6}$ y $\bar{7}$ (los trazos horizontales colocados encima de los números se utilizan para evitar la confusión con los símbolos de dígitos similares empleados en la notación decimal), y tiene como base $\bar{10}$ (el ocho decimal). En gracia a la consecuencia, y para evitar el enojoso proceso de transformación de valores de base octal a decimal y viceversa, todas las cantidades numéricas se expresan en lo sucesivo en la notación octal, o de base ocho. Se considera dentro de las facultades de toda persona versada en la técnica de la conversión analógica el empleo de los principios que más adelante se enseñan, en la ejecución de conversiones al sistema decimal o a cualquier otro sistema numérico.

El terminal analógico 10 de entrada va conectado a una fuente analógica de tensión tal como, por ejemplo, un amplificador de muestreo y retención alimentado por una señal de tensión, variable respecto al tiempo, a convertir en numérica. A la primera etapa de generación de dígitos del circuito de ADC se transmite, por medio de la línea de entrada 12, una tensión de entrada de régimen permanente. Esta tensión se aplica en paralelo al terminal de entrada de un primer interruptor analógico 151, y a un primer borne de entrada de un amplificador restador 181, no inversor, que tiene una ganancia de $\bar{10}$. La línea de salida 34 del amplificador 181 va conectada al primer borne de entrada de un amplificador restador 182 de segunda etapa, que tiene también una ganancia de $\bar{10}$. Igualmente, la línea de salida 38 procedente del amplificador 182 es-



tá conectada al primer borne de entrada de un amplifica -
dor restador 183 de tercera etapa, de ganancia $\bar{10}$, y la
línea de salida 42 del amplificador 183 va conectada al
primer borne de entrada de un amplificador restador 184
5 de cuarta etapa, de ganancia $\bar{10}$, que tiene una línea de
salida 46. Unos interruptores analógicos de segunda, ter
cera, cuarta y quinta etapas numéricas, 152, 153, 154 y
155 respectivamente, tienen sus terminales de entrada co
nectados de las líneas de salida 34, 38, 42 y 46 de los -
10 respectivos amplificadores. Los terminales de salida de
los cinco interruptores analógicos van conectados a una -
línea común 14 de señal, que sirve de entrada a un grupo
de circuitos comparadores 300. Los interruptores vienen
mandados por unos impulsos de tiempos que salen por la -
15 barra 48 de un circuito marcador o regulador de tiempo 100.

El circuito comparador 300 comprende siete cir -
cuitos de umbral (amplificadores diferenciales), cada uno
de los cuales tiene un nivel de referencia de tensión di
ferente. Para simplificar la descripción, se supone aquí
20 que el margen de entrada del circuito de ADC es de $\bar{10}$ vol
tios, esto es, que la señal de entrada analógica en el ter
minal 10 nunca cae por bajo de cero voltios, y nunca exce
de de $7, \bar{7777}^+$ voltios. Los siete circuitos de umbral del
grupo de comparadores 300, pues, están referidos a los res
25 pectivos niveles de tensión de $\bar{1} V, \bar{2} V, \bar{3} V, \bar{4} V, \bar{5} V, \bar{6} V$
y $\bar{7} V$. Naturalmente, se sobrentiende que en la realidad pue
den emplearse cualquier margen de tensión y los niveles de
umbral correspondientes. Como luego se explicará con mayor
detalle, todos los circuitos de umbral del grupo de compa
30 radores 300 que están referidos a un nivel de tensión esen



cialmente igual o inferior al nivel de la señal que hay en la línea de entrada 14 dan una señal de salida de nivel positivo. Los circuitos de umbral referidos a un nivel de tensión superior al que hay en la línea 14 de entrada no dan señal alguna de salida.

Las señales de salida de circuito de umbral que salen del grupo de comparadores 300 en respuesta a una señal analógica presente en la línea 14 se llevan por las líneas de salida 16 a un registro 600 de comparadores, donde quedan temporalmente almacenadas. Las señales numéricas así guardadas aparecen en las siete líneas de salida 18 del registro 600 como niveles de tensión "uno" o "cero", y son aplicadas a un circuito codificador 700. El circuito 700 convierte la combinación de señales que aparece en las líneas 18 en un solo dígito octal codificado en binario (BCO) que representa la magnitud del nivel de referencia de tensión a la cual está ligado el circuito de umbral activado que tiene el nivel de referencia más alto. Esto se hace, como luego se describirá con detalle, por medio de elementos lógicos normales de coincidencia, disyuntivos y de inversión. La salida procedente del circuito codificador 700 es una señal de salida BCO (octal codificada en binario) de tres bits que aparece en las tres líneas de salida 20. La significación numérica que tienen las señales binarias en las tres líneas 20 es la de $\bar{4}$, $\bar{2}$ y $\bar{1}$, de acuerdo con las convenciones del sistema binario.

La señal de tres bits que va por las líneas 20 es transmitida en paralelo a cuatro registros 251, 252, 253 y 254 de almacenaje de DAC (conversión de numérico en analógico). Cada uno de estos registros de almacenaje o me



moria incluye un circuito de almacenaje binario de tres po-
siciones. En cada registro van también incluidos unos me-
dios para dar paso selectivamente a las señales de salida
numérica que hay en las líneas 20 hasta aquellos de los re-
gistros que sean seleccionados, en respuesta a las señales
de marcación de tiempos suministradas por el circuito 100
por medio de la barra ómnibus 23. La información BCO guar-
dada en los registros 251, 252, 253 y 254 es transmitida por
las líneas de salida 27, 28, 29 y 30 de los registros tanto
a un grupo de barreras de coincidencia 900 de salida como
a una pluralidad de circuitos DAC (convertidores de numé-
rico en analógico) 201, 202, 203 y 204, respectivamente.

Estos circuitos DAC cooperan con sus amplificado-
res restadores asociados de la manera que más adelante se
describe, dando en la salida del amplificador una señal -
que es $\bar{10}$ veces la diferencia entre la magnitud de la señal
aplicada al amplificador desde la etapa precedente y la mag-
nitud del nivel de tensión representado por el dígito guar-
dado en el registro de DAC asociado al amplificador parti-
cular.

Al final de una conversión, las señales BCO guar-
dadas en los registros 251, 252, 253 y 254 de DAC (de con-
versión de numérico a analógico) y en el registro 600 de -
comparadores reciben paso hasta los circuitos de utiliza-
ción convenientes, a través de las barreras de coinciden-
cia 900 de salida, por medio de un impulso que aparece en
la línea 25 procedente del circuito 100.



Funcionamiento general de los circuitos

Con referencia ahora a las figs. 1 y 3, se da en lo que sigue una descripción del funcionamiento del circuito de la fig. 1 en la ejecución de una conversión a cinco -
5 dígitos de una señal analógica de entrada que tienen una magnitud igual a $\bar{5},\bar{7246}$ voltios.

Al principio del ciclo, el circuito de tiempos -
100 suministra un impulso T1 por una barra omnibus 48 de -
muchos hilos, hasta cerrar el interruptor 151 que transfiere la señal analógica de entrada que hay en la línea 12 a la línea de entrada 14 del comparador. La señal analógica así presentada al grupo comparador 300 pone en acción cinco de los siete circuitos de umbral de éste, generándose así señales de salida en cinco de las líneas 16. Inmediatamente
15 después de cerrarse el interruptor 151, y durante el tiempo que invierte su salida en "asentar" a un valor o régimen permanente prudencial, del circuito de tiempos 100 salen unos impulsos A y G de sentido negativo, por unas barras ómnibus múltiples 50 y 23, respectivamente, para reponer
20 los registros de comparación y de DAC. A continuación, sale por la barra 50 un impulso B de sentido positivo para dar paso a las señales procedentes del circuito comparador 300, por las líneas de salida 16, hasta el registro 600 de comparación. Es de notar que el impulso B de franqueo de -
25 paso no aparece hasta casi el final del intervalo del impulso T1. Esto permite tener un máximo de tiempo para que se "asientan" los efectos transitorios generados en la línea 14 debido al cierre del interruptor 151. Tan pronto como el registro de comparador se ha cargado en respuesta al
30 impulso B, y a las señales de salida presentes en las lí -



neas 16, el circuito de codificación 700 genera en las líneas 20 una señal de salida numérica que consta de una señal en la línea "4" y una señal en la línea "1", representativas del dígito $\bar{5}$. Esta señal BCO en las líneas 20 es presentada a las entradas del registro 251 de DAC, y para introducir la en él se da un impulso C de franqueo de paso por la barra 23. El número así guardado en el registro 251 representa el dígito más significativo de la salida, y su presencia en el registro da a entender que se ha completado el período de generación del primer dígito.

En cuanto las señales de dígitos se hallan disponibles en las líneas de salida 27 procedentes del registro 251, son presentadas a las entradas del circuito DAC 201 por medio de la barra ómnibus 27a. Estas entradas numéricas al circuito 201 alteran precisamente la tensión de anulación o compensación presentada al amplificador, de modo tal que por superposición al amplificador de una salida cuya magnitud es de $\bar{10}$ veces la diferencia entre la diferencia entre la magnitud de la señal existente en la línea 12 ($\bar{5},\bar{7246}$ voltios) y la magnitud del nivel de tensión representado por el dígito BCO guardado en el registro 251 de DAC ($\bar{5}$ voltios). La magnitud de la señal existente en la línea 34, es por lo tanto de $\bar{7},\bar{246}$ voltios.

Esencialmente al mismo tiempo en que resultaron disponibles las señales de salida en las líneas 27 procedentes del registro 251 de DAC, se terminó el impulso de marcación de tiempos T_1 y se inició el T_2 , para dar comienzo al período de generación de segundo dígito. Los transitorios de señal producidos por la activación de los interruptores y de las resistencias del circuito 201 de DAC,



por la variación de las entradas al amplificador 181, por la apertura del interruptor 151 y el cierre del interruptor 152, se inician así todos de modo esencialmente simultáneo, dejándoseles "asentar" durante sensiblemente el mismo período. Así se ahorra tiempo en los circuitos y se evita la situación en la cual no es posible activar con exactitud los elementos de circuito sucesivos hasta haberse "asentado" los anteriores.

La nueva señal existente en la línea 14 de entrada de comparadores ($\bar{7}$, $\bar{246}$ voltios) activa los siete circuitos de umbral del comparador 300, dando señales de salida en todas las líneas 16. En el tiempo durante el cual se estabilizaba esta nueva señal en la línea 14, se aplicó un segundo impulso A en la barra de tiempos 50 para reponer el registro 600 de comparación. A continuación aparece un segundo impulso B en la barra de tiempos 50, para introducir las señales estabilizadas de las líneas de salida 16 en el registro de comparación. La presencia consiguiente de señales todas de "uno" en las líneas de salida 18 procedentes del registro 600 hace que el circuito de codificación 700 emita señales por sus tres líneas de salida 20, dando a entender el dígito $\bar{7}$. Esta señal BCO (octal codificada en binario), que representa el dígito de salida más significativo de segundo orden, es transmitida por medio de las líneas 20 a las entradas del registro 252 de DAC, en el cual queda almacenada por efecto del impulso de franqueo de paso D que sale en la barra 23. La presencia de este dígito de salida en las líneas de salida 28 del registro 252 significa que se ha completado el período de generación del segundo dígito, y acti-



va, por medio de las líneas 28a, las entradas del circuito DAC 202. En este instante termina el impulso T2 y se inicia el impulso T3, dando principio al período de generación del tercer dígito.

5 Al "sentarse" los transitorios debidos a la activación de los circuitos 202, 182, 152 y 153, y acercarse la línea de entrada 14 del grupo comparador 300 a su nuevo nivel de tensión de $\bar{2},\bar{4}\bar{6}$ voltios, aparece en la barra de tiempos 50 un tercer impulso A que repone el registro 600 del comparador. Después, un tercer impulso B da paso a la nueva combinación de señales de salida de umbral que hay en -
10 las líneas 16 hasta el registro 600, apareciendo señales de salida en dos de las líneas 18. El circuito de codificación 700 responde con una sola señal de salida por su línea de -
15 salida " $\bar{2}$ ", representativa de la magnitud (2) del dígito de salida más significativo de tercer orden. Esta señal es introducida en el registro 253 de DAC por el impulso E de tiempos, terminando el impulso T3 e iniciándose el T4, respectivamente, para dar principio al período de generación del -
20 cuarto dígito.

A continuación, el registro 600 del comparador - es repuesto por un cuarto impulso A, y la línea de entrada 14 del comparador recibe, tras haberse "sentado" los transitorios debidos a la activación de los circuitos 203, 183,
25 153 y 154, un nuevo nivel de tensión igual a $\bar{4},\bar{5}$ voltios. Esto hace que cuatro de las líneas 16 transmitan señales de salida al registro 600 y, tras haber dado paso un cuarto impulso B a estas señales al interior del registro 600, hace que el circuito codificador 700 emita por sus líneas
30 de salida 20 una señal representativa del dígito $\bar{4}$, que es



el dígito de salida más significativo de cuarto orden. A este dígito se le da paso hasta el registro 254 de DAC por medio del impulso de franqueo de paso r transmitido desde el circuito de tiempos 100 por la barra 23.

5 A continuación, el impulso T4 termina, y se inicia el T5, dando principio el período de generación del dígito quinto y último. Tras haber repuesto un quinto impulso A el registro 600 de comparación, y haberse "sentado" los transitorios debidos a la activación de los circuitos
10 204, 184, 154 y 155, aparece en la línea 14 un nuevo nivel de tensión, igual a $\bar{6},0$ voltios. Un quinto impulso B da paso entonces a la nueva combinación de señales que aparece en las líneas 16, hasta el registro 600, haciendo que seis de las líneas 18 den señales de salida. El circuito de codi-
15 ficación 700, a continuación, responde con señales en sus líneas 20 de salida " $\bar{4}$ " y " $\bar{2}$ ", representativas del dígito final $\bar{6}$, señales que son transmitidas por las líneas 21 a las barreras de coincidencia 900 de salida. Un instante antes de ocurrir los impulsos iniciales A y G de reposición,
20 del período siguiente de conversión de dígitos, sale un impulso H del circuito 100 por la línea 25 para activar todas las barreras de coincidencia 900, trasladando así las salidas numéricas, que aparecen en las líneas 27, 28, 29, 30 y 21, a los circuitos exteriores de utilización que convenga
25 (no representados). A continuación, en el terminal de entrada 10 se presenta una nueva tensión de entrada analógica, efectuándose otra conversión de cinco dígitos de la manera que acaba de describirse.



DESCRIPCION DETALLADA DE LOS CIRCUITOS

Circuito de tiempos 100

La fig. 2 ilustra, en forma esquemática, una -
de las formas de realización de un circuito que puede em-
5 plearse como circuito de tiempos 100 de la fig. 1, para -
producir los diversos perfiles de ondas indicados en la
fig. 3. Un circuito oscilador 101 produce, en continua -
sucesión, los impulsos de salida representados en la par-
te superior del diagrama de perfiles de la fig. 3. Estos
10 impulsos se llevan a las entradas de un circuito marca-
dor o de "anillo" 102 y de unos circuitos de retardo 106,
112 y 116. El circuito marcador 102 comprende una plura-
lidad de circuitos de relajación biestables ("flipflops")
interconectados de manera ya conocida, para que solo pue-
15 da estar activado uno de los biestables en un instante da-
do, y tal que cada impulso aplicado a la entrada del mar-
cador desactiva el biestable que entonces esté activado,
y pone en actividad el inmediato sucesivo del anillo mar-
cador. Los impulsos de tiempos T1 y T5 inclusive se to-
20 man de cada una de las respectivas salidas activas de -
los distintos biestables del anillo.

La salida de "desactivado" del biestable final
del anillo está conectada a un multivibrador 104 monoest-
table o de disparo único, cuya salida se emplea como per-
25 fil de onda H para dar paso a la salida numérica desde -
las barreras de coincidencia 900 al final de cada ciclo
de conversión. El monoestable 104 es disparado solamente
por las transiciones de sentido positivo y, por tanto,
produce el impulso H solamente una vez por cada ciclo de
30 conversión, esto es, cuando se desactiva el biestable fi-



nal 102 al terminar el impulso de tiempos T5.

El circuito de retardo 106 tiene su salida conectada a la entrada de un multivibrador monoestable 108, conectado a su vez a un inversor 110. La salida de este último circuito da los impulsos A de sentido negativo que se usan para reponer el registro 600 del comparador inmediatamente después de iniciarse cada uno de los impulsos T1 a T5 inclusive. El circuito de retardo 106 puede ser de un tipo cualquiera de los ya conocidos, y da la magnitud de retardo indicada en la fig. 3 mediante la diferencia de tiempos entra el borde inicial del impulso de salida del oscilador y el borde inicial de cada impulso A sucesivo.

El circuito de retardo 112 alimenta a la entrada de un multivibrador monoestable 114, cuya salida suministra los impulsos B que se usan para cargar el registro 600 del comparador durante la última parte de cada uno de los intervalos de marcación de tiempos T1 a T5. La magnitud del retardo proporcionado por el circuito 112 viene ilustrada en la fig. 3 por la diferencia de tiempos entre el borde inicial de cada impulso del oscilador y el borde inicial de cada impulso B sucesivo.

El circuito de retardo 116 tiene su salida conectada a la entrada de un multivibrador monoestable 118 que produce el perfil de onda I transmitido a una primera entrada de cada uno de varios circuitos de coincidencia 120, 122, 124 y 126. La segunda entrada de estos circuitos de coincidencia viene suministrada desde la salida de "activado" de cada uno de los cuatro primeros biestables del circuito marcador o anillo 102. Las señales de



salida generadas por los circuitos de coincidencia 120, 122, 124 y 126 son los perfiles de onda C, D, E y F, respectivamente, que se utilizan para cargar o introducir la salida procedente del circuito codificador 700 en los registros DAC 251, 252, 253 y 254. Como puede verse por la fig. 3, la magnitud del retardo necesario en el circuito 116 es proporcional a la distancia que hay desde el borde inicial de un impulso del oscilador al borde inicial del impulso I sucesivo.

10 El circuito de coincidencia 128 produce un impulso de salida que coincide con el primer impulso A de cada ciclo de conversión de dígitos. Este impulso es llevado a un inversor 130, cuya salida es el impulso G de sentido negativo utilizado para reponer todos los registros de DAC
15 al comienzo de un ciclo de conversión de dígitos.

Interruptores de entrada, amplificadores de base y circuitos DAC

Con referencia a las figs. 4 y 5, se da a continuación una descripción detallada del interruptor de entrada 151, el amplificador de base numérica 181 y el circuito convertidor de numérico en analógico 201 de la etapa de generación del primer dígito. Se cobrentiende que los circuitos correspondientes de cada una de las etapas de generación de los dígitos sucesivos son idénticos a los de la primera etapa, y que es innecesario describirlos todos
20 detalladamente. El interruptor de entrada 151 (fig. 4) incluye un transistor de control 156, un transformador de entrada 162 y un par de transistores 158 y 160 de camino de señales. Por la barra ómnibus 48 se suministra el impulso
25



de tiempos T1 desde el circuito 100 a la base del transistor 156. El borde inicial, de sentido positivo, del impulso T1, satura al transistor 156 y da origen a que pase un impulso de corriente por el devanado primario del transformador 162. Este impulso empieza a llevar el transformador hacia su punto de saturación, produciendo una tensión de salida en bornes del secundario, tensión que es aplicada a las uniones de base a emisor de ambos transistores 158 y 160 de camino de señales, llevándolos a la saturación. Esto abre un camino de señales analógicas de baja impedancia para transferir la señal de entrada analógica que hay en la línea de entrada 12 a la línea 14 de entrada del comparador a través de los caminos de conducción de colector a emisor de los transistores 158 y 160.

Las características de anchura de banda y ciclo de trabajo del transformador 162 se eligen de modo que el impulso de tensión inducido en bornes del secundario es una reproducción relativamente buena del impulso de entrada T1. Al terminar T1, los transistores 158 y 160 son rápidamente desaturados por medio de un impulso de brusca caída producido por medio del camino de conducción que da la resistencia 164. Esto vuelve a abrir el interruptor 151, cortando la conexión entre la línea de entrada 12 y la línea de entrada 14 al comparador.

El amplificador 181 de base numérica, representado esquemáticamente en la fig. 4 y con detalle en la fig. 5, es un amplificador de corriente continua, restador y no inversor, de una ganancia de $\bar{10}$ desde su entrada 12 a su salida 34. Hay dos etapas de ganancia usuales 186 y 187 interconectadas por medio de un doble seguidor de emisor



188. Un seguidor de emisor 189 transmite la salida desde la segunda etapa de ganancia 187 a la línea de salida 34. Se utiliza una fuente de suministro de corriente constante 190 para aumentar la relación de rechazo o supresión de modo común de la primera etapa de ganancia 186. Desde la línea de salida 34 a la segunda entrada 32 va conectada una resistencia de retroacción 185. El circuito 201 de DAC, ilustrado con detalle en la fig. 4, forma parte también del circuito de retroacción del amplificador, y actúa de acuerdo con las entradas numéricas recibidas en sus terminales de entrada 222 procedentes del registro - 251 de DAC, reduciendo la señal que hay en la línea 34 de manera que sea de $\bar{10}$ veces la diferencia entre la magnitud de la señal que hay en la línea 12 y la magnitud del nivel de tensión representado por las señales numéricas o de dígitos aplicadas a los terminales 222.

El circuito 201 de DAC incluye tres resistencias 208, 209 y 210 cuyos valores de resistencia son respectivamente de $\bar{5}R/4$, $\bar{5}R/2$ y $\bar{5}R$, en la relación binaria de $\bar{1}:\bar{2}:\bar{4}$. Cada una de estas resistencias tiene un extremo conectado al punto común de unión 212. Los otros extremos de las resistencias 208, 209 y 210 están conectados a los terminales de salida de los conmutadores unipolares de dos posiciones (SPDT) 215, 224 y 226, respectivamente. A estos conmutadores se les suministran unos potenciales de referencia de $+E$ y $\bar{0}$ voltios, por medio de las líneas 207 y 227, respectivamente, y unas entradas de control procedentes de los terminales de entrada 222 de DAC que, como antes se ha dicho, reciben señales de control, por medio de la barra de señales 27a, procedentes de las líneas de sa-



lida 27 del registro 251 de DAC.

Los conmutadores SPDT (unipolares de dos posiciones) 215, 224 y 226 están idénticamente construídos, por lo que solo se muestra con detalle el circuito del conmutador 215. Este conmutador incluye un par de transistores de control 216 y 217 y un par de transistores de conmutación 218 y 220. La señal de entrada de DAC recibida en el terminal 222 de dígito "4" es transmitida a la base del transistor 216. Cuando en la línea aparece una señal de sentido positivo, que significa un bitio "uno", el transistor 216, que es del tipo NPN, se hace conductivo, dando lugar a una transición de señal de sentido negativo en la base del transistor 217, que corta la conducción en este transistor. Esto hace que a las bases de los transistores 218 y 220 se presenten unas transiciones de sentido positivo. Como estos últimos transistores son de tipos NPN y PNP, respectivamente, el transistor 218 se hace conductivo y el 220 no conductivo. Esto da lugar a la conexión de la resistencia 208, por medio de un camino de baja impedancia, a la línea de tensión 207, que conecta o pone la tensión +E en el camino de retroacción del amplificador 181, por medio de la resistencia 208. Cuando en el terminal 222 no se reciba señal alguna de dígitos, el transistor 216 permanece sin conducir, y los niveles de tensión en las bases de los transistores 218 y 220 quedan bajos, manteniendo al primero de éstos en el estado no conductivo y al último en el conductivo. Esto pone el potencial de masa ($\bar{0}$ voltios) de la línea 227 en el camino de retroacción del amplificador 181, por medio de la resistencia 208.



Desde el punto de unión 212 a la línea de masa 227 hay conectada una resistencia en derivación (shunt) 214, de un valor óhmico de $\bar{5}R/\bar{34}$, a fin de que el valor de la resistencia equivalente del circuito, que incluye los elementos R_{208} , R_{209} , R_{210} y R_{214} , resulte apropiado para trabajar con arreglo a los principios que más adelante se exponen.

La ganancia del amplificador 181, desde el punto de entrada 12 a la línea de salida 34, se calcula del modo siguiente:

$$G = \frac{R_{185} + R_3}{R_e}$$

donde R_e es igual a la resistencia equivalente de R_{208} , R_{209} , R_{210} y R_{214} . Puesto que $\bar{1}/R = \bar{4}/\bar{5}R + \bar{2}/\bar{5}R + \bar{1}/\bar{5}R + \bar{34}/\bar{5}R$, resulta de ello $R_e \bar{3} R/\bar{7}$. Y como el valor de la resistencia 185 es igual a R ,

$$G = \frac{R + R/\bar{7}}{R/\bar{7}} = \bar{10}$$

La tensión de salida V_o en la línea 34, en una combinación dada cualquiera de condiciones de entrada puede, pues, representarse como sigue:

$$V_o = 10 V_{in} - R_{185} \left[\frac{X_{215} E}{R_{208}} + \frac{X_{224} E}{R_{209}} + \frac{X_{226} E}{R_{210}} \right] \quad (1)$$

donde los valores de X_{215} , X_{224} y X_{226} son de $\bar{1}$ si son "uno" las entradas de control a los respectivos conmutadores 215, 224 y 226, y de $\bar{0}$ si son "cero" las señales de entrada a los respectivos conmutadores citados.

Así, por ejemplo, si la tensión de entrada en



la línea 12 es igual a $\bar{5},\bar{5}$ voltios, las señales numéri -
cas de retroacción a los terminales de entrada 222 del -
circuito 201 de DAC, procedentes del circuito codifica -
dor 700, representan el dígito $\bar{5}$ BCO (octal codificado -
5 en binario), y aparecen como señales de entrada de "uno"
binario en los conmutadores 215 y 226. La señal que apa -
rece en la línea de salida 34 del amplificador 181, con
arreglo a la ecuación (1), es, pues:

$$10 \quad V_o = 10 \times 5,5 - R \left(\frac{E}{\frac{5R}{4}} + \frac{E}{5R} \right) = \bar{5}\bar{5} - E$$

Con la tensión de referencia E ajustada a un valor constan -
te de $\bar{5}\bar{0}$ voltios, la salida en la línea 34 es igual a los
 $\bar{5},\bar{0}$ voltios necesarios. Si la entrada en la línea 12 es -
de $\bar{3},\bar{5}$ voltios, la salida es

$$15 \quad V_o = 10 \times 3,5 - R \left(\frac{50}{\frac{5R}{4}} + \frac{50}{5R} \right) = \bar{3}\bar{5} - R \left(\frac{170}{5R} \right) = \bar{5},\bar{0} \text{ voltios}$$

Comparador 300 y registro 600 del comparador

El circuito comparador 300 y el registro 600 de
20 comparador se ilustran con detalle en la fig. 6. Compren -
de el comparador 300 un grupo o conjunto de siete circuitos
de umbral (amplificadores diferenciales) 306, 308, 310, 312
314, 316 y 318. El terminal de entrada 302 del comparador
está conectado a la línea 14 y suministra a cada circuito
25 de umbral, por medio de una línea 304, la señal analógica
de entrada transmitida por la línea 14 desde los interrup -
tores de entrada 151, 152, 153, 154 y 155. Cada circuito
de umbral está conectado a un diferente nivel de tensión
de referencia establecido por el divisor de tensión que -



incluye las resistencias 303 conectadas entre una fuente de suministro de potencial de referencia +V y la masa. Como se indica en la figura, los circuitos de umbral 306, 308, 310, 312, 314, 316 y 318 reciben los niveles de tensión de referencia de $\bar{7}$ voltios, $\bar{6}$ voltios, $\bar{5}$ voltios, $\bar{4}$ voltios, $\bar{3}$ voltios, $\bar{2}$ voltios y $\bar{1}$ voltio, respectivamente. Toda señal presente en el terminal de entrada 302, de una magnitud sensiblemente igual o superior al respectivo nivel de tensión de referencia de un circuito de umbral dado, hace que ese circuito produzca una señal de salida positiva por su línea de salida 16.

Todos los circuitos de umbral están contruidos de modo idéntico, por lo que solo se detallará uno de ellos, el 306. La disposición del circuito es la de un amplificador diferencial simple, con transistores de entrada 320 y 322, un transistor de control 326 y un transistor de salida 324. Cuando la señal de la línea 304 tiene una magnitud inferior a $\bar{7}$ voltios, los transistores 320 y 322 están polarizados a sus estados no conductivo y conductivo, respectivamente. Esto mantiene a ambos transistores 324 y 326 sin conducir, y la línea de salida 16a se mantiene a un nivel negativo establecido por el potencial de polarización aplicado al terminal 328. Cuando la señal de la línea 304 sube por encima de 7 voltios, se invierten los estados de los transistores 320, 322, 324 y 326, apareciendo en la línea de salida 16a una señal de salida de "uno", de sentido positivo. Los circuitos de umbral 308, 310, 312, 314, 316 y 318 funcionan de manera idéntica, excepto en que son activados para dar señales de salida por sus líneas de salida 16b a 16g inclusive con arreglo a sus respectivos y dife -



rentes niveles de umbral.

El registro 600 del comparador, también repre -
sentado en esquema en la fig. 6, comprende siete circui -
tos lógicos biestables, cada uno de los cuales consta de
5 un par de circuitos de coincidencia 608 y 610 y un circui
to disyuntivo 606. Como se indica en el diagrama de perfi
les de onda de la fig. 3, la onda A aplicada al terminal
602 se mantiene normalmente a un nivel positivo, aplicán-
dosele impulsos negativos para reponer las posiciones del
10 registro. En la condición de reposición, las salidas de -
ambos circuitos de coincidencia 608 y 610 y del circuito
disyuntivo 606 de cada registro están en la condición de
"cero" o nivel bajo. Al ser aplicado un impulso B positi-
vo al terminal 604, son habilitados parcialmente todos los
15 circuitos de coincidencia 608 de la izquierda, cada uno de
los cuales va también conectado a una línea de salida que
viene de uno de los circuitos de umbral del comparador.
Cada uno de los circuitos de coincidencia 608 que también
recibe una señal de nivel "uno" procedente de su línea de
20 comparador, hace pasar una señal de salida por su circui
to disyuntivo 606. Esta señal se lleva de nuevo, por retro
acción a través de la línea 612, a la entrada del circuito
de coincidencia 610 y "asegura" la salida del circuito de
coincidencia 610, debido a la presencia del nivel normal-
25 mente positivo aplicado en el terminal 602. Esta señal de
salida permanece hasta que al terminal 602 se le aplica
un impulso de reposición A de sentido negativo. Las seña-
les de salida que así aparecen en las líneas de salida 18a
a 18g procedentes del registro 600 son la representación -
30 almacenada de la combinación de disparo que tuvo lugar por



última vez, generada en las líneas de salida 16a a 16g del comparador.

Circuito codificador 700

Los detalles del circuito codificador 700 se representan en la fig. 7. El circuito 700 recibe como entradas las señales que vienen de las líneas de salida 18a a 18g procedentes del registro 600 del comparador. La combinación de señales presente en estas líneas es convertida por el circuito 700 en una representación BCO (octal -
5 codificada en binario) del nivel de tensión de referencia del circuito de umbral, activado en el grupo comparador - 300, de más alto nivel de referencia. Así, de no activarse ningún circuito de umbral, no hay impulsos de salida presentes en las líneas 18a a 18g, ni se activa ninguna de -
10 las líneas de salida 20 del circuito 700. Si solamente se activa el circuito 318 de umbral más bajo, aparece una señal de "uno" en la línea 18g. El circuito de coincidencia 722 que está recibiendo una primera entrada de nivel "uno" procedente del inversor 730 conectado a la línea de entrada
15 18f, responde dando una señal positiva en la línea 20 de salida de " $\bar{1}$ ", por medio del circuito disyuntivo 718. Las señales de salida así presentes en las líneas 20 son una representación BCO del nivel de tensión de referencia ($\bar{1}$ voltio) del único circuito de umbral activado 318.

25 Si se activan dos circuitos de umbral, aparecen señales positivas en ambas líneas 18g y 18f. El circuito de coincidencia 720, pues, tiene activadas ambas - entradas, y da una señal de salida por la línea 20 de salida " $\bar{2}$ ", por medio del circuito disyuntivo 716. Aún



cuando haya una señal presente en la línea 18g, la señal de la línea 18f, que actua por medio del inversor 730, impide que funcione el circuito de coincidencia 722. Las señales de salida así presentes en las líneas 20 son una
5 representación BCO del nivel de tensión de referencia - ($\bar{2}$ voltios) del circuito de umbral activado que tenga el nivel de referencia más alto.

Si se activan tres circuitos de umbral, aparecen señales en las líneas 18e, 18f y 18g. Estas señales -
10 habilitan o activan ambos circuitos de coincidencia 720 y 724, dando señales de salida por ambas líneas 20, de - salidas " $\bar{2}$ " y " $\bar{1}$ ". Estas señales, como antes, son la representación BCO del nivel de tensión de referencia ($\bar{3}$ vol-
15 tios) del circuito de umbral activado que tenga el nivel de referencia más alto.

De activarse cuatro circuitos de umbral, aparecen señales en las líneas 18d, 18e, 18f y 18g y se activa solamente la línea 20 de salida " $\bar{4}$ ". Cuando se activan cin-
20 co circuitos de umbral, aparecen señales en las cinco líneas 18c a 18g inclusive. Esta combinación de entradas ac-
tiva las líneas 20 de salida " $\bar{4}$ " y " $\bar{1}$ ". Cuando son seis los circuitos de umbral activados, dan señales de salida las líneas 18b a 18g y se activan las líneas 20 de sali-
25 da " $\bar{4}$ " y " $\bar{2}$ ". Finalmente, al activarse los siete circui-
tos de umbral, todas las líneas de entrada 18 transmiten señales al circuito 700, activándose las tres líneas de -
salida 20. En cada uno de estos casos, las señales que apa-
recen en las líneas 20 son la representación BCO (octal -
30 codificada en binario) del nivel de tensión de referencia del circuito de umbral activado que tiene el nivel más al-

to.



Registro 251 de conversión de numérico a analógico

Los detalles de los circuitos del registro 251 de DAC se ilustran en la fig. 8. Los registros de DAC 252, 253
5 y 254 están contruidos de idéntica manera que el circuito 251, con la salvedad de que responden a diferentes impulsos de marcación de tiempos, por lo que se considera innecesario dar la descripción detallada de aquellos. El registro 251 comprende tres circuitos de "cerrojo" a base de coin-
10 cidencia y disyuntiva, idénticos a los empleados en el registro 600 del comparador, antes descrito. El impulso G de sentido negativo aplicado al circuito de coincidencia de la derecha, de cada posición de registro, repone el registro, lo mismo que el impulso A de reposición repone el registro 600 del comparador. Las señales BCO presentadas por
15 el circuito de codificación 700 por medio de las líneas 20 reciben paso a través de los circuitos de coincidencia de la izquierda, de cada uno de los tres cerrojos del registro 251, por medio del impulso de tiempos C, y son guardadas en los cerrojos de la manera ya descrita en relación
20 con el registro 600 del comparador. Las señales numéricas BCO guardadas en el registro 251 aparecen en las líneas 27 de salida "4", "2" y "1" del mismo. Estas señales son directamente transmitidas a las entradas de las barreras de coincidencia 900 de salida, y se transmiten por medio de las líneas 27a a las entradas del circuito 201 de DAC, antes descrito.
25

Como ya se ha dicho, al final de cada ciclo de conversión de dígitos se produce un impulso H de franqueo de -



de paso, que faculta a las barreras de coincidencia 900 para transferir a un dispositivo de utilización exterior las señales BCO de salida, presentes en las líneas de salida 27, 28, 29 y 30 de los registros 251, 252, 253 y 254, y en las líneas de salida 21 del circuito codificador 700. Cada uno de estos cinco dígitos de salida BCO representa un dígito de la salida de ADC, estando a la izquierda el dígito más significativo.

Si bien la forma de ejecución del presente invento aquí descrita efectúa una conversión en el sistema numérico de base ocho (octal), se sobrentiende que el circuito podría hacerse funcionar, con ligeras modificaciones en un sistema numérico cualquiera. Por ejemplo, para efectuar una conversión decimal, habría que añadir dos circuitos de umbral más al grupo comparador 300, y un número igual de posiciones de almacenaje al registro 600. El circuito de codificación 700 necesitaría modificaciones de orden secundario para convertir a decimal codificado en binario la combinación de disparo de las nueve líneas de salida del registro 600. Se necesitaría una línea adicional 20 de salida, para representar la posición del dígito "8". Además, habría que añadir una posición más de almacenaje a cada uno de los registros 251, 252, 253 y 254, y se necesitaría añadir también un interruptor y resistencia de entrada en cada uno de los circuitos de DAC (conversión de numérico a analógico) 201, 202, 203 y 204. Finalmente, los amplificadores de base numérica 181, 182, 183 y 184 habrían de modificarse, para tener una ganancia de diez.

Asimismo, aun cuando el grado de cuantificación proporcionado por la forma de realización del invento aquí



descrita es de cinco dígitos, no se pretende con ello fi-
jar una limitación, ya que puede utilizarse un número cual-
quiera de etapas numéricas o de dígitos, dentro de los lí-
mites prudenciales que permita la realización práctica de
5 los circuitos.

Si bien la invención se ha ilustrado y descrito
en particular con referencia a una forma preferida de rea-
lización de la misma, se sobrentiende, para aquellas per -
sonas versadas en la materia, que es posible hacer en la
10 misma los indicados y otros cambios de forma y de detalle,
sin por ello apartarse del espíritu ni salirse del ámbito
de la invención.

La presente solicitud que corresponde a la pre -
sentada en los Estados Unidos de América, con fecha 23 de
15 Julio de 1965, bajo el Nº 474.254, se acoge a los benefi-
cios del artículo 51 del vigente Estatuto sobre Propiedad
Industrial.

- N O T A -

Los puntos de invención propia y nueva que se -
20 presentan para que sean objeto de esta solicitud de Paten-
te de Invención en España, por VEINTE años, son los siguien-
tes:

1.- Un aparato convertidor de analógico a numéri-
co, que comprende/ unos medios de comparación de señales,
25 los cuales incluyen un circuito de entrada y son activa -
bles en el sentido de dar una señal de salida en respues-



ta a la presencia, en dicho circuito de entrada, de una
señal que tenga una magnitud superior a la de un nivel -
prefijado, incluyendo además dichos medios de comparación
de señales un circuito de salida que se puede ajustar o -
5 activar, en respuesta a dicha señal de salida, hasta lle-
varlo a una condición representativa de la magnitud de di-
cho nivel prefijado; una pluralidad de medios amplificado-
res, cada uno de los cuales tiene unas entradas primera y
segunda y una salida, estando dichos medios interconecta-
10 dos en serie, con la salida de cada uno conectada a la pri-
mera entrada del siguiente, y siendo cada uno de dichos -
medios amplificadores conectable a dicho circuito de sa-
lida de dichos medios de comparación de señales para am-
plificar, multiplicándola por un factor de base numérica,
15 la diferencia entre una señal aplicada a dicha primera en-
trada de dichos medios amplificadores y el nivel represen-
tado por la condición de dicho circuito de salida; un ter-
minal de señales de entrada analógicas, conectado a la -
primera entrada del primer medio amplificador de dicha se-
20 rie; y medios para conectar en sucesión las entradas pri-
mera y segunda de dicha pluralidad de medios amplificado-
res a los circuitos de entrada y salida, respectivamente,
de dichos medios de comparación de señales.

2.- Un aparato convertidor de analógico a numé-
25 rico, que comprende: unos medios de comparación de seña-
les, los cuales incluyen un circuito de entrada y una -
pluralidad de circuitos de umbral conectados a dicho cir-
cuito de entrada; teniendo cada uno de dichos circuitos
de umbral un nivel de umbral diferente y siendo activa -
30 ble en el sentido de dar una señal de salida en respues-



ta a la presencia, en dicho circuito de entrada, de una
señal cuya magnitud sea superior a la del nivel de umbral
de dicho circuito de umbral, incluyendo además dichos me-
dios de comparación de señales un circuito de salida que
5 se puede activar, en respuesta a dichas señales de salida,
hasta llevarlo, a una condición representativa de la magni-
tud del nivel de umbral del circuito de umbral activado -
que tenga el nivel más alto; una pluralidad de medios am-
plificadores, cada uno de los cuales tiene unas entradas
10 primera y segunda y una salida, estando dichos medios in-
terconectados en serie, con la salida de cada uno conecta-
da a la primera entrada del siguiente, y siendo cada uno
de dichos medios amplificadores conectable a dicho circui-
to de salida de dichos medios de comparación de señales pa-
15 ra amplificar, multiplicándola por un factor de base numé-
rica, la diferencia entre una señal aplicada a dicha pri-
mera entrada de dichos medios amplificadores y el nivel -
de umbral representado por la condición de dicho circuito
de salida, un terminal de señales de entrada analógicas -
20 conectado a la primera entrada del primer medio amplifica-
dor de dicha serie; y medios para conectar en sucesión las
entradas primera y segunda de dicha pluralidad de medios
amplificadores a los circuitos de entrada y salida, respec-
tivamente, de dichos medios de comparación de señales.

25 3.- Un aparato convertidor de analógico a numéri-
co, que comprende; unos medios de comparación de señales,
los cuales incluyen un circuito de entrada y una plurali-
dad de circuitos de umbral conectados a dicho circuito de
entrada, teniendo cada uno de dichos circuitos de umbral -
30 un nivel de umbral diferente y siendo activable en el sen-



tido de dar una señal de salida en respuesta a la presencia, en dicho circuito de entrada, de una señal cuya magnitud sea superior a la del nivel de umbral de dicho circuito de umbral, incluyendo además dichos medios de comparación de señales un circuito de salida que se puede ajustar o activar, en respuesta a dichas señales de salida, hasta llevarlo a una condición representativa de la magnitud del nivel de umbral del circuito de umbral activado que tenga el nivel más alto; una pluralidad de medios amplificadores, cada uno de los cuales tiene unas entradas primera y segunda y una salida, estando dichos medios interconectados en serie, con la salida de cada uno conectada a la primera entrada del siguiente, y siendo cada uno de dichos medios amplificadores conectable a dicho circuito de salida de dichos medios de comparación de señales para amplificar, multiplicándola por un factor de base numérica, la diferencia entre una señal aplicada a dicha primera entrada de dichos medios amplificadores y el nivel de umbral representado por la condición de dicho circuito de salida; un terminal de señales de entrada analógicas conectado a la primera entrada del primer medio amplificador de dicha serie; y medios de control para conectar en sucesión las entradas primera y segunda de dicha pluralidad de medios amplificadores a los circuitos de entrada y de salida, respectivamente, de dichos medios de comparación de señales, incluyendo dichos medios de control unos medios para almacenar o guardar una indicación de cada uno de dichos ajustes o activaciones del citado circuito de salida de dichos medios de comparación de señales.

30 4.- Un aparato convertidor de analógico a numéri-

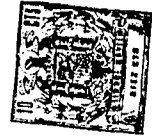


co, que comprende: unos medios de comparación de señales, los cuales incluyen un circuito de entrada y una pluralidad de circuitos de umbral conectados a dicho circuito de entrada, teniendo cada uno de dichos circuitos de umbral -
5 un nivel de umbral diferente, y siendo activable en el sentido de dar una señal de salida en respuesta a la presencia, en dicho circuito de entrada, de una señal cuya magnitud - sea superior a la del nivel de umbral de dicho circuito de umbral, incluyendo además dichos medios de comparación de -
10 señales un circuito de salida que se puede ajustar o activar, en respuesta a dichas señales de salida, hasta llevarlo a una condición numericamente representativa de la magnitud del nivel de umbral del circuito de umbral activado - que tenga el nivel más alto; una pluralidad de convertido -
15 res de numérico a analógico, cada uno de los cuales incluye un circuito de entrada conectable a dicho circuito de salida de dichos medios de comparación de señales, para hacer que dicho convertidor de numérico a analógico produzca una representación analógica del nivel de umbral representado por la condición de dicho circuito de salida de dichos
20 medios de comparación; una pluralidad de medios amplificadores, cada uno de los cuales tiene unas entradas primera y segunda y una salida, yendo dicha segunda entrada de cada uno de dichos medios conectada a uno, distinto, de dichos convertidores de numérico a analógico, estando dichos
25 medios amplificadores interconectados en serie, con la salida de cada uno conectada a la primera entrada del siguiente, y estando cada uno de dichos medios destinado a amplificar, multiplicándola por un factor de base numérica, la diferencia entre una señal aplicada a dicha primera entra-
30



da de dichos medios amplificadores y el nivel representa-
do por su convertidor de numérico a analógico a ellos co-
nectado; un terminal de señales de entrada analógicas co-
nectado a la primera entrada del primer medio amplifica -
5 dor de dicha serie; y medios para conectar en sucesión -
las primeras entradas de dichos medios amplificadores, y
los circuitos de entrada de los convertidores de numéri-
co a analógico a éstos asociados, a los circuitos de en-
trada y salida, respectivamente, de dichos medios de com-
10 paración de señales.

5.- Un aparato convertidor de analógico a numé-
rico, que comprende: unos medios de comparación de seña-
les, los cuales incluyen un circuito de entrada y una plu-
ralidad de circuitos de umbral conectados a dicho circuito
15 de entrada, teniendo cada uno de dichos circuitos de um -
bral un nivel de umbral diferente, y siendo activable en
el sentido de dar una señal de salida en respuesta a la
presencia, en dicho circuito de entrada, de una señal cu-
ya magnitud sea superior a la del nivel de umbral de di -
20 cho circuito de umbral, incluyendo además dichos medios
de comparación de señales un circuito de salida que se -
puede ajustar o activar, en respuesta a dichas señales de
salida, hasta llevarlo a una condición numericamente re -
presentativa de la magnitud del nivel de umbral del cir -
25 cuito de umbral activado que tenga el nivel más alto; una
pluralidad de convertidores de numérico a analógico, cada
uno de los cuales incluye un circuito de entrada conectable
a dicho circuito de salida de dichos medios de compa-
ración de señales, para hacer que dicho convertidor de -
numérico a analógico produzca una representación analógi-
30 ca del nivel de umbral representado por la condición de

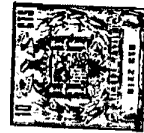


dicho circuito de salida de dichos medios de comparación de señales; una pluralidad de medios amplificadores, cada uno de los cuales tiene unas entradas primera y segunda y una salida, yendo dicha segunda entrada de cada uno de dichos medios conectada a uno, distinto, de dichos convertidores de numérico a analógico, estando dichos medios amplificadores interconectados en serie, con la salida de cada uno conectada a la primera entrada del siguiente, y estando cada uno de dichos medios destinado a amplificar, multiplicándola por un factor de base numérica, la diferencia entre una señal aplicada a dicha primera entrada de dichos medios amplificadores y el nivel representado por el convertidor de numérico a analógico a ella conectado; un terminal de señales de entrada analógicas conectado a la primera entrada de dicho primer medio amplificador de dicha serie; y medios de control para conectar en sucesión las primeras entradas de dichos medios amplificadores, y los circuitos de entrada de los convertidores de numérico a analógico a ellas asociados, a los circuitos de entrada y salida, respectivamente, de dichos medios de comparación de señales, incluyendo dichos medios de control unos medios de memoria numéricos para almacenar o guardar una indicación de cada uno de dichos ajustes o activaciones del citado circuito de salida de dichos medios de comparación de señales.

6.- Un aparato convertidor de analógico a numérico, que comprende: unos medios de comparación de señales, los cuales incluyen un circuito de entrada y una pluralidad de circuitos de umbral conectados a dicho circuito de entrada, teniendo cada uno de dichos circuitos de umbral un nivel de umbral diferente y siendo activable en



el sentido de dar una señal de salida en respuesta a la presencia, en dicho circuito de entrada, de una señal - cuya magnitud sea superior a la del nivel de umbral de dicho circuito de umbral, incluyendo además dichos me -
5 dios de comparación de señales un circuito de salida que se puede ajustar o activar, en respuesta a dichas señales de salida, hasta llevarlo a una condición representativa de la magnitud del nivel de umbral del circuito de umbral activado que tenga el nivel más alto; una pluralidad de
10 amplificadores de base numérica, cada uno de los cuales tiene unas entradas primera y segunda y una salida, estando dichos amplificadores interconectados en serie, con la salida de cada uno conectada a la primera entrada del siguiente, y siendo cada uno de dichos amplificadores co-
15 nectable a dicho circuito de salida de dichos medios de comparación de señales para amplificar, multiplicándola por un factor de base numérica, la diferencia entre una señal aplicada a dicha primera entrada de dicho amplifi-
cador y el nivel de umbral representado por la condición
20 de dicho circuito de salida; medios de franqueo de paso para conectar selectivamente dichas segundas entradas de los citados amplificadores de base numérica a dicho cir-
cuito de salida de los citados medios de comparación de señales; un terminal de señales de entrada analógicas co-
25 nectado a la primera entrada del primer amplificador de base numérica de dicha serie; un interruptor electrónico conectado a cada uno de dichos amplificadores de base nu-
mérica, teniendo cada uno de dichos interruptores una en-
trada conectada a dicha primera entrada de su amplifica -
30 dor asociado, y una salida conectada a dicho circuito de



entrada de dichos medios de comparación; y medios de control para hacer funcionar en sucesión alternativa dichos interruptores electrónicos y dichos medios de franqueo de paso, de modo tal que las señales de entrada analógicas se apliquen en secuencia a las primeras entradas de dichos amplificadores de base numérica.

7.- Un aparato convertidor de analógico a numérico, que comprende: unos medios de comparación de señales, los cuales incluyen un circuito de entrada y una pluralidad de circuitos de umbral conectados a dicho circuito de entrada, teniendo cada uno de dichos circuitos de umbral un nivel de umbral diferente, y siendo activable en el sentido de dar una señal de salida en respuesta a la presencia, en dicho circuito de entrada, de una señal cuya magnitud sea superior a la del nivel de umbral de dicho circuito de umbral, incluyendo además dichos medios de comparación de señales un circuito de salida que se puede ajustar o activar, en respuesta a dichas señales de salida, hasta llevarlo a una condición representativa de la magnitud del nivel de umbral del circuito de umbral activado que tenga el nivel más alto; una pluralidad de medios de memoria destinados a almacenar una indicación de cada uno de dichos ajustes o activaciones del citado circuito de salida de dichos medios de comparación de señales; una pluralidad de amplificadores de base numérica, cada uno de los cuales tiene unas entradas primera y segunda y una salida, estando dichos amplificadores interconectados en serie, con la salida de cada uno conectada a la primera entrada del siguiente, y yendo cada amplificador respectivo conectado a uno, distinto, de dichos me

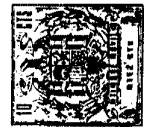


5 dios de memoria, para amplificar, multiplicándola por un factor de base numérica, la diferencia entre una señal - aplicada a dicha primera entrada de dicho amplificador - respectivo y el nivel de umbral representado por la indi-
cación guardaba en dichos medios de memoria a éste conec-
tado; medios de franqueo de paso para trasladar selecti-
vamente a dichos medios de memoria la indicación de cada uno de dichos ajustes o activaciones del citado circuito de salida de dichos medios de comparación de señales; un
10 terminal de señales de entrada analógicas conectado a la primera entrada del primer amplificador de dicha serie; un interruptor electrónico conectado a cada uno de dichos amplificadores de base numérica, teniendo cada uno de dichos interruptores una entrada conectada a dicha primera entra-
15 da de su amplificador asociado, y una salida conectada a dicho circuito de entrada de dichos medios de comparación de señales; y medios de control para hacer funcionar en - sucesión alternativa dichos interruptores electrónicos y dichos medios de franqueo de paso, de modo tal que las se-
20 ñales de entrada analógicas se apliquen en secuencia a las primeras entradas de dichos amplificadores de base numérica.

8.- Un aparato convertidor de analógico a numérico, que comprende: unos medios de comparación de seña -
25 les, los cuales incluyen un circuito de entrada y una pluralidad de circuitos de umbral conectados a dicho circuito de entrada, teniendo cada uno de dichos circuitos de umbral un nivel de umbral diferente, y siendo activable en el sentido de dar una señal de salida en respuesta a la -
30 presencia, en dicho circuito de entrada, de una señal cu -



ya magnitud sea superior a la del nivel de umbral de dicho circuito de umbral, incluyendo además dichos medios de comparación de señales un circuito de salida que se puede ajustar o activar, en respuesta a dichas señales de salida, hasta llevarlo a una condición numericamente representativa de la magnitud del nivel de umbral del circuito de umbral activado que tenga el nivel más alto; una pluralidad de medios de memoria numéricos destinados a guardar una indicación de cada uno de dichos ajustes o activaciones del citado circuito de salida de dichos medios de comparación de señales; una pluralidad de convertidores de numérico a analógico, cada uno de los cuales incluye un circuito de entrada conectado a uno, distinto, de dichos medios de memoria, para hacer que dicho convertidor de numérico a analógico produzca una representación analógica del nivel de umbral representado por la indicación guardada en dichos medios de memoria a éste conectados; una pluralidad de amplificadores de base numérica, cada uno de los cuales tiene unas entradas primera y segunda y una salida, yendo dicha segunda entrada de cada uno de dichos amplificadores conectada a uno, distinto, de dichos convertidores de numérico a analógico, estando dichos amplificadores interconectados en serie, con la salida de cada uno conectada a la primera entrada del siguiente, y yendo cada uno de dichos amplificadores destinado a amplificar, multiplicándola por un factor de base numérica, la diferencia entre una señal aplicada a la primera entrada de dicho amplificador y el nivel representado por el convertidor de numérico a analógico a él conectado; medios de franqueo de paso para trasladar selectivamente a uno, -



distinto, de dichos medios de memoria, la indicación de cada uno de dichos ajustes o activaciones del citado circuito de salida de dichos medios de comparación de señales; un terminal de señales de entrada analógicas conectado a la primera entrada del primer amplificador de dicha serie; un interruptor electrónico conectado a cada uno de dichos amplificadores de base numérica, teniendo cada uno de dichos interruptores una entrada conectada a dicha primera entrada de su amplificador asociado, y una salida conectada a dicho circuito de entrada de dichos medios de comparación de señales; y medios de control para hacer funcionar en sucesión alternativa dichos interruptores electrónicos y dichos medios de franqueo de paso, de modo tal que las señales de entrada analógicas se apliquen en secuencia a las primeras entradas de dichos amplificadores de base numérica.

9.- Un aparato convertidor de analógico a numérico, que comprende: unos medios de comparación de señales, los cuales incluyen un circuito de entrada y una pluralidad de circuitos de umbral conectados a dicho circuito de entrada, teniendo cada uno de dichos circuitos de umbral un nivel de umbral diferente, y siendo activable en el sentido de dar una señal de salida en respuesta a la presencia, en dicho circuito de entrada, de una señal cuya magnitud sea superior a la del nivel de umbral de dicho circuito de umbral; un registro de almacenaje o memoria para guardar las señales de salida procedentes de dicho circuito de umbral; un circuito codificador que se puede ajustar o activar, en respuesta a la condición de dicho registro de almacenaje, hasta llevarlo a una condición numericamente re-



presentativa de la magnitud del nivel de umbral del cir -
cuito de umbral activado que tenga el nivel más alto; una
pluralidad de convertidores de numérico a analógico, ca-
da uno de los cuales incluye un circuito de entrada coneg
5 table a dicho circuito codificador para hacer que dicho -
convertidor de numérico a analógico produzca una represen
tación analógica del nivel de umbral representado por la
condición de dicho circuito codificador; una pluralidad
de medios amplificadores, cada uno de los cuales tiene -
10 unas entradas primera y segunda y una salida, yendo dicha
segunda entrada de cada uno de dichos medios amplificado-
res conectada a uno, distinto, de dichos convertidores de
numérico a analógico, estando dichos medios amplificado-
res interconectados en serie, con la salida de cada uno
15 conectada a la primera entrada del siguiente, y destinado
cada uno a amplificar, multiplicándola por un factor de -
base numérica, la diferencia entre una señal aplicada a -
dicha primera entrada de dichos medios amplificadores y
el nivel representado por el convertidor de numérico a -
20 analógico a éstos conectado; un terminal de señales de -
entrada analógicas conectado a la primera entrada del -
primer medio amplificador de dicha serie; y medios para
conectar en sucesión las primeras entradas de dichos me-
dios amplificadores y los circuitos de entrada de los con
25 vertidores de numérico a analógico a éstos asociados, al
circuito de entrada de dichos medios de comparación de se-
ñales y a dichos medios codificadores, respectivamente.

10.- Un aparato convertidor de analógico a nu -
mérico, que comprende; unos medios de comparación de seña
30 les, los cuales incluyen un circuito de entrada y una plu-



ralidad de circuitos de umbral conectados a dicho circui-
to de entrada, teniendo cada uno de dichos circuitos de
umbral un nivel de umbral diferente, y siendo activable
en el sentido de dar una señal de salida en respuesta a
5 la presencia, en dicho circuito de entrada, de una señal
cuya magnitud sea superior a la del nivel de umbral de -
dicho circuito de umbral; un primer registro de almace -
naje o memoria para guardar las señales de salida proce -
dentes de dicho circuito de umbral; un circuito codifica
10 dor que se puede ajustar o activar, en respuesta a la con -
dición de dicho primer registro de almacenaje, hasta lle -
varlo a una condición numéricamente representativa de la
magnitud del nivel de umbral del circuito de umbral acti -
vado que tenga el nivel más alto; una pluralidad de con -
15 vertidores de numérico a analógico, cada uno de los cua -
les incluye un circuito de entrada conectable a dicho cir -
cuito codificador para hacer que dicho convertidor de nu -
mérico a analógico produzca una representación analógica
del nivel de umbral representado por la condición de di -
20 cho circuito codificador; una pluralidad de medios ampli -
ficadores, cada uno de los cuales tiene unas entradas pri -
mera y segunda y una salida, yendo dicha segunda entrada
de cada uno de dichos medios amplificadores conectada a
uno, distinto, de dichos convertidores de numérico a ana -
25 lógico, estando dichos medios amplificadores interconecta -
dos en serie, con la salida de cada uno conectada a la pri -
mera entrada del siguiente, y destinado cada uno a ampli -
ficar, multiplicándola por un factor de base numérica, la
diferencia entre una señal aplicada a dicha primera entra -
30 da de dichos medios amplificadores y el nivel representado



por el convertidor de numérico a analógico a éstos conec-
tado; un terminal de señales de entrada analógicas conec-
tado a la primera entrada de dicho primer medio amplifica
dor de dicha serie; y medios de control para conectar en
5 sucesión las primeras entradas de dichos medios amplifi-
cadores, y los circuitos de entrada de los convertidores
de numérico a analógico a éstos asociados, al circuito de
entrada de dichos medios de comparación de señales y a di-
chos medios codificadores, respectivamente, incluyendo di-
10 chos medios de control una pluralidad de segundos regis -
tros de almacenaje o memoria para guardar una indicación
de cada uno de dichos ajustes o activaciones de dicho cir-
cuito codificador.

11.- Un aparato convertidor de analógico a numé-
15 rico, que comprende: unos medios de comparación de señales
los cuales incluyen un circuito de entrada y una plurali -
dad de circuitos de umbral conectados a dicho circuito de
entrada, teniendo cada uno de dichos circuitos de umbral
un nivel de umbral diferente, y siendo activable en el sen
20 tido de dar una señal de salida en respuesta a la presen -
cia, en dicho circuito de entrada, de una señal cuya mag -
nitud sea superior a la del nivel de umbral de dicho cir-
cuito de umbral; un primer registro de almacenaje o memo-
ria para guardar las señales de salida procedentes de di-
25 chos circuitos de umbral; un circuito codificador que se
puede ajustar o activar, en respuesta a la condición de
dicho primer registro de almacenaje, hasta llevarlo a una
condición numericamente representativa de la magnitud del
nivel de umbral del circuito de umbral activado que tenga
30 el nivel más alto; una pluralidad de segundos registros -



de almacenaje conectables a dicho circuito codificador para recibir de éste la indicación de cada uno de dichos ajustes o activaciones de dicho circuito codificador; una pluralidad de convertidores de numérico a analógico, cada uno de los cuales incluye un circuito de entrada conectado a uno, distinto, de dichos segundos registros de almacenaje, para hacer que dicho convertidor de numérico a analógico produzca una representación analógica del nivel de umbral representado por la indicación guardada en el segundo registro de almacenaje, a él conectado; una pluralidad de amplificadores de base numérica, cada uno de los cuales tiene unas entradas primera y segunda y una salida, yendo dicha segunda entrada de cada uno de dichos amplificadores conectada a uno, distinto, de dichos convertidores de numérico a analógico, estando dichos amplificadores interconectados en serie, con la salida de cada uno conectada a la primera entrada del siguiente, y yendo cada uno de dichos amplificadores destinado a amplificar, multiplicándola por un factor de base numérica, la diferencia entre una señal aplicada a dicha primera entrada del amplificador citado y el nivel representado por el convertidor de numérico a analógico a él conectado; un terminal de señales de entrada analógicas conectado a la primera entrada del primer amplificador de dicha serie; medios de franqueo de paso para conectar selectivamente dichos segundos registros de almacenaje o memoria a dicho circuito codificador, de modo tal que la indicación de cada uno de dichos ajustes o activaciones de dicho circuito codificador pueda trasladarse a uno, distinto, de dichos segundos registros de almacenaje; un interruptor electrónico conectado a cada uno de dichos



amplificadores de base numérica, teniendo cada uno de dichos interruptores una entrada conectada a dicha primera entrada de su amplificador asociado, y una salida conectada a dicho circuito de entrada de dichos medios de comparación de señales; y medios de control para hacer funcionar en sucesión alternativa dichos interruptores electrónicos y dichos medios de franqueo de paso, de modo tal que las señales de entrada analógicas se apliquen en secuencia a las primeras entradas de dichos amplificadores de base numérica.

12.- Un aparato convertidor de analógico a numérico.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

La presente Memoria consta de cuarenta y seis hojas, escritas a máquina por una sola cara.

Madrid,

17 AGO. 1966

Alberto de Elzaburu
Por Poder

PPR.

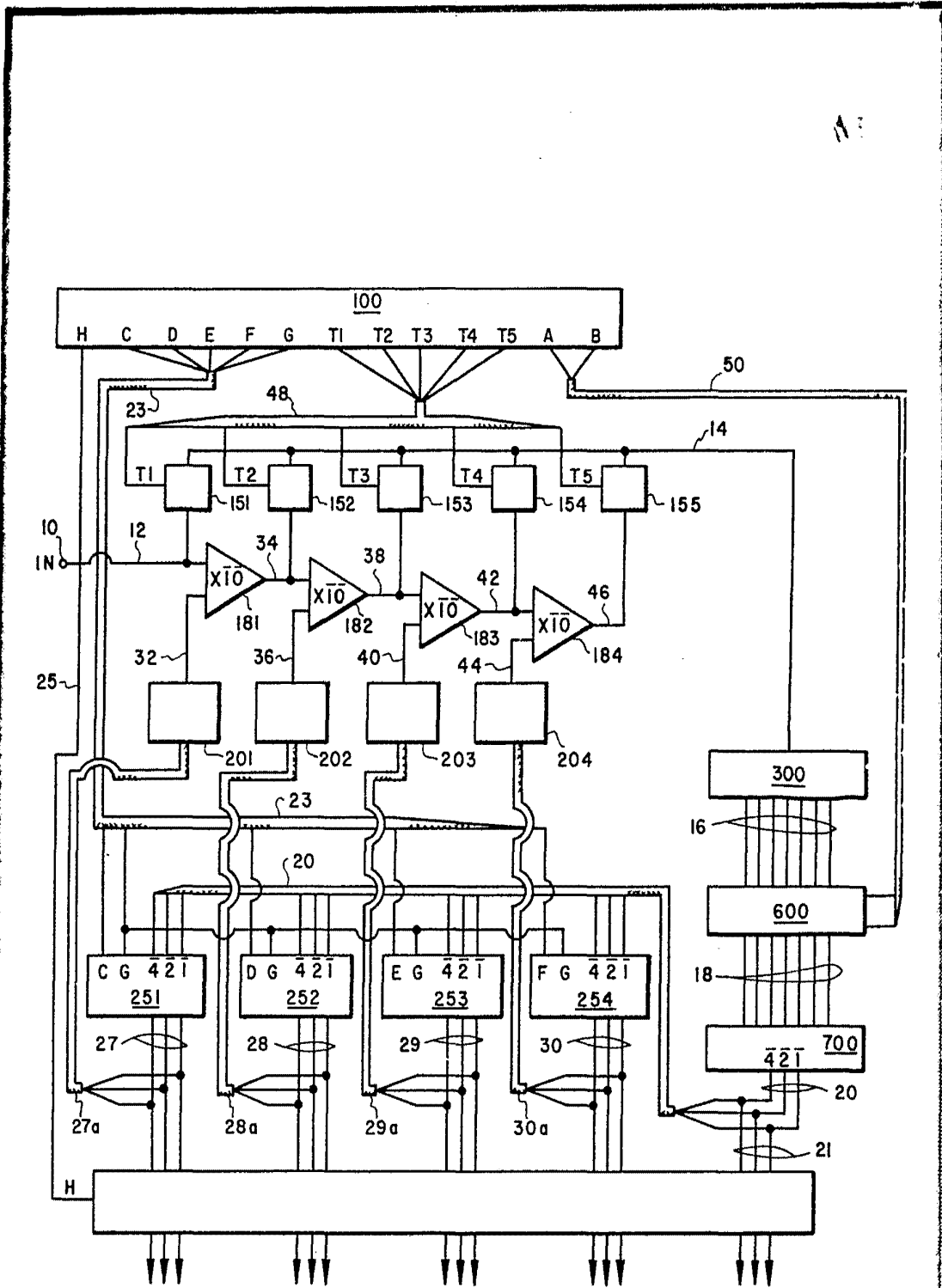
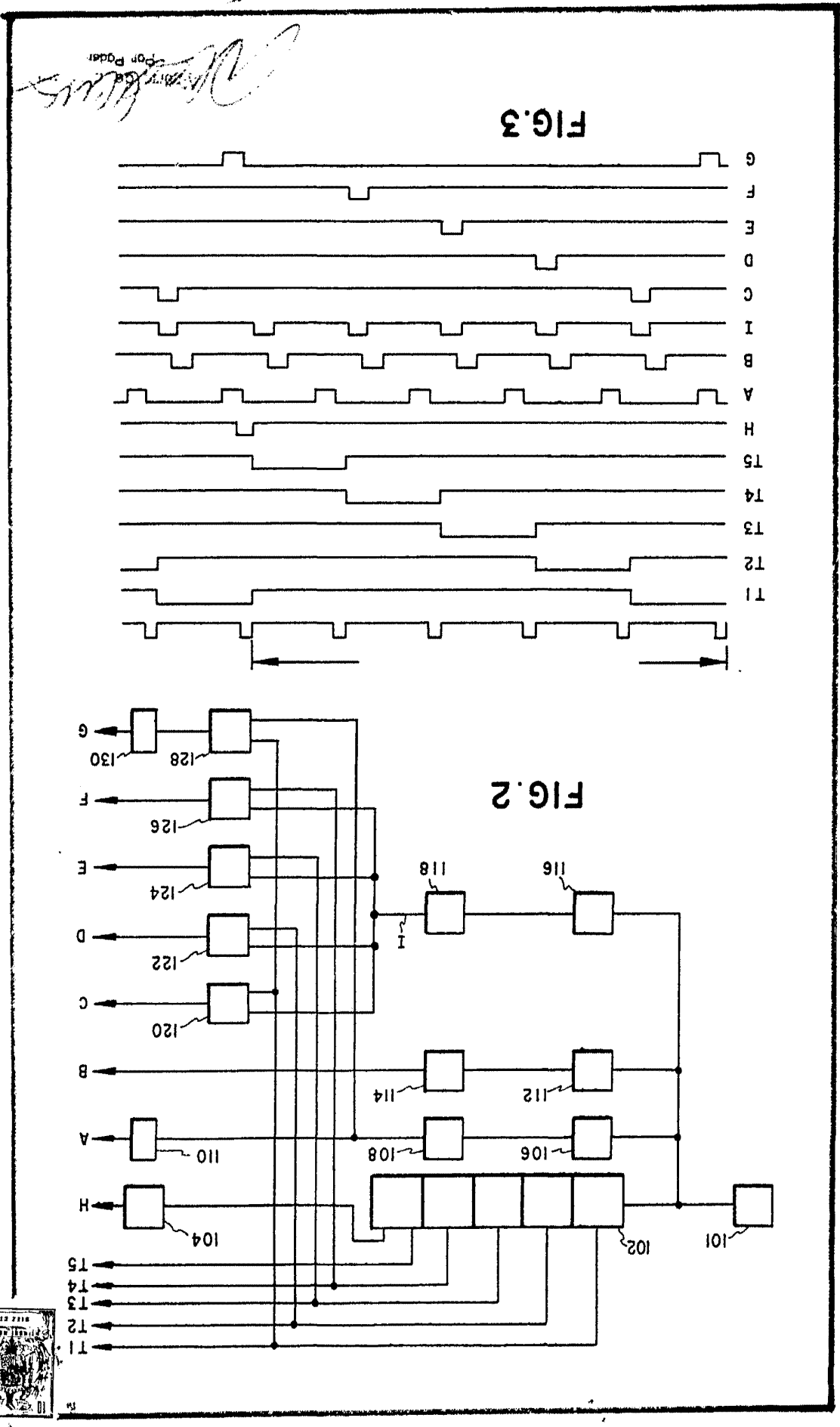


FIG. 1

Alberto de Finchini
Alberto de Finchini



Handwritten signature and text:
 J. W. ...
 1000 P.O. Box

FIG. 3

FIG. 2



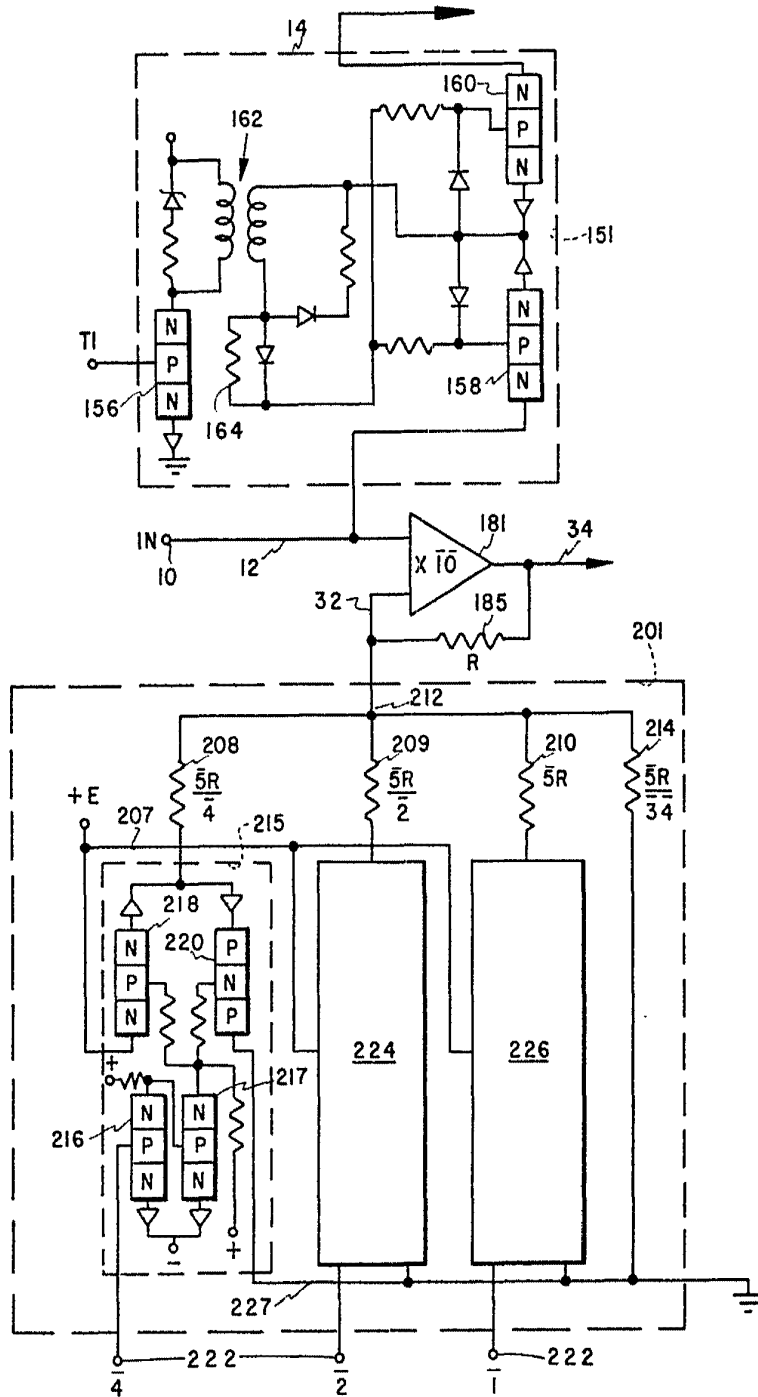


FIG. 4

Handwritten signature

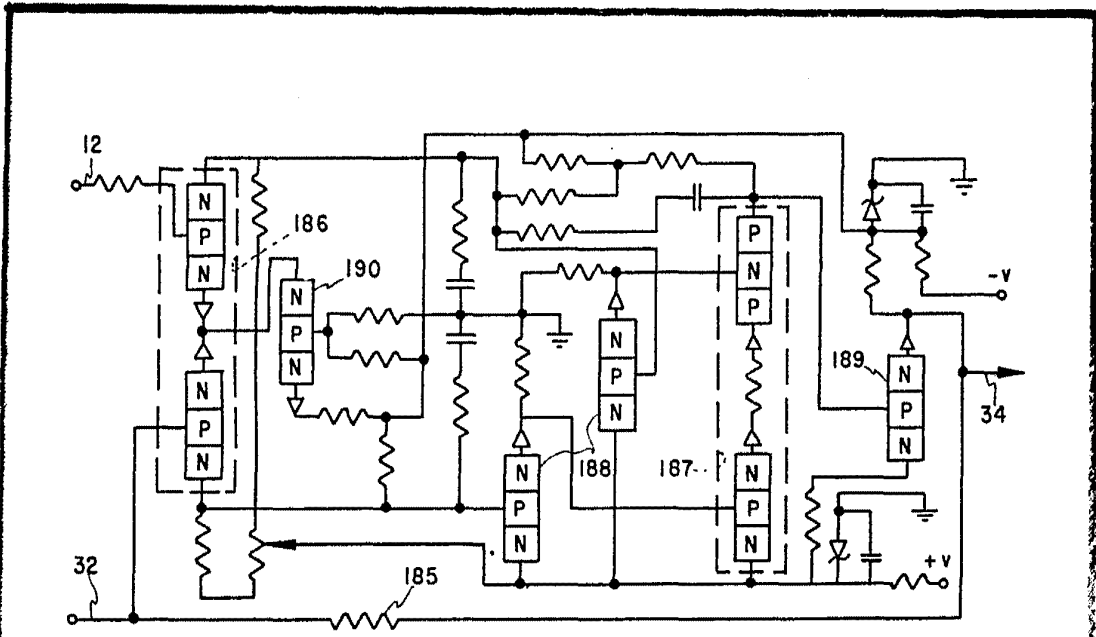


FIG. 5

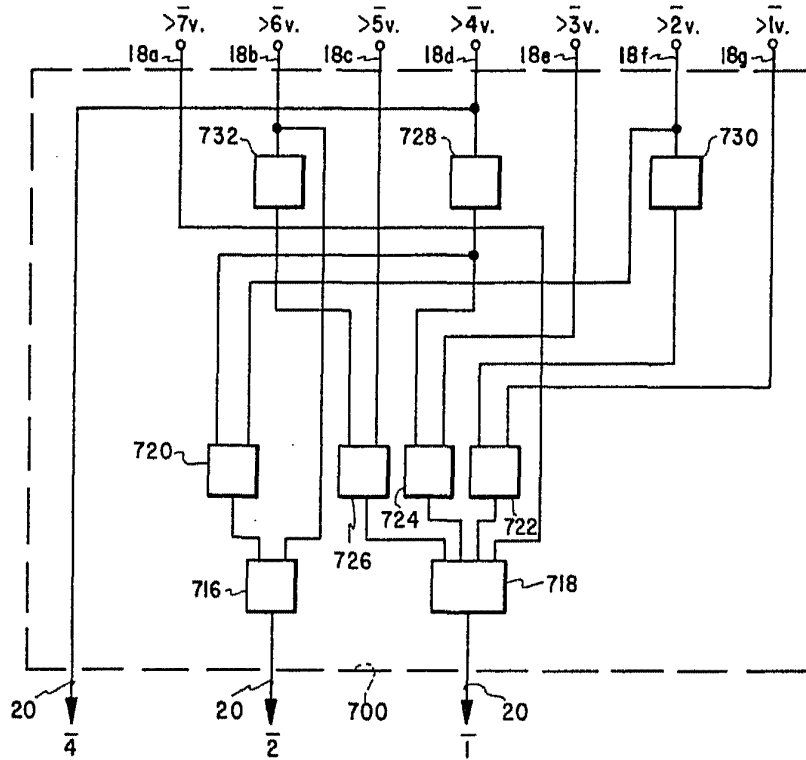


FIG. 7

Handwritten signature or initials

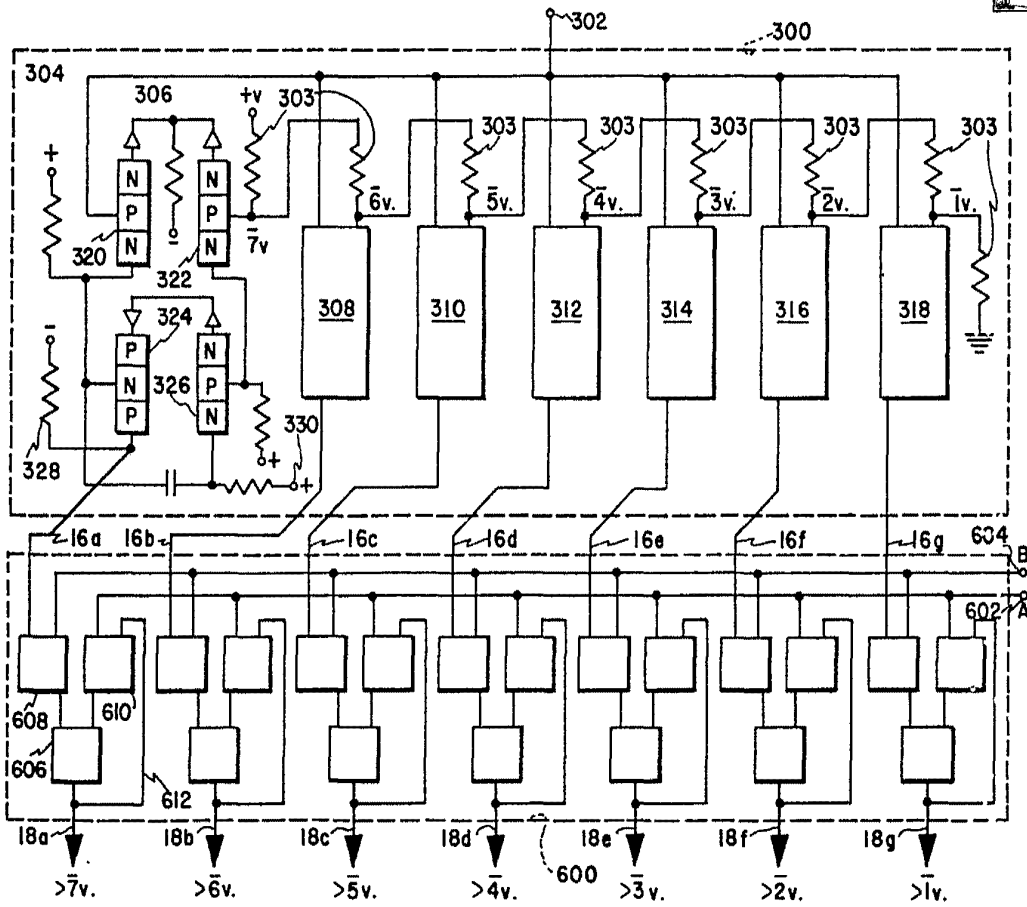


FIG. 6

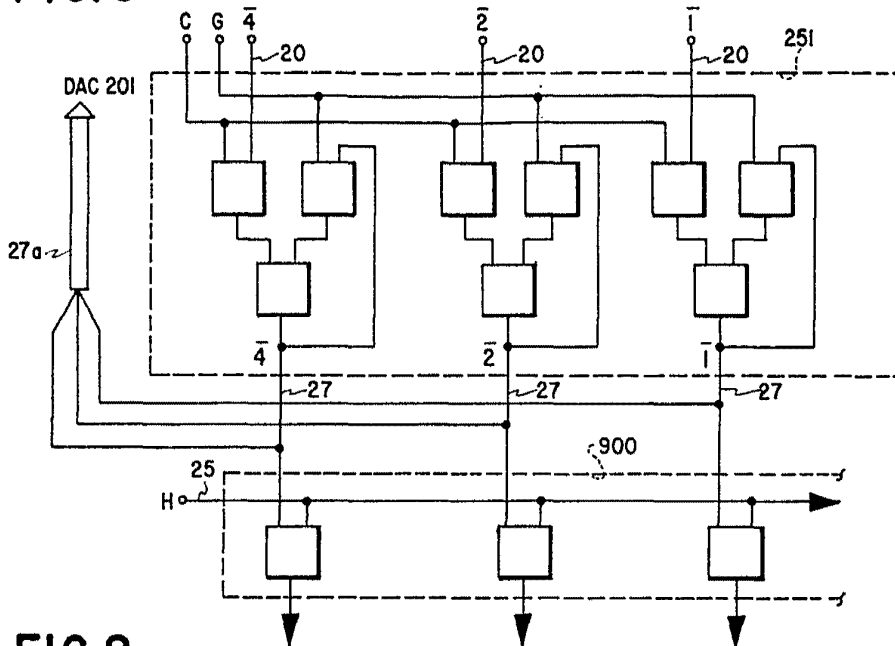


FIG. 8

Alberto de Lizaburu
 For Power