

327549

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "UN METODO DE BUSQUEDA DE RUTA EN UN SISTEMA
ELECTRONICO DE CONMUTACION CONTROLADO CENTRALMENTE"
A NOMBRE DE STANDARD ELECTRICA, S.A., CON DOMICILIO
EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5

Este invento se refiere a un método de búsqueda de ruta en un sistema de conmutación controlado centralmente, en el que la condición de línea de los conductores intermedios se registra en una memoria.

5 Existen métodos conocidos en los que, para determinar una ruta de conexión a través de una red de conmutación, en un primer paso, que tiene su comienzo en la entrada, se marcan en pasos todos los conductores intermedios que pueden ser interconectados y, en un segundo paso, se selecciona una ruta de conexión en dirección opuesta por los
10 enlaces marcados, igualmente en pasos. Estos métodos requieren la existencia de una red piloto en las líneas en que se haya predeterminado que los conductores intermedios puedan ser conectados.

Estos circuitos se hallan dispuestos de forma que tienen dispositivos independientes de conmutación para marcar conductores intermedios y para hacer una selección de los conductores intermedios que
15

./..

327549

2.-

han sido marcados. La transmisión de la señal de etapa a etapa se hace generalmente por el marcado, también llamado "ofrecimiento" y por la selección, que también se llama "acceso", a través de líneas independientes. También hay un circuito, de disposición conocida, en el que
20 para las dos direcciones de transmisión solamente se dispone un piloto.

Comparado con el método que se ha descrito, el que es objeto de este invento tiene la ventaja de que no se necesita red piloto independiente en las líneas en que se establece la posibilidad de conexión de los conductores intermedios.

25 También es conocido como almacenar la condición de línea de una red de conmutación en una memoria y como disponer la memoria de tal forma que, para cambiar su contenido, si cambian las condiciones de la línea, los mandos de control de la red de conmutación pueden ser también usados. De estas informaciones no se puede deducir cómo puede llevarse a cabo la búsqueda de la ruta.
30

El objeto de este invento es el establecimiento de una búsqueda de ruta en un sistema electrónico de conmutación controlado centralmente, sin red piloto por la que la condición de línea de los conductores intermedios se almacena en una memoria.

35 El método a que se refiere la invención resuelve este problema de que durante el primer paso, en una matriz de almacenamiento de bits mnemónicos son marcadas las filas de almacenamiento de todos los conductores intermedios considerados para establecer la conexión y no tomados, de que en un segundo paso, en la dirección opuesta, comenzando también en una célula de memoria marcada al final en la matriz de
40 almacenamiento de bits mnemónicos, se hace una selección de las células de memoria marcadas con un "bit" mnemónico, en etapas y que, en ambos pasos, la posibilidad de conexión de los conductores intermedios se determina por una asociación de las direcciones de las células de memoria.

45 La posibilidad de conexión de dos conductores intermedios

./..

se puede expresar también en la memoria de forma que se almacenen en común la condición de línea de un conductor intermedio y la dirección de las células de memoria para la condición de línea de los conductores intermedios precedentes o en avance o bien de ambos.

50 Si a una determinada entrada de la red de conmutación llega un requerimiento de conexión, todos los enlaces de ruta avanzados son interrogados sobre su condición de línea a partir de dicha entrada y buscando por las células de memoria asociadas la condición de línea de matriz de almacenamiento. Los enlaces de ruta en reposo se toman como
55 posibles enlaces de ruta para la selección, marcando las respectivas matrices de almacenamiento de "bits" mnemónicos. Si durante este paso de este método una alcanza una célula de memoria, asociada a una salida de la etapa final, es posible, al menos, una conexión entre la entrada prefijada y una de las salidas. Durante un segundo paso de este método
60 es siempre seleccionada una de las matrices de almacenamiento de "bits" mnemónicos de cada etapa, de acuerdo con una regla definida. Esta regla puede, por ejemplo, ser que se seleccione siempre la matriz de almacenamiento de bits mnemónicos con dirección más baja cuyo conductor intermedio asociado pueda conectarse con los conductores intermedios de
65 las otras etapas de conmutación que fueron ya seleccionados durante el segundo paso del método. Como el primer paso del método arranca de un punto definido de la entrada de la red de conmutación, el segundo paso del método debe determinar siempre en esta entrada, con lo que se fija una ruta de conexión definida desde la entrada predeterminada a una sa-
70 lida. Esta ruta de conexión se establece en la red de conmutación y simultáneamente queda marcada la condición de línea correspondiente de las células de almacenamiento como tomada. Con ello quedan cancelados todos los marcajes de la matriz de almacenamiento de bits mnemónicos y se inicia una nueva búsqueda de ruta.

75 Con el método que corresponde a este invento se hace uso

de toda posibilidad de conexión, no pudiendo darse la condición de "bloqueo interno".

Pasamos ahora a describir detalladamente el invento, con ayuda de un ejemplo y de los dibujos que se acompañan, en que:

80 La figura 1^x muestra un simple ejemplo de red de conmutación, y

La figura 2^x muestra la subdivisión del almacenamiento por el método objeto de esta invención.

La red de conmutación de la figura 1 tiene cuatro etapas de
85 conmutación A, B, C y D. La etapa A tiene cuatro bloques de conmutación A₁, A₂, A₃ y A₄, cada uno de los cuales tiene cuatro entradas (p.e. las entradas A₃₁ a A₃₄) y tres salidas (p.e. las salidas A'₃₁ a A'₃₃). Cada salida de un bloque de conmutación conduce a otro bloque de conmutación de la etapa de conmutación B. Los tres bloques de conmutación B₁, B₂ y
90 B₃ poseen así cuatro entradas y tres salidas por bloque (p.e. las salidas B'₃₁ a B'₃₃). Cada salida de un bloque de conmutación de la etapa de conmutación B conduce a otro bloque de conmutación C₁, C₂ o C₃ de la etapa de conmutación C. Finalmente, cada una de dichas salidas de un
bloque de conmutación de la etapa de conmutación C conduce a uno de los
95 dos bloques de conmutación D₁, D₂ de la etapa de conmutación D. Estos bloques de conmutación tienen dos salidas cada uno, D'₁₁, D'₁₂ y D'₂₁, D'₂₂ respectivamente.

En la actual descripción y en las reivindicaciones los conductores intermedios entre los bloques de conmutación se designan como
100 enlaces de ruta pero, es también posible considerar como enlaces de ruta los contactos de los bloques de conmutación, siendo capaces ambas clases de ruta de poseer dos condiciones de línea o de conmutación, respectivamente, que se pueden almacenar en un dígito binario de memoria

En la figura 1, una salida de bloque de conmutación y el
105 conductor intermedio de conexión tienen solamente una referencia común

porque es una asociación que se distingue.

La figura 2 muestra la subdivisión del almacenamiento. El almacenamiento se compone de una matriz de almacenamiento de condición de línea BF y de una matriz de almacenamiento de "bits" mnemónicos MF.

110 La matriz de almacenamiento de condición de línea que se muestra corresponde al primer paso en el método de acuerdo con la invención, según refiere la reivindicación, sin que se muestren las direcciones almacenadas para el segundo paso. Además de cada célula de memoria de condición de línea BSZ se dispone un grupo de célula de memoria BSG en el que se
115 almacena la dirección de la célula de memoria de condición de línea para la condición de línea del primer enlace de ruta en avance. La información en este grupo de células de memoria es constante en general y puede únicamente cambiarse cambiando los saltos de conmutación de la red. Cada célula de memoria de condición de línea tiene, junto con el
120 grupo de célula de memoria, una dirección absoluta ASA y una simbólica SA que coincide con la referencia del enlace de ruta correspondiente en la Figura 1. Las células de memoria se llaman con la dirección de almacenamiento absoluto ASA, y su contenido puede ser interrogado o cambiado.

125 En el método, de acuerdo con la reivindicación 1, la subdivisión de la memoria difiere de la forma representada en que los grupos de células de memoria BSG son omitidos además de las células de memoria de condición de línea BSZ, siendo su función eliminada en el método en el método del invento por una traslación conforme con lo que se indica
130 en la reivindicación 1.

En la matriz de almacenamiento de bits mnemónicos MF se dispone de una célula de memoria de bits mnemónicos MSZ para cada pieza de ruta en cuestión. En el ejemplo que se da se consideran tres conductores intermedios para establecer una conexión entre, por ejemplo, la etapa de conmutación A y la etapa de conmutación B, existiendo tres células
135

de memoria de "bits" mnemónicos. En correspondencia se establecen nueve células de memoria de "bits" mnemónicos para los conductores intermedios entre la etapa de conmutación B y la etapa de conmutación C, seis células de memoria de "bits" mnemónicos para los conductores intermedios entre la
 140 etapa de conmutación C y la etapa de conmutación D y cuatro células de memoria de "bits" mnemónicos para las salidas de la etapa de conmutación D.

Las células de memoria MSZ de la matriz de almacenamiento de "bits" mnemónico MF tienen también una dirección simbólica SA y una dirección de memoria absoluta ISA con la que son llamados.

145 La figura 2 muestra, en la matriz de almacenamiento de condición de línea, unos grupos de células de memoria para almacenar también direcciones para las células de memoria de condición de línea para las salidas D'11 a D'22. En estos grupos de células de memoria se pueden almacenar las direcciones de tales células, por ejemplo, en que se almacenan los mandos de control para continuar el establecimiento de una co-
 150 nexión al alcanzar la salida posible. La continuidad consiste, por ejemplo, en que se inicia el paso de selección si en el de marcaje se ha determinado cuando menos una salida en reposo.

El método de este invento se explica a continuación con la ayuda de un ejemplo de búsqueda de ruta en la memoria que se representa
 155 en la figura 2.

En la red de conmutación según la figura 1 los conductores intermedios representados a trazos son, como ejemplo, tomados y así, en la matriz de almacenamiento de condición de línea, las células de memoria de condición de línea marcadas con una cruz se consideran como usa-
 160 das y los conductores intermedios correspondientes pueden, por tanto, no ser usados en la búsqueda de ruta para un ofrecimiento en el primer paso del método. Un requerimiento para establecer una conexión se supone, como ejemplo, en la entrada A 23.

165 Con ello las salidas del bloque de conmutación AZ son com-

probadas y las salidas A'22 y A'23 marcadas al disponer dos "bits" mnemónicos M1 y M2 en las células de memoria a'2, a'3 con las direcciones absolutas 48 y 49. La salida A'22 conduce al bloque de conmutación B2; por este bloque de conmutación se determinan las salidas en reposo B'22 y B'23 y se marcan las células de memoria de "bits" mnemónicos b'22, b'23 con las direcciones absolutas de almacenamiento 54, 55 por el establecimiento de dos "bits" mnemónicos M3, M4. La salida A'23 conduce al bloque de conmutación B3 pues sus salidas en reposo, los "bits" mnemónicos M5, M6 y M7, están dispuestos. El primer paso del método continua hasta que por lo menos una salida de la red de conmutación, que esté en reposo, queda determinada y, por ejemplo, se establece el "bit" mnemónico M12.

La posibilidad de conexión de los conductores intermedios resulta, por ejemplo, de una asociación entre las direcciones de las células de memoria o, como se muestra en la figura 2, por el almacenamiento común de la condición de línea de un conductor intermedio, con dirección de la célula de memoria para la condición de línea del primer conductor intermedio que tenga aplicación.

Durante el segundo paso del método se selecciona, desde el punto de destino, la posibilidad de conexión que ha de ser usada. Si, por ejemplo, se elije en cada etapa de arriba a abajo la primera célula de memoria que esté marcada, el conductor asociado intermedio puede ser conectado con el conductor intermedio que haya sido finalmente elegido durante el segundo paso del método; en nuestro ejemplo se determina así la ruta D'11 - C'11 - B'31 - A'23 - A23. La posibilidad de conexión resulta de nuevo de una asociación entre las direcciones de las células de almacenamiento o por el almacenamiento, en común, de la condición de línea del conductor intermedio que sigue en el segundo paso de este método. La figura 2 no muestra, por tratar de tener una mejor representación, las direcciones almacenadas para el segundo paso del

método (selección). De acuerdo con el método del invento, siempre se alcanza durante el segundo paso de dicho método la entrada con que comienza el primer paso del método iniciado, porque únicamente se seleccionan los conductores intermedios cuyas células de memoria de "bits" mnemónicos han sido marcados durante el primer paso del método.

En la red de conmutación la conexión establecida

A 23 - A'23 - B'31 - C'11 - D'11

forma una conexión completa; en la matriz de almacenamiento de condición de línea las células de memoria, con los mismos números de referencia, son marcados como tomados y en la matriz de almacenamiento de "bits" mnemónicos son cancelados todos los "bits" mnemónicos. Así queda preparada la memoria para otra búsqueda de ruta.

Este invento corresponde a una solicitud de patente formulada en Alemania el día 4 de Junio de 1965, señalada con el nº St 23.933 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

Los puntos de invención propia y nueva que se presentan, para que sean objeto de esta patente de veinte años, son los siguientes:

1 - Un método de búsqueda de ruta en un sistema electrónico de conmutación controlado centralmente, en el que la condición de línea de los conductores intermedios es almacenada en una memoria, caracterizándose porque durante un primer paso las células de memoria (MSZ) de una matriz de almacenamiento de bits mnemónicos (MF) son marcadas en etapas de todos los conductores intermedios a ser considerados para el establecimiento de una conexión y no tomados, que en una segunda etapa, en la dirección opuesta, comenzando igualmente en una célula de memoria de la matriz de almacenamiento de "bits" mnemónicos, finalmente marcados, se hace una selección en pasos entre las células de memoria, marcada con un "bit" mnemónico (p.e. M 12) y que durante ambos pasos, la po-

225 sibilidad de conexionado de los conductores intermedios se determina por una asociación entre las direcciones de las células de memoria.

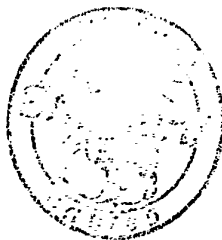
2 - Un método, de acuerdo con la reivindicación 1, caracterizado porque la posibilidad de conexión de dos conductores intermedios de la memoria es almacenada por el almacenamiento común (BSZ, BSG) de la condición de línea de un conductor intermedio y de las direcciones de las células de memoria para la condición de línea de los conductores intermedios precedentes o en avance o de ambos.

3 - Un método de búsqueda de ruta en un sistema electrónico de conmutación controlado centralmente.

235 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

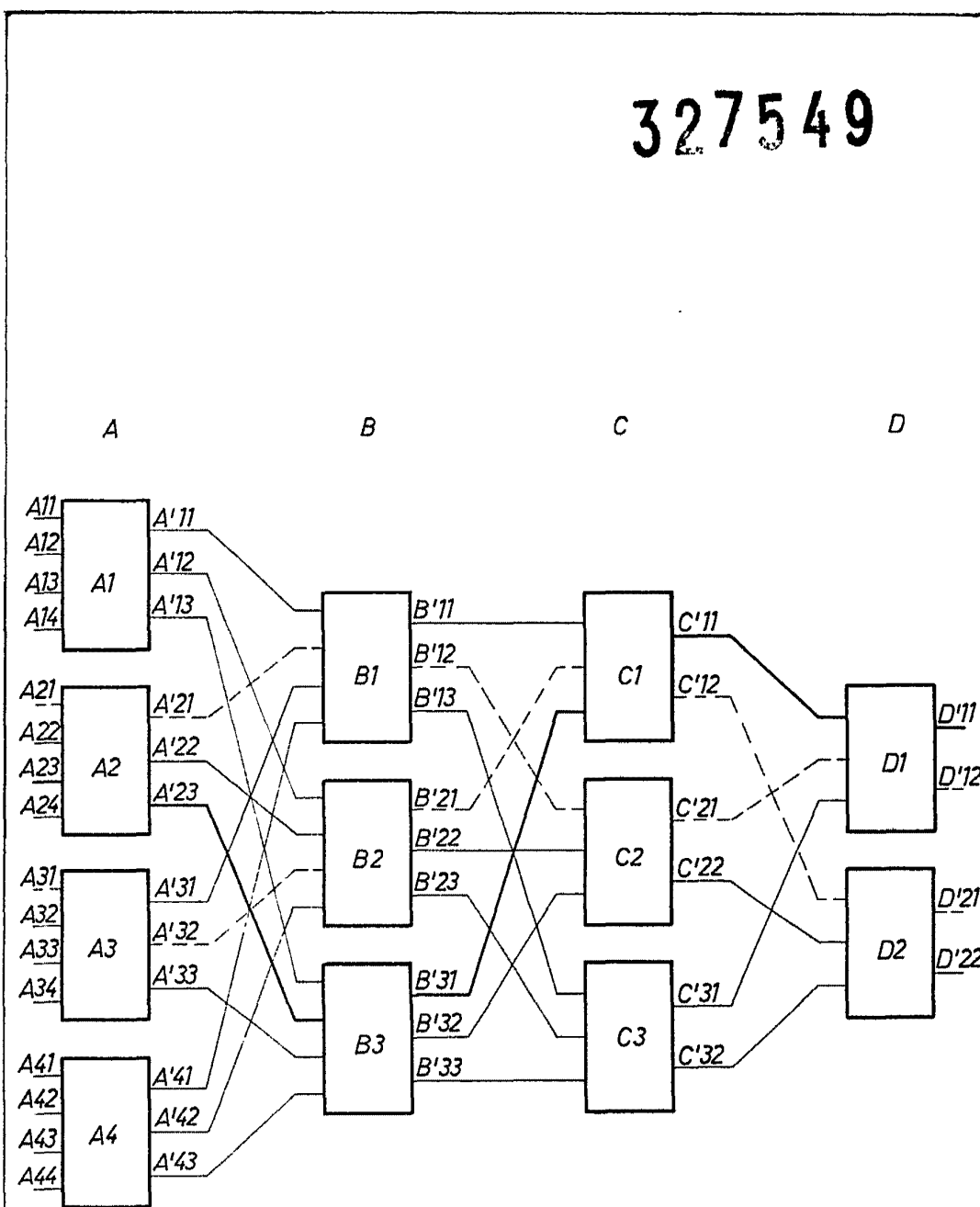
Esta Memoria consta de nueve hojas escritas por una sola cara.

MADRID, 3 JUN. 1966



EUGENIO BARROSO
Secretario General

327549



3 JUN. 1966

Fig.1



E. Barroso

EUGENIO BARROSO
Secretario General

327549

A11 00		16	A'11 16		28	B'11 28		37	C'11 37		43
A12 01		16	A'12 17		31	B'12 29	X	39	C'12 38	X	45
A13 02		16	A'13 18		34	B'13 30		41	C'21 39	X	43
A14 03		16	A'21 19	X	28	B'21 31	X	37	C'22 40		45
A21 04	X	19	A'22 20		31	B'22 32		39	C'31 41		43
A22 05		19	A'23 21		34	B'23 33		41	C'32 42		45
A23 06		19	A'31 22		28	B'31 34		37			
A24 07		19	A'32 23	X	31	B'32 35		39			
A31 08		22	A'33 24		34	B'33 36		41	D'11 43		70
A32 09		22	A'41 25		28				D'12 44	X	70
A33 10	X	22	A'42 26		31				D'21 45		70
A34 11		22	A'43 27		34				D'22 46	X	70
A41 12		25									
A42 13		25									
A43 14		25									
A44 15		25									

SA ASA

BSZ BSG

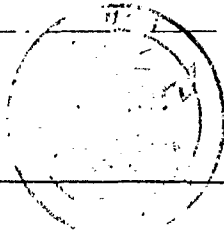
BF

MF

Fig. 2

	SA	ASA	MSZ						
	b'11	50			c'11	59	M11		
	b'12	51			c'12	60			
	b'13	52			c'21	61		d'11	65
	b'21	53			c'22	62	M8	d'12	66
	b'22	54	M3		c'31	63	M9	d'21	67
	b'23	55	M4		c'32	64	M10	d'22	68
a' 1	47								
a' 2	48	M1							
a' 3	49	M2							
	b'31	56	M5						
	b'32	57	M6						
	b'33	58	M7						

3 JUN 1966



Eugenio...
 EUGENIO...
 Secretario General