

325287

F.G. Adam 9.



CONCEDIDA 28 NOV. 1966

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE
INVENCIÓN EN ESPAÑA POR: "MEJORAS EN UN
DISPOSITIVO SEMICONDUCTOR", A NOMBRE
DE STANDARD ELECTRICA, S.A. CON DOMICILIO EN MADRID
CALLE DE RAMIREZ DE PRADO, Nº 5.

El presente invento se refiere a mejoras con relación a los dispositivos semiconductores electricos tales como transistores, diodos y rectificadores.

5 Es sabido que en la practica y con relación a los dispositivos semiconductores, tales como rectificadores, transistores, etc, no se llega al voltaje teórico de avalancha. Entre otros hechos esto es debido a que la avalancha aparece antes de llegar al voltaje de avalancha cuando la unión pn tiene un punto debil. En particular, estas avalanchas se presentan cuando la unión pn llega a la superficie del semiconductor.
10

Por esta razón, ya se ha intentado proteger la unión pn en la superficie de varias formas para evitar o reducir estas avalanchas, Así, por ejemplo, en el llamado método planar, la unión pn se produce por difusión, empleando una capa de óxido de silicón con lo que después
15 la parte de la unión pn que va a la superficie del semiconductor

./..

325287



2.

quedará situada debajo de una capa protectora de óxido. Con la ayuda de ésto, se puede, naturalmente, conseguir una mejora, pero este pase solo es insuficiente para llevar el voltaje de avalancha a su valor teórico posible.

20 En el caso de rectificadores se ha conseguido una mejora de forma que la superficie del semiconductor, en el punto en que la unión pn llega a la superficie, se bisela de forma que la superficie del cuerpo semiconductor forme un ángulo agudo con la superficie de la unión pn en el lado de mas resistencia ohmica. Este ángulo está com-
25 prendido preferentemente entre 15 y 30°.

 En el caso de uniones pn asimétricas, este biselamiento de la superficie del semiconductor produce una reducción de la intensidad de campo electrico en la superficie. Por esto se hace posible conseguir el voltaje de avalancha teórico de la región semiconductor de alta
30 resistencia.

 Naturalmente es muy difícil aplicar esta medida a los dispositivos semiconductores como transistores fabricados por difusión. La unión pn de este caso está situada entre la capa colectora de alta resistencia y la capa base de baja resistencia de la superficie y está
35 tá en la mayoría de los casos inmediatamente debajo de la superficie (alrededor de 3 a 8). Por lo que el menor daño a los bordes abruptos del bisel anularán de nuevo en este punto la eficacia del bisel.

 En el caso de transistores difundidos, habrá otra dificultad respecto a los transistores de menor tamaño, con relación a un
40 angulo de bisel de más de 30° necesario para aumentar el voltaje de avalancha, porque la superficie del lado colector de la capa semiconductor se hará tan pequeña que el montaje de la capa en un zócalo se hará considerablemente mas difícil, ya que esta superficie, con relación al lado superior de la lámina queda bastante lejos. Además, esta
45 pequeña superficie de colector tiene una disipación de calor sustancial-

./..

325287

3.



mente peor y en consecuencia, produce un aumento de la resistencia interna.

Un objeto del presente invento es el de proporcionar los pasos y medidas que, incluso en el caso de tales tipos de componentes
50 semiconductores en los que por una reducción de la intensidad de campo de la unión pn en el punto en que llega a la superficie del cuerpo semiconductor, como por ejemplo en el caso de transistores de difusión, se consigue una disminución del campo sin producir las dificultades antes mencionadas.

55 Este problema se resuelve con este invento como se indica en las reivindicaciones.

Con lo que se propone en este invento se consigue que la región de carga espacial que se extiende entre la base y el colector de la unión pn, al aplicar un voltaje al transistor, se combine con la
60 región de carga espacial que existe en una región adicional de forma que ya no llega a la superficie del cuerpo semiconductor y la intensidad de campo seguirá siendo proporcional a la densidad de carga espacial de la superficie dentro del elemento de superficie de la transición próxima a la superficie, y también permanecerá allí durante el aumento siguiente
65 de la región de carga espacial.

Por esta razón la intensidad de campo en la superficie no aumentará, o por lo menos solo en un grado muy pequeño.

Otra mejora se consigue por el hecho de que la región adicional se extiende mas profundamente en el cuerpo semiconductor que en
70 la región ohmica mas baja. Por ejemplo, esto puede conseguirse porque las sustancias de impureza para la región adicional están mas profundas en el cuerpo del semiconductor al estar sometidas al doble método de difusión.

Para evitar una doble difusión, en el curso de fabricación
75 de una región adicional mas profunda, también se puede producir en el

./..

325287

4.



80 cuerpo semiconductor en ese punto un rebaje desde el que se lleva a cabo la difusión para producir la región adicional. En este caso, y bajo algunas circunstancias, se obtendrá una región adicional que se extiende mas profundamente en el cuerpo del semiconductor que la región ohmica mas baja.

A continuación se explicará detalladamente el invento con relación a las figuras 1 a 12 de los dibujos adjuntos que representan ejemplos de realizaciones para realizar la idea del invento.

85 La figura 1 representa una vista en sección tomada a través de un transistor planar de acuerdo con el invento.

La figura 2 representa una vista en sección tomada a través de parte de un transistor como el de la figura 1.

90 Las figuras 3 a 7 representan secciones tomadas a través de un cuerpo semiconductor durante los pasos individuales del método para producir un transistor planar de acuerdo con el invento.

Las figuras 8 a 12 representan secciones tomadas a través de un cuerpo semiconductor que ilustra los pasos individuales de otro método de producción de un transistor planar de acuerdo con el invento.

95 El transistor de acuerdo con la figura 1 consta de un cuerpo semiconductor que comprende varias regiones de distinto tipo de conductividad. El cuerpo semiconductor comprende una región de colector 1 de conductividad tipo n^+ que es seguida por una región conectora de colector 5 con una conductividad tipo n^+ . Desde el otro lado se producen varias regiones de diferente tipo de conductividad en la región 1 mediante difusión empleando una capa superficial de óxido como máscara.
100 La capa de óxido se indica en la referencia numérica 11 y tiene un espesor diferente porque se quitó en algunos puntos durante el proceso y se volvió a formar de nuevo. La región de base 2 es de tipo P, y dentro de la región de base se dispone una región emisora 3 de tipo n^+ . Los
105 contactos metálicos correspondientes de emisor y base están indicados.



con las referencias numéricas 7 y 8 y están equipadas con conductores terminales 9 y 10. El contacto de colector 6 está dispuesto en la superficie exterior de la región n⁺5.

De acuerdo con este invento, y en la proximidad de la
110 unión pn entre la región de colector 1 de tipo n y la región de base
2 de tipo p hay una región 4 como la de tipo p que rodea la región de
base 2 de forma anular. Esta región adicional 4 tiene una anchura pre-
determinada a y está dispuesta a una cierta distancia de la región de
base b. Estas distancias se determinan en la figura 1 con relación a la
115 máscara de difusión 11, consistente en óxido de silicón. Con relación a
ello se tendrá que considerar que como consecuencia de la difusión,
las regiones 2 y 4 se extienden todavía por debajo de la capa de óxido
como se ha representado en la figura 1.

La forma de funcionamiento de la región adicional 4 se
120 explicará ahora con detalle con relación a la figura 2 en la que se
representa parte del cuerpo semiconductor de la figura 1 a escala mayor
en la que las regiones 2 y 4 son adyacentes.

Entre las regiones 1 y 2 y entre las regiones 1 y 4 se
forma cada vez una unión pn indicada por una línea llena en la figura 2.
125 Si no se aplica voltaje al dispositivo semiconductor, se forma una re-
gión de carga espacial alrededor de cada unión pn que se extiende más
en la región de mayor resistencia que en la de menor resistencia. En
este caso particular, la región de mayor resistencia es la de colector
1 de conductividad tipo n, y las regiones de menor resistencia son las
130 regiones de base 2 de conductividad tipo p, y la región adicional 4 de
conductividad tipo p. Las regiones de carga espacial que se constituyen
si no se aplica voltaje entre la base y el colector se indican en la fi-
gura 2 por las líneas de trazos. Después de aplicar un voltaje entre
la base y el colector esta región de carga espacial se extiende entre la
135 base y el colector y se indica en línea de puntos. Las líneas que están

325287



mas lejanas de la unión pn entre las regiones 1 y 2, corresponden así a un mayor voltaje entre la base y el colector. También puede verse en la figura 2 que las extensiones de la región de carga espacial en el caso de que se aplique un voltaje a la región de base 2, es menor que
140 en la región de colector 1. Esto es debido a la diferente resistencia de las dos regiones.

La región anular 4 no tiene conexión de forma que su región de carga espacial no está sometida a ningún cambio. Si ahora se aplica un voltaje entre la base y el colector entonces la primera región de
145 carga espacial se extiende por la región de colector 1 también en la superficie del cuerpo semiconductor pero saldrá con la región de carga espacial en la unión pn entre la región de colector 1 y la región adicional 4 al aumentar ligeramente el voltaje. Al aumentar mas el voltaje entre la base y el colector, la región de carga espacial se extenderá
150 rá entonces entre las regiones 1 y 2 a lo largo de la región de carga espacial que se extiende entre las regiones 1 y 4 de forma que en la superficie del cuerpo semiconductor la intensidad de campo no aumentará en absoluto o aumentará únicamente una cantidad muy pequeña. De esta forma se pueden producir componentes o dispositivos semiconductores en
155 los que el voltaje de avalancha se aproxime al valor teórico posible.

De las relaciones representadas en la figura 2 se deducirán también las dimensiones de los valores de a y b (figura 1), la distancia de la región adicional a la región de base 2 y el espesor de la región adicional. La distancia de la región adicional 4 a la unión pn entre la base 2 y el colector 1 debe escogerse así de forma que al aplicar-
160 le un voltaje relativamente pequeño a la transición de la base y el colector la región de carga espacial así extendida salga o se combine con la región de carga espacial en la región adicional. En este caso solo una pequeña intensidad de campo puede desarrollarse en la superficie del cuerpo
165 semiconductor.



El espesor de la región adicional 4 resulta del máximo voltaje que se supone que se aplica a la unión pn entre las regiones 1 y 2. Como puede deducirse de la figura 2, la limitación de los límites de la región de carga espacial en el caso de aumento de voltaje entre la base y el
170 colector se moverá a lo largo de la región de carga espacial que rodea la región adicional 4. Para que el efecto, como propone el presente invento, pueda también conseguirse en el caso de voltajes superiores, la región anular 4, por lo tanto, debe tener un espesor tal que la región de carga espacial, para el máximo voltaje entre 1 y 2 no se extenderá
175 más allá de la región anular, pero llegará a la superficie del semiconductor más allá de la región anular antes mencionada.

Con relación a esto, debe hacerse énfasis en que el invento no está reducido únicamente a transistores planares sino que también puede aplicarse a todos los tipos de dispositivos o componentes semiconduc-
180 tores en los que sea de desear limitar la intensidad de campo de la región de carga espacial en la superficie y mejorar así el voltaje de avalanche del componente respectivo.

Otra mejora se consigue cuando la región adicional se hace que se extienda mas profundamente en el cuerpo semiconductor, que en la
185 región de base. De esta forma se consigue que las líneas de fuerza se dirijan mas claramente saliendo de la superficie una vez que se ha sobrepasado un cierto voltaje.

Esta otra mejora introducida por el invento puede hacerse de varias formas.

190 La fabricación de un transistor que contiene una región adicional profunda se explicará a continuación detalladamente con relación a las figuras 3 a 7. Las diferentes figuras representan vistas en sección tomadas a través del cuerpo del semiconductor en los diferentes pasos de su proceso de fabricación. Debe mencionarse primeramente que los componentes o dispositivos semiconductores, de acuerdo
195

325287



8.

con el invento, pueden manufacturarse individualmente en un cuerpo semiconductor y también es posible producir numerosos componentes o dispositivos semiconductores simultáneamente en un solo disco de material semiconductor. En este caso, el disco puede ser cortado finalmente o dividido correspondientemente e incluso varios de estos componentes semiconductores pueden combinarse con la ayuda de las conexiones adecuadas para formar un circuito.

El cuerpo semiconductor, parte del cual se representa en la figura 3, comprende una zona 1 de conductividad tipo n que después sirve como región de colector y que es seguida por una región 5 de conductividad tipo n^+ que sirve para establecer un mejor contacto con el colector. En la superficie expuesta de la región 1, se produce una capa o película de óxido 11 y empleando el conocido método de grabado fotográfico con la ayuda de una laca sensible a la luz, se quita una región anular 14. En este punto se aplican sustancias impuras adecuadas y se difunden en la capa de forma que se produzca una región anular 4 de conductividad tipo p en la región 1 de conductividad tipo n. Esta condición se representa en la figura 4.

A continuación, y de nuevo con la ayuda de métodos de grabado fotográfico, se quita una parte de la capa de óxido en el punto 15 de forma que resultará una máscara para la difusión de base. De nuevo se difunde una sustancia impura del mismo tipo que la que se había difundido previamente en el semiconductor, en la capa, de forma que como se ha representado en la figura 6 se obtendrá una región de base 2 de la conductividad tipo p que es rodeada por una región anular 4 de conductividad tipo p que se extiende más profundamente en el material. Mediante un envenenamiento adecuado o dimensionando el grado de sustancias impuras y aplicando adecuadamente el tiempo de difusión se conseguirá que la región 4 se extienda más profundamente en el cuerpo del semiconductor que en la región de base 2.

De hecho, esto ya se ha conseguido al estar sometida la región anular dos

./..



veces a difusión. Sin embargo, debe cuidarse, ya durante la primera difusión (figura 4) de que la región anular adicional 4 quede mas profundamente en el cuerpo del semiconductor.

230 El transistor así obtenido se representa en sección en la figura 7. Las partes individuales del transistor se indican con las mismas referencias numéricas que en la figura 1. La única diferencia con relación al transistor según la figura 1 reside en el hecho de que la región anular adicional se extiende más profundamente en el cuerpo del semiconductor que la región de base 2.

235 En el método que acaba de describirse para realizar el invento requiere una doble difusión para producir la región adicional y la región de base.

240 Con relación a las figuras 8 a 12, a continuación se describirá otro método para realizar el invento con el que se obtiene una mas profunda región adicional que no requiere una difusión doble para producir las regiones anular y de base.

245 En las figuras 8 a 12 se han representado de nuevo vistas en sección tomadas a traves de un cuerpo semiconductor y que representan los pasos individuales en el proceso de fabricacion de un transistor planar de acuerdo con el invento. En el curso de este método o proceso y en el punto en que se supone que tiene que producirse la región adicional en el cuerpo del semiconductor se produce lo primero de todo una hendidura. Esta hendidura puede hacerse siguiendo cualquier método adecuado pero debe cuidarse que en el caso de una producción mecánica de la hendidura o corte, la capa de la superficie que contine anomalías en la estructura cristalina sea quitada. Preferentemente, la hendidura se producirá mediante gratado.

255 El cuerpo semiconductor que consta de la región 1 de conductividad tipo n y de la región 5 de conductividad tipo n^+ y que como se ha representado en la figura 8 contiene en la superficie expuesta de

325287



10.

la región 1 una capa de óxido 11, parte de la cual se ha quitado de acuerdo con el grabado fotográfico. En este caso se quitaba la capa de óxido en el punto en que la región de base y la región adicional se suponía que tenían que ser producidas.

260 Después de esto se aplica una capa o película de fotolaca a la superficie del cuerpo semiconductor y a continuación se expone con la ayuda de una máscara correspondiente con lo que se quita la laca de las partes en que se supone que deberá estar situada la región anular adicional. Como puede verse en la figura 9, la región de base sigue cubierta con una capa de laca 16.

Utilizando un método adecuado de grabado se efectúa el proceso de grabado del que, como se ha representado en la figura 10, se obtendrá la hendidura o corte anular 17 en el cuerpo del semiconductor. A continuación se quita la fotolaca de la superficie del cuerpo semiconductor y se lleva a cabo la difusión para producir la región de base 2 y la región anular adicional, 4.

El resultado de este tratamiento de difusión se ha representado en la figura 11. En esta figura puede verse que el espesor de la región de base 2 y de la región adicional 4 es semejante, pero que la región 4 está dispuesta mas profunda en el cuerpo del semiconductor por la producción precedente de la hendidura o corte hecha por procedimientos de grabación.

En la figura 12 se representa el transistor terminado. Las partes individuales se han indicado con las mismas referencias numéricas que en la figura 1. Como distinción a los tipos de realizaciones de acuerdo con las figuras 1 y 7, la región adicional 4, en este caso particular, está dispuesta debajo de la hendidura o corte del cuerpo semiconductor, y por lo tanto queda mas profunda que la región de base 2 como se ha representado en el tipo de realización de acuerdo con la figura 7.



El invento no queda de ninguna forma restringido a los tipos de realizaciones descritas y representadas y a los métodos descritos, y puede aplicarse a varios tipos de dispositivos semiconductores.

290 Este invento corresponde a una solicitud de patente formulada en Alemania el 7 de Abril de 1965, señalada con el núm. St. 23638 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- NOTA -----

295 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

1.- Mejoras en un dispositivo semiconductor formado por un cuerpo semiconductor de un tipo de conductividad que tiene una primera región de conductividad de tipo opuesto con una primera unión pn entre ellas que se extiende a una superficie de dicho

300 cuerpo; y una región adicional de dicho tipo de conductividad opuesta colocada en y rodeada por dicho cuerpo que forma una segunda unión pn con dicho cuerpo extendiéndose en dicha superficie, siendo la distancia entre dicha primera y dicha segunda unión pn en la proximidad de
305 dicha superficie tal que las regiones de carga espacial asociadas a dichas uniones estén dentro del cuerpo semiconductor.

2.- Mejoras en un dispositivo semiconductor como el del punto 1 en el que la resistividad de dicho cuerpo es sustancialmente mas elevada que la resistividad de dicha primera región.

310 3.- Mejoras en un dispositivo semiconductor de acuerdo con el punto 1 en el que dichas regiones de carga espacial salen dentro del cuerpo semiconductor por aplicación de una pequeña diferencia de potencial entre dicha primera unión pn.

4.- Mejoras en un dispositivo semiconductor de acuerdo con

./..

325287

12.



315 el punto 1 en el que dicha segunda unión pn rodea dicha primera unión
pn.

5. Mejoras en un dispositivo semiconductor de acuerdo
con el punto 4 en el que dicha primera región y dicha región adicio-
nal se insertan en dicho cuerpo desde dicha superficie y en el que
320 dicha región adicional es anular.

6. Mejoras en un dispositivo semiconductor de acuerdo
con el punto 5 en el que la profundidad de dicha región adicional
desde dicha superficie es sustancialmente mayor que la profundidad
de dicha primera región desde dicha superficie.

325 7. Mejoras en un dispositivo semiconductor de acuerdo con
el punto 5 en el que la resistividad de dicho cuerpo semiconductor es
sustancialmente mayor que la resistividad de dicha primera región.

8. Mejoras en un dispositivo semiconductor de acuerdo
con el punto 5 según las cuales el espesor de dicha región anular en
330 dicha superficie es tal que la región de carga espacial asociada a
dicha primera unión pn cuando se aplica el máximo potencial permisible
a ella no se extiende fuera de la parte de los límites entre dicha
región anular y dicho semiconductor mas allá de lo quitado de dicha
primera unión pn.

335 9. Mejoras en un dispositivo semiconductor de acuerdo
con el punto 4 en el que dicha región adicional está contigua a un
rebaje anular en dicha superficie que rodea a dicha primera región.

10. Mejoras en un dispositivo semiconductor de acuerdo
con el punto 6 en el que dichas regiones se producen en una sola etapa.

340 11. Mejoras en un dispositivo semiconductor.

./..

325287

13.



Tal y como se ha descrito en la Memoria que antecede,
representado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de trece hojas escritas por una sola
cara.

345

Madrid, 6 ABR. 1966



E. Barroso
~~EUSENIO BARROSO~~
Secretario General



3252*

Fig.1

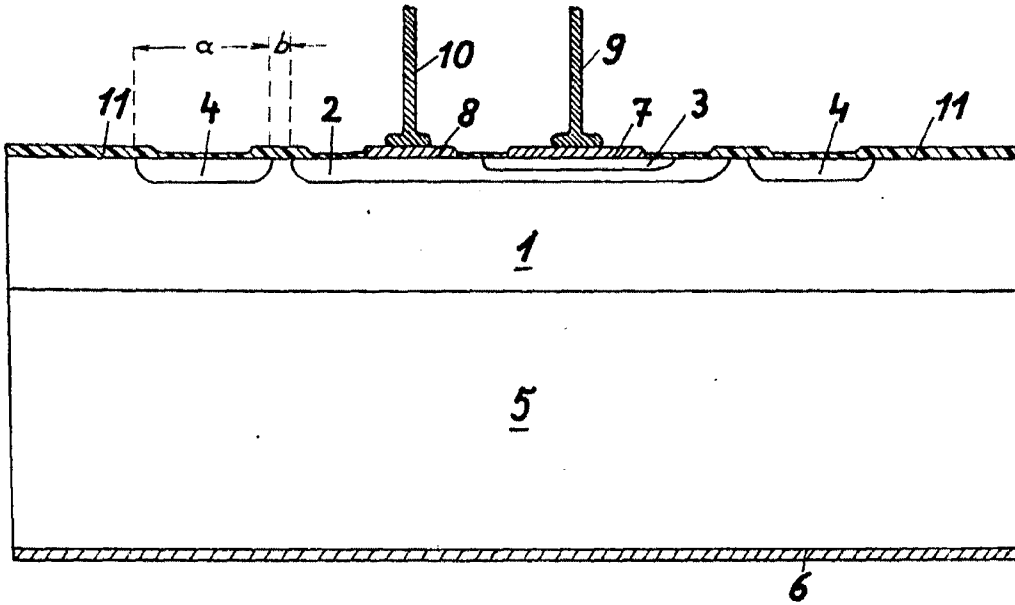
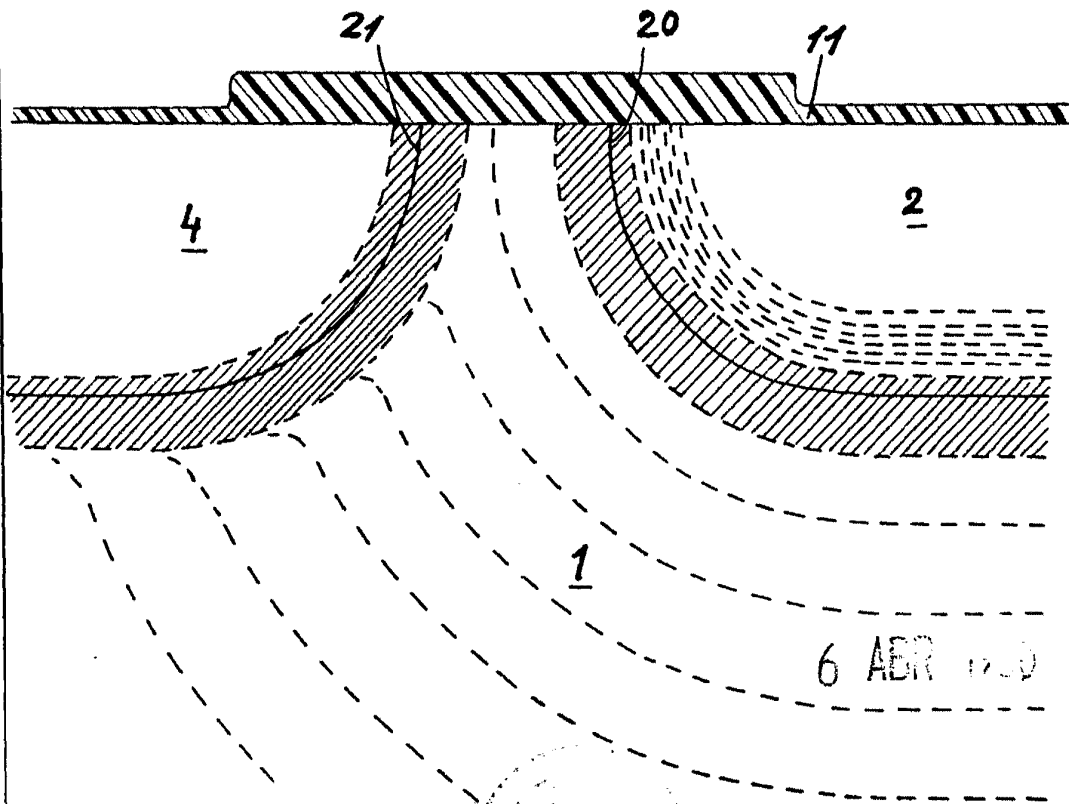


Fig.2



Handwritten signature and text at the bottom right, including "6 AER 120" and "Standard Electric".



Fig.3

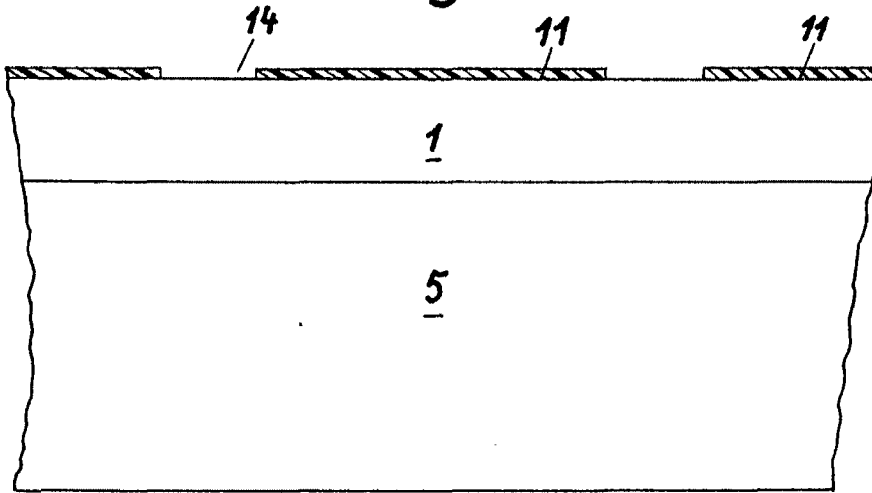


Fig.4

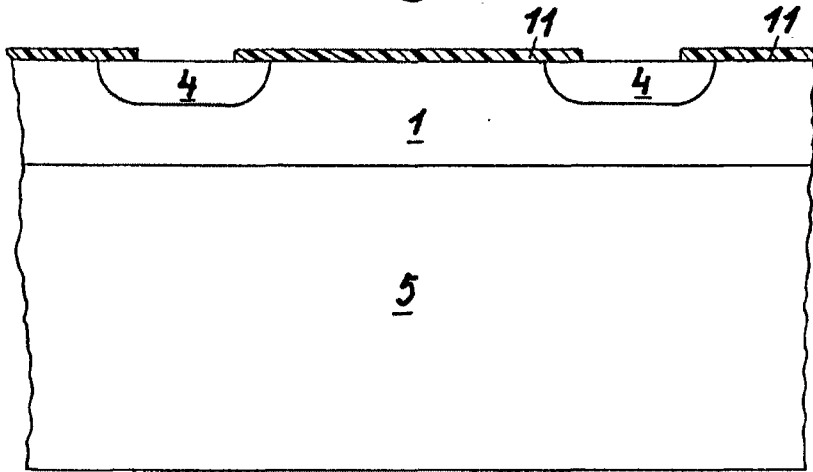
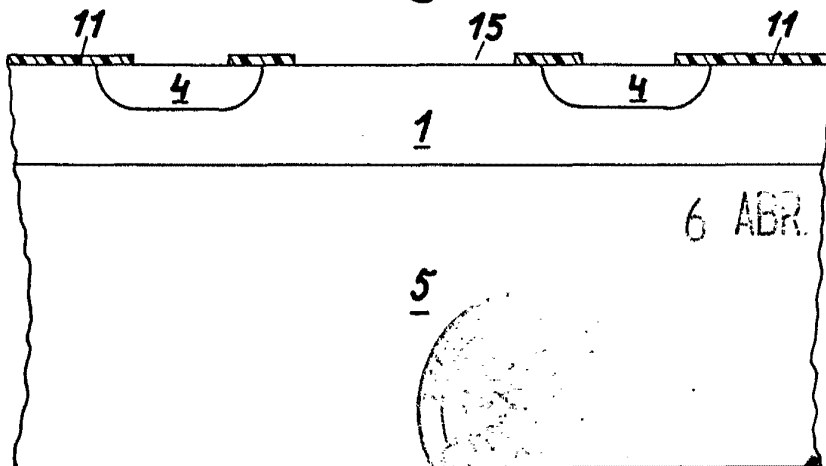


Fig.5



6 APR 1905

Handwritten signature and stamp



Fig.6

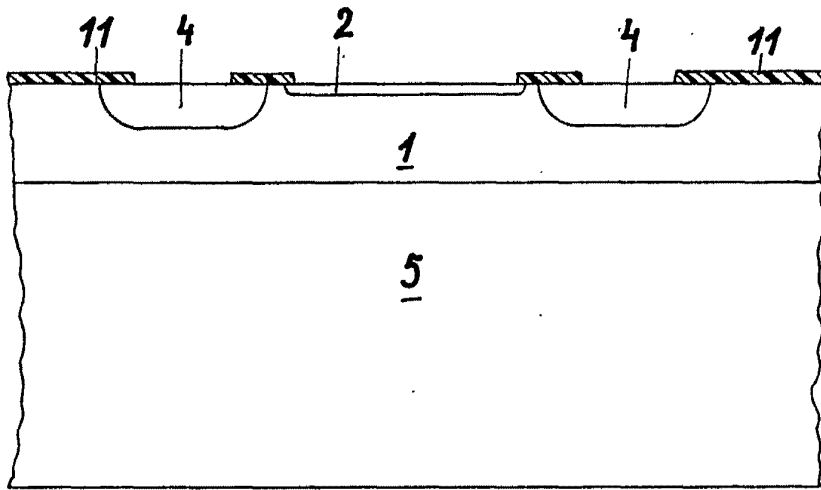
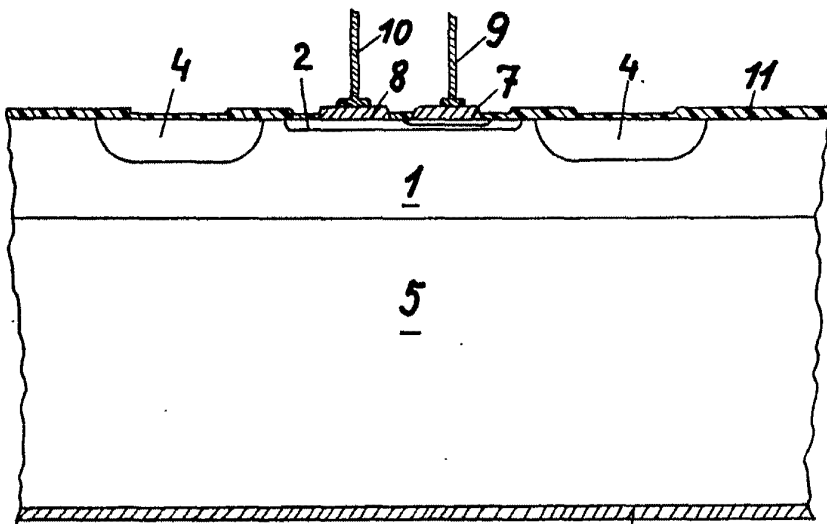
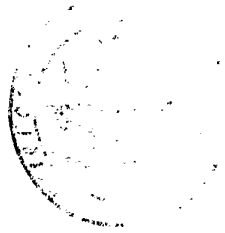


Fig.7



6 6 APR 1933



EUBENIO T. MAROSO
* Secretario General



Fig.8

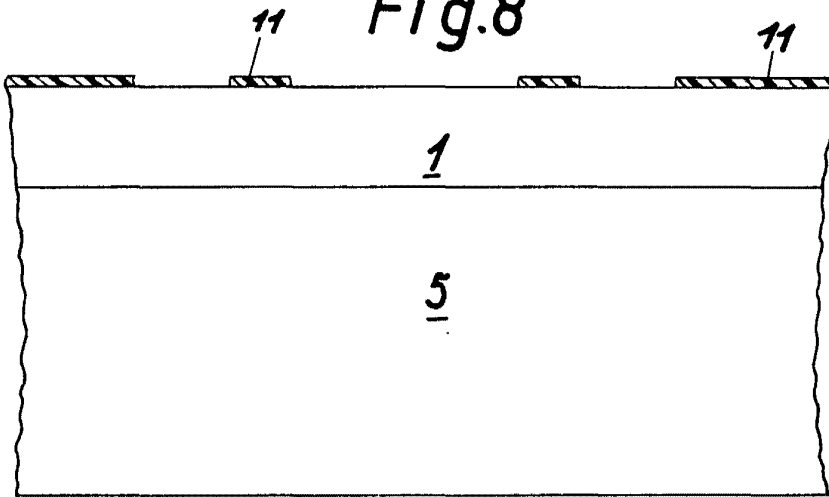


Fig.9

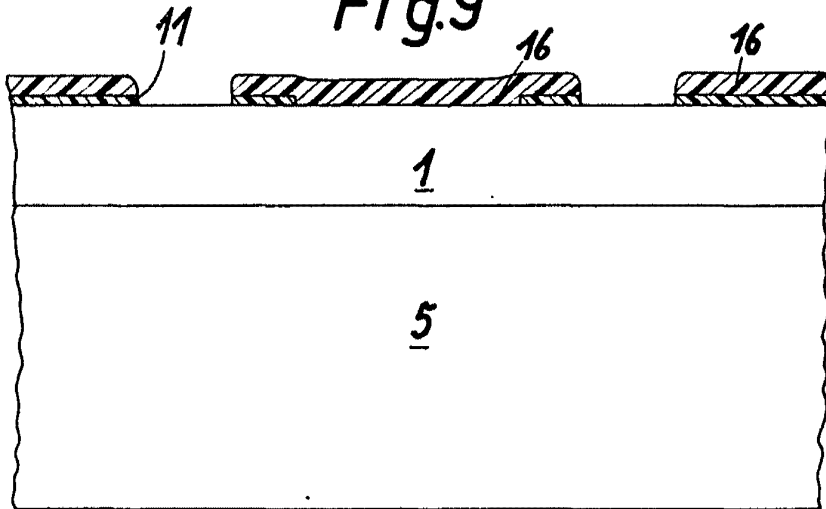
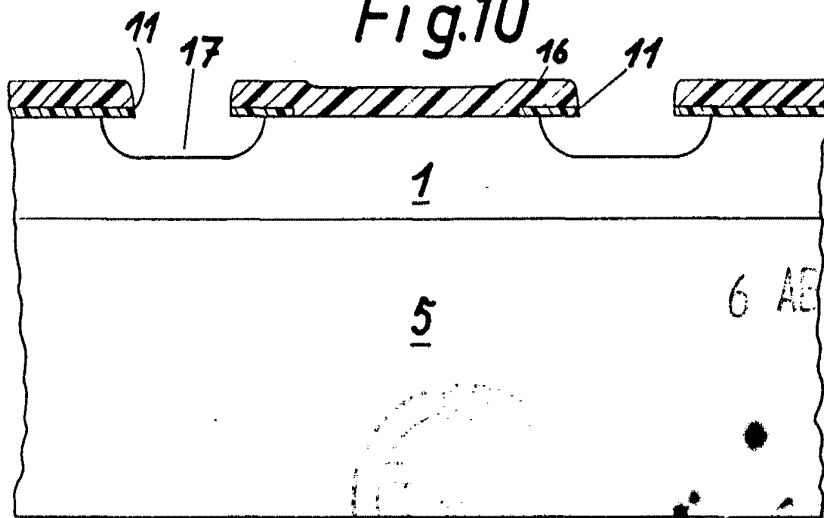
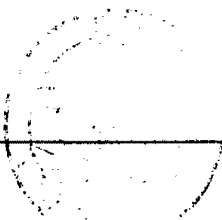


Fig.10



6 AER. 1966





32597

Fig.11

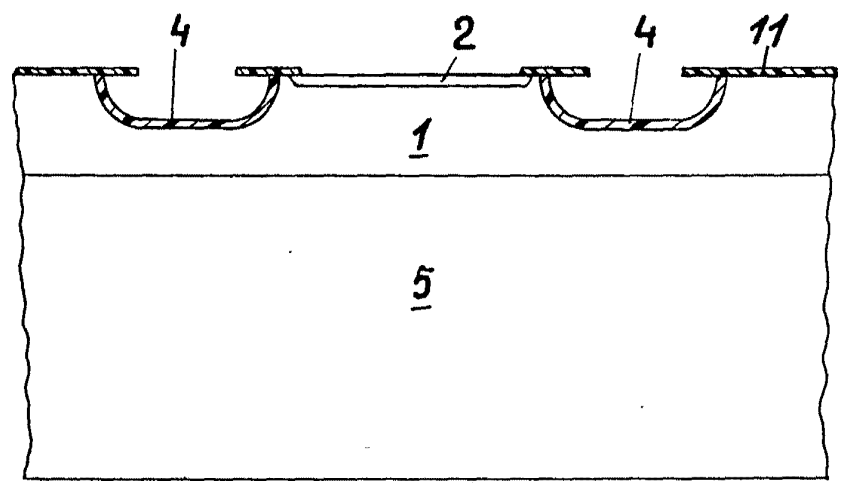
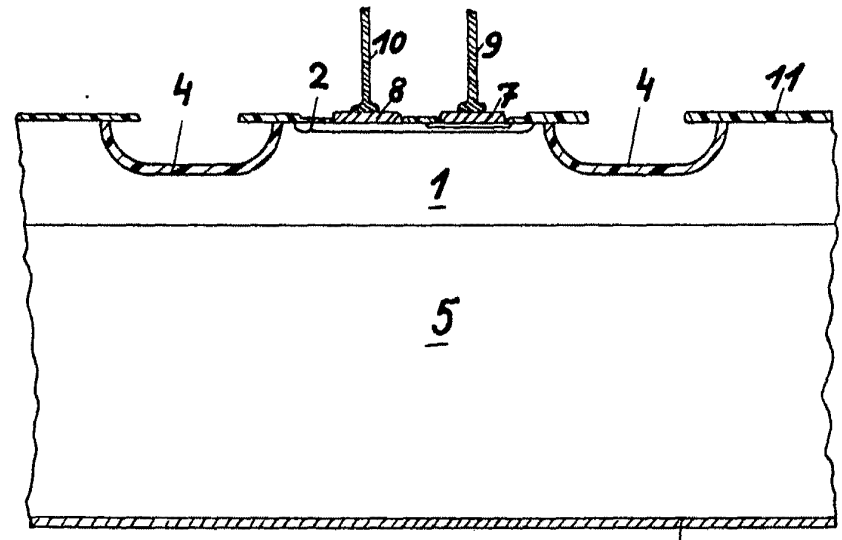


Fig.12



6 APR 1936
 EUGENE P. ROSS
 Secretary General