

325124

P - 31.558



1966

IBM Docket 6607

325124

MEMORIA DESCRIPTIVA

que se presenta para unir a la solicitud

d e

PATENTE D E INVENCION

formulada el 5 de abril de 1.966, con el nº 325.124:

e n

E S P A Ñ A

por VEINTE años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION,
entidad norteamericana, establecida en Armonk, Nueva York,
Estados Unidos de América, por:

"UNA MAQUINA CALCULADORA"

La presente invención se refiere a sistemas calcula-
dores y, más concretamente, a aparatos de prueba de seguri-
dad funcional para ensayar el funcionamiento de los circui-
tos de verificación previstos para comprobar el dispositi-
vo aritmético y lógico de una calculadora.

Los métodos y medios ya conocidos para efectuar en-
sayos de seguridad funcional exigían poner fuera de fun-
cionamiento el sistema para obtener acceso físico a las di-
versas unidades o dispositivos que corresponde probar, y
aplicar luego unos aparatos de ensayo usuales, con laborio-

325124



sas rutinas de entretenimiento. Este enfoque de la cuestión ha dado lugar a considerables pérdidas de tiempo por inactividad, e inconvenientes para el usuario.

La presente invención está destinada a efectuar pruebas o ensayos de seguridad funcional sin desmantelar ni incapacitar la calculadora, merced al empleo de partes de equipo incorporadas a la misma, que permiten efectuar sus operaciones dentro de la calculadora con sencillez y facilidad.

En una de las áreas más importantes de la calculadora, como es, por ejemplo la llamada unidad aritmética y lógica (ALU), en la cual se ejecutan todas las funciones aritméticas y lógicas, los medios de prueba de seguridad funcional están compuestos por unos medios de circuito entrelazados con las barreras ("gates") que dan acceso a los diversos componentes que forman parte de la unidad aritmética y lógica. Durante las operaciones normales de la calculadora, estas barreras son activadas por elementos de la calculadora, que inherentemente forman parte del sistema y son llamados a ejecutar las diversas funciones aritméticas y lógicas. Los circuitos de ensayo de la seguridad funcional, también conectados a estas barreras, se hallan en cambio en condiciones estáticas en tanto se están efectuando las diversas funciones aritméticas y lógicas. Cuando se quiere probar la seguridad funcional de los circuitos de verificación de estas unidades o funciones, los circuitos de ensayo de la seguridad funcional, bajo el control de una rutina de ensayo incorporada al sistema, son seleccionados por el operador simplemente enviando la "dirección" de la rutina por el pupitre o mando o control normal. En ese momento se emprende la prueba de los circuitos de verificación, bajo el control de la rutina de

325124



microprograma. Cuando estos circuitos de verificación dejan de funcionar con seguridad durante la operación de ensayo, se activan automáticamente unos indicadores adecuados.

5 El principal objeto de esta invención reside en unos medios de prueba de seguridad funcional para efectuar ensayos de seguridad funcional en partes vitales de la calculadora, con sencillez y facilidad relativas y sin incapacitar o poner fuera de servicio a ésta.

10 Otro objeto de la invención reside en efectuar una prueba de seguridad funcional de los circuitos de verificación de una calculadora, por medios nuevos en su género e interconectados de manera singular y única con la calculadora, proporcionando así una característica conveniente sin aumentar materialmente el coste total ni el tamaño de la calculadora.

15 Los precedentes y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo de la siguiente descripción pormenorizada de una forma preferida de realización del invento, ilustrada en los dibujos adjuntos, en los cuales:

20 - la figura 1 es una disposición esquemática ilustrativa de los principales circuitos que constituyen la invención, y relacionados con sólo aquellas partes del sistema calculador que son necesarias para llevar a cabo una prueba de seguridad funcional;

25 - la figura 2 ilustra de qué modo se combinan las figs. 2a y 2b para formar los circuitos principales de prueba de seguridad funcional de la presente invención, al efectuar un ensayo de seguridad funcional de los circuitos de verificación que forman parte de la sección aritmética y lógica de

325124



la calculadora;

- la figura 3 ilustra de qué modo se ensamblan las figuras 3a a 3h inclusive mostrando los circuitos detallados de la ALU (unidad aritmética y lógica), sus circuitos de verificación y una parte de los circuitos de prueba de seguridad funcional; y

5
10
- las figuras 4a y 4b muestran una serie de etapas de microprograma que definen las actividades de la máquina necesarias para efectuar pruebas sobre los circuitos de verificación de la unidad o sección aritmética y lógica (ALU) de la calculadora.

La fig. 1 es una disposición esquemática de algunos de los circuitos de la calculadora, entre los que se incluyen los circuitos principales de prueba de seguridad funcional, constitutivos del presente invento. La parte de la calculadora representada en la fig. 1 comprende: tres barras omnibus principales, las barras A, B y Z; una pluralidad de registros de datos, a saber, R, L, D y S; registros de entrada, como son el registro A y el registro B; un registro MC indicador de errores; una unidad aritmética y lógica (ALU); una memoria principal (MM) y una memoria de "exclusiva lectura" (ROS). La barra Z comunica con los registros R, L, D, S y MC por medio de las barreras de control Z_1 , Z_2 , Z_3 , Z_4 y Z_5 , respectivamente, de la memoria de exclusiva lectura, bajo el control de las señales Z_{1a} , Z_{2a} , Z_{3a} , Z_{4a} , y Z_{5a} , respectivamente destinadas al control de dicha memoria de exclusiva lectura. La barra A comunica con la mayoría de los registros de datos de la calculadora, entre los cuales están los registros R, L, D, S y MC, por medio de las barreras de control A_1 , A_2 , A_3 , A_4 y A_5 , respectivamente, de la memoria

325124



de exclusiva lectura, bajo el control de las señales A_{1a} , A_{2a} , A_{3a} , A_{4a} y A_{5a} , respectivamente, de control de dicha memoria de exclusiva lectura. La barra B comunica con los registros R, L y D por medio de las barreras de control B_1 , B_2 y B_3 de la memoria de exclusiva lectura, bajo el control de las respectivas señales B_{1a} , B_{2a} y B_{3a} de control de la citada memoria de exclusiva lectura.

La memoria principal MM comunica con el registro R por medio de las barreras de control M_1 y M_2 bajo el control de las señales M_{1a} y M_{2a} , respectivamente. El acceso a la memoria principal MM se obtiene generalmente admitiendo una dirección en los registros M y N de direcciones de la memoria. La dirección es descodificada por un descodificador DCR y transmitida a la memoria principal MM para tener acceso a los datos y a las macroinstrucciones, que determinan el curso de la actividad que la calculadora toma para emprender una función lógica o aritmética. La calculadora se halla virtualmente bajo el control de la memoria de exclusiva lectura, que emite unas pautas de señales de control, de las cuales se indican algunas, como Z_{1a} , A_{1a} , B_{1a} , M_{1a} , etc. Estas señales se extienden a partir del lado derecho de la memoria de exclusiva lectura, concretamente a partir de unos circuitos de cerrojo o activadores de los amplificadores de exploración o interrogación que llevan la referencia SAL. Las señales de control son emitidas por los SAL, a su vez alimentados por unas señales de pauta derivadas de unos generadores de pauta concretos y específicos que componen la memoria ROS, de exclusiva lectura. Estos generadores de pauta son los que generalmente se denominan "etapas de microprograma". El acceso a la memoria de exclusiva lectura ROS

325124

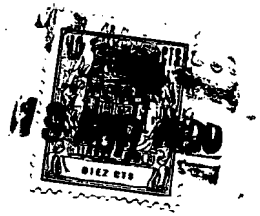


se tiene por medio de un registro de direcciones de la misma designado ROSAR, al cual se transmite inicialmente, una dirección, por medio del pupitre de control CS, que contiene unos interruptores o conmutadores A, B, C y D ajustables, de direcciones; y durante todo el transcurso de las operaciones, las direcciones vienen determinadas por medio de condiciones generadas en la propia máquina, así como por la información parcial de direcciones generada por la etapa de microprograma "actual" o vigente en un momento dado.

Entre las señales de pauta generadas están las que definen las constantes de desarrollo de valores binarios con peso de 13 (1101), 8 (1000) y 1 (0001). Estos valores se utilizan en la ejecución de la prueba de seguridad funcional. La constante 13 se lleva a un circuito de coincidencia designado K13, la constante 8 se lleva a un circuito de coincidencia designado K8, y las constantes 8 y 1 se introducen en la barra ómnibus B por medio de un selector de constantes.

Los principales circuitos de control de seguridad funcional incluyen un cerrojo 201 de par/impar, un cerrojo 220 de verificación de ALU, medios de control para condicionar o activar los circuitos de coincidencia K13 y K8, y las líneas 213 y 233 interconectadas a una barreras de coincidencia que forman parte de la unidad aritmética y lógica (ALU). La manera en que se efectúan estas interconexiones con las barreras de la ALU se describirán poco más adelante, en relación con las figs. 3a a 3h. Por ahora se indicará de qué modo (en relación con las figs. 2a y 2b) y en que condiciones se controlan las señales de nivel de tensión en las líneas 213 y 233, para activar la operación de prueba de

325124



seguridad funcional en la ALU.

Con referencia a las figs. 2a y 2b, la acción de control para activar los circuitos de coincidencia K8 y K13 es desarrollada por medio de la línea de control 250, cuando esta última transmite una tensión del nivel superior o activo (de "arriba"). Esto ocurre cuando todas las líneas de control 247a a 247h inclusive están cada una a un nivel inferior o desactivadas ("abajo"). En esta condición, el circuito disyuntivo 248 al cual van estas líneas deja pasar una señal de nivel inferior que es invertida por medio del inversor 249, dando así una salida positiva de nivel superior en la línea de control 250 que está conectada a ambos circuitos de coincidencia, K8 y K13. Al activarse o condicionarse el circuito de coincidencia K8, da una señal positiva por la línea de salida K8a, que a su vez proporciona una señal de activación del cerrojo 201. Este cerrojo incluye un circuito de coincidencia 202 que sirve de entrada de activación, un circuito disyuntivo 203 y un camino de retroacción de cerrojo 204, 205 conectado al circuito de coincidencia 206, cuya salida está conectada al circuito disyuntivo 203. El circuito de coincidencia 206 está también conectado al circuito de coincidencia K13 por medio de la línea K13a y de un inversor 206a. El circuito de coincidencia 202 está conectado al regulador de tiempos 208 por medio de una línea 207. Esta línea es portadora de una señal de tiempos T_2 que proporciona un intervalo de tiempo definido para activar o poner el cerrojo en conducción cuando la línea K8a es positiva. La salida del circuito disyuntivo 203 pasa por la línea 204 y por un inversor 210 a la línea de control 213. Cuando el cerrojo 201 está activado, la línea de control 213 está

325124



al nivel inferior o "abajo". Recíprocamente, cuando el cerrojo está desactivado, la línea de control 213 está a un nivel superior o "arriba", que corresponde a la condición estática. En la explicación que sigue, de la rutina del microprograma, anunciado "OE = 1" indica la activación o condicionamiento del circuito de coincidencia K8 en el sentido de dar una señal de activación al cerrojo de par/impar 201, que pone en acción a este último.

El cerrojo 220 de verificación de ALU comprende un circuito de coincidencia 221 que sirve para activar el cerrojo, un circuito disyuntivo 222, y un camino de retroacción 223 que incluye al circuito de coincidencia 224, conectado a su vez al disyuntivo 222 de la manera indicada. El circuito de coincidencia 224 de desactivación tiene una línea de entrada 225 conectada a la salida 206a del inversor. La salida del circuito disyuntivo 222 se lleva por medio de un inversor 232 a la línea de control de salida 233. El cerrojo 220, cuando está activado, pasa una señal de nivel inferior a la línea de control 233. Recíprocamente, estando desactivado el cerrojo 220, la línea de control hace pasar una señal de nivel superior (la de condición estática) por la línea de control 233. La activación del cerrojo 220 de verificación de ALU se efectúa mediante la segunda señal de dos sucesivas de activación emitidas por la salida positiva del circuito de coincidencia K8. Ambos cerrojos 201 y 220 se desactivan mediante aplicación de una señal negativa al circuito de coincidencia 206 y al circuito de coincidencia 224. Esta señal negativa se deriva mediante activación del circuito de coincidencia K13 que, por su línea de salida K13a, da una salida positiva que es invertida por el inversor 206a, des

325124

1948



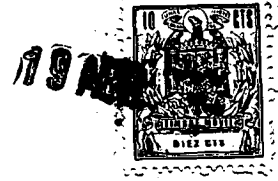
5 rrollándose de ese modo la señal negativa que va a las entra-
das de los circuitos de coincidencia 206 y 224. A consecuen-
cia de esta señal negativa, se interrumpe el camino de re-
troacción de cada uno de los cerrojos 201 y 220, que se ven
así desactivados. En la descripción de los microprogramas,
el enunciado de "carga" ("LOAD") designa la desactivación
de los cerrojos 201 y 220.

10 Las salidas de ambos cerrojos 201 y 220 se aplican a
las líneas 213 y 233 de control de la seguridad funcional,
de las cuales la primera está conectada a los circuitos de
coincidencia 74 y 74', situados en el corrector decimal, y
la última (la línea 233) está conectada a los circuitos de
coincidencia de cada uno de los circuitos sumadores de los
bitios 7 a 0 inclusive. Las conexiones efectivas a los cir-
15 cuitos de coincidencia concretos está representadas en las
figs. 3a a 3h.

20 Pasando a la fig. 3h, se ve la línea 213 conectada al
circuito de coincidencia 74', y también al circuito de coin-
cidencia 74. En la fig. 3e, la línea 233 conectada al circui-
to de coincidencia 178, situado dentro del circuito sumador
del bitio 4. De igual modo, la línea 213 está también conec-
tada a unos circuitos de coincidencia correspondientes (no
indicados en los dibujos) de dentro de los recuadros que
representan los circuitos sumadores, para los bitios 1, 2,
25 3, 5, 6 y 7. La línea 233 va asimismo conectada al circuito
de coincidencia 59' de los circuitos sumadores que constitu-
yen parte del bitio 0, como se indica en la fig. 3g.

30 En las condiciones normales de trabajo de la ALU, es
to es, cuando esta última está desempeñando una función
aritmética o lógica, las líneas 213 y 233 están a un nivel

325124



"alto" o superior, poniendo a estas líneas de control en su condición estática, de manera que los circuitos de coincidencia en cuestión están rigurosamente controlados por las restantes entradas de los mismos. En cambio, cuando se pide una operación de vigilancia o comprobación de la seguridad funcional, de la manera antes descrita, estas líneas de control de seguridad funcional son activadas por aplicación a las mismas de una señal de nivel "bajo" o inferior, haciendo que los circuitos de coincidencia en cuestión obliguen a dar una salida negativa, equivalente a la de una condición de error similar a la que podría surgir durante el funcionamiento normal. Esta condición de error forzado, durante una prueba de seguridad funcional, se hace seguir a los circuitos de verificación de la ALU, que reconocen o acusan la existencia de la condición de error forzado. El reconocimiento de esta condición de error forzado pone en evidencia la seguridad de funcionamiento de los circuitos de verificación de la ALU. El fallo de los circuitos verificadores en la detección de este error forzado da lugar a una detención de la máquina, que va acoplada a una rutina para indicar la naturaleza del fallo.

Antes de emprender una descripción del procedimiento de comprobación o vigilancia, resultaría adecuado en este momento describir el papel que desempeñan los correspondientes circuitos de coincidencia y la función que cada uno realiza en los circuitos sumadores de la ALU durante una operación normal, tal como una suma binaria de bases, lo que servirá de base para describir las operaciones de la rutina de comprobación del microprograma, para efectuar la operación de prueba de la seguridad funcional.

325124



UNIDAD ARITMÉTICA Y LÓGICA (ALU)

Generalidades

Antes de describir la operación de suma binaria de bases, se dará una descripción general de la ALU. La ALU efectúa toda clase de operaciones aritméticas: por ejemplo, sumar, restar, multiplicar y dividir, así como operaciones lógicas tales como las funciones de coincidencia, disyuntiva y disyuntiva exclusiva. Una parte de la ALU entera se representa con detalle en las figs. 3a y 3h. A cada una de las dos entradas de operando de la ALU se le suministrarán datos en forma de grupo o "byte" de ocho bitios binarios, presentados en paralelo. Las posiciones de bitio de un grupo o "byte" están numeradas de 0 a 7, de izquierda a derecha, con fines de referencia. Las posiciones de bitio 0, 1, 2 y 3 se denominan de orden superior del byte, en tanto que las posiciones de bitio 4, 5, 6 y 7 son denominadas de orden inferior. Un byte o grupo de datos presentado a uno u otro operando de la ALU puede representar el operando en forma binaria de ocho bitios, o bien puede representar dos dígitos decimales, uno de ellos representado en forma binaria en las posiciones de bitio, 0, 1, 2 y 3 del byte, mientras el otro dígito decimal está representado en forma binaria en las posiciones de bitio 4, 5, 6 y 7 del byte de datos. Por tanto, se pide de la ALU que opere en uno u otro de dos modos, binario o decimal, según la forma en que se presenten los operandos. Cada vez que a una entrada de la ALU se le aplique un juego de bitios binarios representativo de un operando, se dirige también a la ALU otro juego de señales de bitios binarios correspondientes pero inversas, de modo que la ALU ejecuta la función aritmética o lógica



deseada utilizando las señales directas en bitios que representan los dos operandos, y la misma función aritmética o lógica se efectúa utilizando para cada operando las señales de bitios inversas. Así, cada vez que la ALU efectúa una función aritmética o lógica, se desarrollan dos resultados, cada uno de ellos en forma de ocho bitios binarios en paralelo. Los dos resultados de ocho bitios se dirigen a un circuito de verificación, donde son comparados, desarrollándose una señal de error si los dos resultados no son iguales.

En la fig. 3e se muestra con detalle, dentro del recuadro 40 de trazo interrumpido, parte de los circuitos para operar con el bitio 4 de las entradas A y B. Los circuitos correspondientes para operar con los bitios 5, 6 y 7 para ambos operandos es semejante, y está esquemáticamente representada en la fig. 3b por medio de los recuadros 1, 2 y 3, respectivamente.

Para poder obtener alguna apreciación del modo de funcionar los diversos componentes lógicos en el tratamiento de un bitio de operando concreto y específico, se describirá acto seguido la función de suma binaria de bases (como antitesis de complementos), ilustrándose cómo se efectúa la adición sobre dos operandos, con especial insistencia acerca de los bitios A4 y B4.

En este ejemplo, cada una de las líneas de entrada de datos para el operando A se denomina A1, A2 ... A7, correspondientes a las ocho posiciones de bitio del byte de datos de ocho bitios. De igual modo, cada una de las líneas de entrada de datos para el operando B se designa con B1, B2 ... B7. Un trazo colocado sobre un símbolo de identificación de señal indica que la señal en cuestión está invertida, y tie

325124



ne una tensión de nivel bajo, en contraste con la señal de
igual identidad pero que no lleve el trazo encima, y que
tiene una tensión de nivel alto o superior. Por ejemplo, la
señal $\overline{A2}$ es la señal A2 invertida, y está a un nivel bajo
5 cuando esta última, la A2, está al nivel alto.

La ALU se controla selectivamente para ejecutar una de
las cinco funciones aritméticas o lógicas anteriormente indi-
cadas, por medio de las siguientes señales de control: TRUE,
COMP., DEC., HEX, LM, \overline{LM} , N, \overline{N} , CONNECT y $\overline{CONNECT}$. El estado
10 en que tiene que hallarse cada una de estas líneas de con-
trol para ejecutar cada una de las funciones aritméticas y
lógicas se indica en la siguiente tabla:

325124

325124



DMC	EXP	FUNCTION	COEF	UNIT	ORDER	ORDER	IN	IN	H	H
ACT. para modo decimal; modo binario	ACT. para modo binario	A + B (suma)	DESACT.	ACT.	DESACT.	ACT.	DESACT.	ACT.	DESACT.	DESACT.
DESACT. para modo binario	DESACT. para modo decimal									
ACT. para modo decimal; modo binario; modo binario; modo decimal; modo binario; modo decimal.	ACT. para modo binario; modo decimal; modo binario; modo decimal; modo binario; modo decimal.	A - B (resta)	ACT.	DESACT.	DESACT.	ACT.	DESACT.	ACT.	DESACT.	DESACT.
DESACT.	ACT.									
		A Y B (coin-olencia)	DESACT.	ACT.	DESACT.	ACT.	DESACT.	ACT.	DESACT.	DESACT.
DESACT.	ACT.									
		A O B (disyuntiva)	DESACT.	ACT.	DESACT.	ACT.	DESACT.	ACT.	DESACT.	DESACT.
DESACT.	ACT.									
		A O B Pero no A Y B (disy. exclus.)	DESACT.	ACT.	DESACT.	ACT.	DESACT.	ACT.	DESACT.	DESACT.
DESACT.	ACT.									

ACT. = activado
DESACT. = desactivado

325124



Ejemplo de una operación de suma binaria de bases

Con referencia a las figs. 3d y 3e, en la operación de suma binaria de bases, en la cual los operandos A y B están cada uno representado como entrada de datos a la ALU en forma binaria de ocho bitios, está activada (a un nivel alto de tensión) la señal en cada una de las siguientes líneas de control, tal como se indica en la tabla precedente: 4 (HEX), 5 (TRUE), 6 (N), 60 (IM) y 61 (CONNECT). Por el contrario, está al nivel bajo la señal en cada una de las siguientes líneas de control, también como se indica en la tabla precedente: 62 (DEC), 63 (COMP), 64 (N), 65 (IM) y 66 (CONNECT). A los fines de explicación de la operación de sumar, se supone que el operando A es 01011101 para los bitios A0 a A7 inclusive, y que el operando B es 10001100 para los bitios B0 a B7 inclusive. Como el funcionamiento de la ALU al sumar los cuatro bitios de orden superior de los operandos es similar al que tiene lugar para sumar los cuatro bitios de orden inferior de los dos operandos, bastará con describir de qué modo funciona la ALU para sumar los cuatro bitios de orden inferior (4 a 7 inclusive) de ambos operandos, esto es, respectivamente, 1101 y 1100.

Con referencia a las figs. 3a a 3h inclusive, las líneas de bitios 7 (A4), 8 (A5), 10 (A7) y 13 ($\overline{A6}$) están cada una al nivel alto, en tanto que las líneas 11 ($\overline{A4}$), 12 ($\overline{A5}$), 9 (A6) y 14 ($\overline{A7}$) están cada una al nivel bajo, a consecuencia de las señales de entrada del operando A. Las líneas 15 (B4), 16 (B5), 17 ($\overline{B6}$) y 18 ($\overline{B7}$) se hallan al nivel alto, en tanto que las líneas 19 ($\overline{B4}$), 20 ($\overline{B5}$), 21 (B6) y 22 (B7) están al nivel bajo, a consecuencia de

325124



las señales de entrada del operando B.

El bitio más significativo (el bitio 4 del operando A) es un "1" binario (A4), que entra en la ALU por la línea 7. Este bitio se suma del siguiente modo al del "1" binario que hay en la línea 15, que es la posición B4 correspondiente del operando B.

Como las dos entradas (B4 y TRUE) del circuito de coincidencia 23 (fig. 3d) están activadas, también lo está la salida del circuito disyuntivo 24 que, invertida por medio del inversor 25, pasa en forma de nivel bajo a la línea 26 (T/C $\overline{B4}$). La salida del circuito de coincidencia 28 está a nivel bajo, ya que también lo está la señal de COMP en la línea 27. Asimismo está "baja" la salida del circuito de coincidencia 29, por estarlo la señal $\overline{B4}$ de la línea 30. Como la señal $\overline{B4}$ de la línea 32 está a nivel bajo, ello hace que la salida del circuito de coincidencia 31 esté también al nivel bajo. Como todas las entradas del circuito disyuntivo 33 están bajas, la salida del inversor 34, en la línea 35 (T/C B4) está, pues, alta.

Como está "alta" la señal en cada una de las líneas 6 (N), 7 (A4) y 35 (T/C B4), también lo está la salida del circuito de coincidencia 36 que da una de las entradas del circuito disyuntivo 37, lo que hace que la salida del inversor 38 tenga un nivel bajo en la línea 39. Como se señalará al hablar de los circuitos de verificación más adelante, este nivel bajo a la salida del inversor 38 se comunica al circuito de coincidencia 178, que da una salida de nivel bajo al circuito disyuntivo 55. Ahora bien, como se indicará en la descripción que sigue, una salida positiva procedente del circuito de coincidencia 54 tiene precedencia so-

325124



1966

bre la señal de nivel bajo suministrada por la salida del
circuito de coincidencia 178, haciendo que este último dé
una salida de nivel alto que es invertida al nivel bajo
por el inversor 56, nivel bajo que se comunica a la línea
5 57, designada como salida de SUM 4. Como la señal de la
línea 64 está al nivel bajo, también lo está la salida del
circuito de coincidencia 41. Asimismo está a nivel bajo la
señal de la línea 26 ($\overline{1/C B4}$), que pone a nivel bajo la sa-
lida del circuito de coincidencia 42. La señal en la línea
10 11 ($\overline{A4}$) está "baja"; por tanto, también lo está la salida
del circuito de coincidencia 43. Como todas las entradas
del circuito disyuntivo 44 están al nivel bajo, también lo
está su salida y, en virtud de la acción del inversor 45,
se pone la línea 46 al nivel alto.

15 De igual manera, la suma del bitio de orden inmedia-
to inferior (A5) del operando A (señal de "1" binario apli-
cada a la línea 8) con el bitio de orden correspondiente
(B5) del operando B (señal de "1" binario aplicada a la
línea 16) hace que la señal de la línea 47 de dígitos de
20 pase (fig. 3e) se ponga al nivel alto, y al bajo la señal
presente en la línea 50, de ausencia de dígitos de pase.

Visto que la señal en la línea 39 está "baja", como
antes se ha dicho, la salida del circuito de coincidencia
48 está también baja. Asimismo lo está la salida del cir-
25 cuito de coincidencia 49, por estar al nivel bajo la señal
de la línea 50 (\overline{C}). Como todas las señales de entrada al
circuito disyuntivo 51 están bajas, la salida de este cir-
cuito disyuntivo se hace pasar por el inversor 52, que da
una señal de nivel alto en la línea 53 (SUM 4).

30 Como tanto la señal en la línea 47 (C) como la señal

325124



en la línea 46 están "altas", también lo está la salida del circuito de coincidencia 54, que pasa por el circuito disyuntivo 55 y es invertida por medio del inversor 56, dando un nivel bajo en la línea 57 (SUM 4).

5 Por estar a nivel bajo las líneas 46 y 50, también lo está la salida del circuito de coincidencia 58. Asimismo está baja la salida del circuito de coincidencia 59, por estarlo la señal de la línea 11. También está a nivel bajo la señal de la línea 26 (T/C B4). Como la salida de
10 ambos circuitos de coincidencia 58 y 59 está baja, y también lo está la señal de la línea 66, la salida del circuito disyuntivo 67 está baja, y es invertida por el inversor 68 poniendo a nivel alto la línea 69 (CARRY 4).

Como las señales en las líneas 61 (CONNECT), 7 (A4)
15 y 35 (T/C B4) están altas, todas las entradas del circuito de coincidencia 70 lo están, así como la salida del circuito disyuntivo 71 que, invertida por el inversor 72, da un nivel bajo en la línea 73 (CARRY 4). Como la señal en la línea 4 (HEX) está alta, lo mismo la señal de la línea 53
20 (SUM 4), también está alta la señal de salida del circuito de coincidencia 74 (fig. 3f) que constituye una de las entradas al circuito disyuntivo 75. Como la señal de salida del circuito disyuntivo 75 está alta, también está alta la señal de salida que hay en la línea 78 (Z4), en vista de la doble inversión producida por los inversores 76
25 y 77.

La señal en la línea 57 (SUM 4) está baja; por tanto, está baja la salida del circuito de coincidencia 79 (fig. 3f). También está a bajo nivel el circuito de coincidencia 80, por estarlo la señal de la línea DEC. El cir-
30

325124



5 cuito de coincidencia 81 está bajo, por estarlo la señal de la línea 73 (CARRY 4). Como ninguna de las señales de entrada al circuito disyuntivo 82 está a nivel alto, para al nivel bajo la salida del circuito disyuntivo 82 en la línea 83 (Z4).

10 Se ha descrito así de qué modo, en el problema concreto supuesto (sumar 1011101 a 1001100), se desarrolla un "1" binario en el orden más alto de los cuatro bits de orden inferior de la suma (posición de bitio 4 del byte de suma de ocho bitios). Este bitio de suma de "1" binario está representado por la señal de nivel alto Z4 que hay en la línea 78. La señal en la línea 83 (Z4) del bitio de suma complementario correspondiente, según se ha visto, está a su nivel bajo. Además la señal de nivel alto en la línea de dígitos de pase 69 (CARRY 4) y la señal de nivel bajo que hay en la línea 73 de ausencia de dígitos de pase (CARRY 4), dan un dígito de pase a la posición de bitio de orden inmediato superior.

20 Continuando, como las señales de las líneas 5 (TRUE) y 18 (B7) están altas, la salida del circuito de coincidencia 84 también lo está, produciendo una señal de nivel alto a la salida del circuito disyuntivo 85. Esta salida es invertida, por medio del inversor 86, dando un nivel bajo en la línea 87 (T/C B7). La señal de la línea 22 (B7) está baja, poniendo a nivel bajo la salida del circuito de coincidencia 88. La salida de la línea 63 (COLP) está baja (fig. 3d); por tanto, también está baja la salida del circuito de coincidencia 89. Como todas las señales de entrada al circuito disyuntivo 90 están bajas, también lo está la señal de salida del mismo, que es invertida por medio del inversor 91 ponien

25

30

325124



do a nivel alto la línea 92 (T/C B7). Los circuitos representados por el recuadro 3 (para el bitio 7), que son semejantes a los contenidos en el recuadro 40 (para el bitio 4) hacen uso de las señales de nivel alto de las líneas 10 (A7) y 92 (T/C B7) y las señales de nivel bajo de las líneas 14 (A7) y 87 (T/C B7) para desarrollar una señal de nivel alto (bitio de suma) en la línea 93 (SUM y) y una señal de nivel alto (de ausencia de dígitos de pase) en la línea 94 (C7). En las líneas 95 (C) y 96 (SUM 7) se desarrollan señales de nivel bajo.

Como la señal de la línea 93 (SUM 7) está alta, se pone a nivel alto la línea 100, en virtud de los inversores 97 y 99. Esta señal de nivel alto en la línea 100 (Z7) representa un "1" binario en el orden más bajo de la suma de ocho bitios. La señal de la línea 96 (SUM 7) está baja, con lo que también lo está la salida del circuito de coincidencia 101 en la línea 102, que se hace seguir a la línea 102 (Z7), complemento de la señal que hay en la línea 100 (Z7),

Como las líneas 17 (B6), 4 (HEX) y 5 (TRUE) están cada una a nivel alto, también lo está la señal a la salida del circuito de coincidencia 103. Por tanto, la señal de salida del circuito disyuntivo 106 está alta, y la señal de la línea 107 (T/C B6) procedente del inversor 108 está baja.

Como la señal de la línea 21 (B6) está a nivel bajo, también lo está la señal de salida del circuito de coincidencia 109. Como la señal de la línea 63 (COMP) está baja, también lo está la señal de salida del circuito de coincidencia 110. La señal de salida del circuito de coincidencia 111 está baja, por estarlo la señal de la línea 62 (DEC).

325124



La señal de salida del circuito disyuntivo 112 está baja porque lo están todas las señales de entrada del circuito, siendo luego invertida por el inversor 14 para dar un nivel alto en la línea 113 (T/C $\overline{B6}$).

5 Con las señales de las líneas 13 ($\overline{A6}$), 113 (T/C $\overline{B6}$) y 94 (\overline{C}) a nivel alto, y las señales de las líneas 9 (A6), 95 (C) y 107 (T/C B6) a nivel bajo, los circuitos representados por el recuadro 2, similares a los indicados en el recuadro 40, funcionan dando señales de nivel alto en las líneas 105 ($\overline{SUM 6}$) y 116 (\overline{C}), y señales de nivel bajo en las líneas 117 ($\overline{SUM 6}$) y 118(C).

10 Una señal de nivel bajo en la línea 117 ($\overline{SUM 6}$) produce una salida de nivel bajo de ambos circuitos de coincidencia 119 y 120; y por estar baja la señal de la línea 62 (DEC) también lo está la señal de la salida del circuito de coincidencia 121. Por estar bajas todas las señales de entrada al circuito disyuntivo 122, la salida de éste está baja, y se invierte por medio del inversor 123 poniendo a nivel alto la línea 124, siendo luego invertida otra vez por el inversor 125 hasta dar una señal de nivel bajo en la línea 124, señal que representa un "0" binario en el orden inmediato al más bajo de la suma.

15 Como cada una de las señales de las líneas 4 (HEX), 115 ($\overline{SUM 6}$) y 126 ($\overline{Z6 EXT. ENTRY}$) está a nivel alto, se sigue de ello que la salida del circuito de coincidencia 127 desarrolla también un nivel alto; y por la misma razón la señal de salida del circuito disyuntivo 128, en la línea 129, está también alta, y representa el complemento de la señal de la línea 124.

20 Como está baja la señal de la línea 20 ($\overline{B5}$), también

325124



lo está la salida del circuito de coincidencia 130. La línea 63 (COMP), que está a nivel bajo, da un nivel bajo a la salida del circuito de coincidencia 131. El circuito de coincidencia 132 da un nivel bajo, por estar a nivel bajo también la señal de la línea 62 (DEC). El circuito de coincidencia 133 está a nivel bajo por estarlo la señal de la línea 20 ($\overline{B5}$). En vista de estas señales de nivel bajo, el circuito disyuntivo 134 da un nivel bajo que es invertido por medio del inversor 135, dando un nivel alto en la línea 136 (T/C $\overline{B5}$).

Como cada una de las líneas 16 ($\overline{B5}$), 5 (TRUE) y 4 (HEX) se hallan a nivel alto, el circuito de coincidencia 137 y el disyuntivo 138 pasan a un nivel alto, que es invertido por el inversor 140 dando un nivel bajo en la línea 139 (T/C $\overline{B5}$). Con la señal de nivel alto en cada una de las líneas 8 ($\overline{A5}$), 136 (T/C $\overline{B5}$) y 116 (\overline{C}), y la de nivel bajo en cada una de las líneas 12 ($\overline{A5}$), 139 (T/C $\overline{B5}$) y 118 (\overline{C}), los circuitos lógicos representados por el bloque o recuadro 1 funcionan desarrollando señales de nivel alto en las líneas 143 ($\overline{SUM\ 5}$) y 47 (\overline{C}), y señales de nivel bajo en las líneas 141 ($\overline{SUM\ 5}$) y 50 (\overline{C}).

Por estar a nivel bajo la señal de la línea 141 ($\overline{SUM\ 5}$), y por otras razones que no hacen aquí al caso, las salidas de todos los circuitos de coincidencia que alimentan al disyuntivo 149 están necesariamente a nivel bajo, y debido a la presencia del inversor 151, se hace seguir un nivel alto de señal a la línea 150. En virtud del inversor 153, se presenta a la línea 152 una señal de nivel bajo, que representa un "1" binario en la tercera posición de bitio de la suma, La señal de nivel alto de la línea 47 representa un dígito de pase a la posición de orden inmediato superior de la ALU,

325124



como se indica en el recuadro 40. Con nivel alto en Z5 ENTR.
ENTR., el circuito de coincidencia 156 dará una señal alta
(Z5) en la línea 159..

Se ha descrito así de qué modo la ALU desarrolla los
cuatro bitios de orden inferior de la suma, durante una ope-
ración de suma binaria de bases, cuando el operando A es
01011101 y el operando B es 10001100. Los cuatro bitios de
orden superior de la suma son desarrollados de igual modo
por la otra mitad de los circuitos de la ALU,

Circuitos de verificación de la ALU

El resultado de la operación de la ALU es comprobado
por unos medios de verificación 200. La señal de cada una
de las líneas de salida 100 (Z7), 124 (Z6), etc., de la ALU
se dirige a una de las entradas de un circuito disyuntivo
exclusivo, tal como 160 y 161. A la segunda entrada de cada
uno de estos circuitos disyuntivos exclusivos se dirige la
señal de salida complementaria de la ALU, por las líneas
102 (Z7), 129 (Z6), etc., que corresponde a la primera se-
ñal de entrada. Aun cuando sólo se representan los circui-
tos disyuntivos exclusivos de las dos posiciones de bitio
de orden más bajo de la salida de la ALU, se sobrentiende
que también hay unos circuitos disyuntivos exclusivos, conec-
tados de igual modo, en las restantes posiciones de bitio de
la salida de la ALU. La salida procedente de cada uno de los
ocho circuitos disyuntivos exclusivos de los medios de veri-
ficación 200 se dirige a una de las entradas del circuito de
coincidencia 162.

Durante las operaciones normales, se obtiene un ade-
cuado funcionamiento de la ALU cuando una de las dos seña-

325124



les de entrada a cada uno de los ocho circuitos disyuntivos exclusivos 160, 161, etc. está a un nivel alto, y la otra señal de entrada está al nivel bajo. Como consecuencia, cada uno de estos circuitos disyuntivos exclusivos da una salida de nivel alto al circuito de coincidencia 162, el cual pone una señal de nivel alto en la línea 163 de verificación de la ALU. La señal (ausencia de verificación de la ALU) de la línea 164 a nivel bajo, ya que es la salida invertida del circuito de coincidencia 162. Cuando no se satisfacen las condiciones de entrada a uno cualquiera de los circuitos disyuntivos exclusivos, el circuito disyuntivo exclusivo no satisfecho emite una salida negativa, a consecuencia de lo cual la línea de salida 163 estará al nivel bajo, y la señal de la línea 164 estará al nivel alto, dando una indicación de error en un registro de MC, indicado en la fig. 1.

Durante una prueba de seguridad funcional, las dos entradas de cada circuito disyuntivo exclusivo suben al nivel alto, dando una condición de error que obliga a los circuitos verificadores a acusarla. Si por alguna razón los circuitos verificadores no indican el error, en estas condiciones obligadas, se da una indicación apropiada de que los circuitos verificadores están averiados.

Como una parte de la prueba de seguridad funcional está dedicada a ensayar el corrector decimal de la ALU, se presenta acto seguido una descripción de la operación de suma decimal de bases, para poner de manifiesto las funciones que desempeñan los correspondientes circuitos de coincidencia en el corrector decimal.

325124



Operación decimal de suma de bases de la ALU

5 En el funcionamiento decimal de la ALU, el byte de datos, de ocho bitios binarios presentados a cada una de las dos entradas de operando de la ALU, representa dos dígitos decimales en forma codificada en binario. Los cuatro bitios de orden superior de cada operando representan un dígito en forma binaria, en tanto que los cuatro bitios de orden inferior de cada operando representan el dígito decimal de orden inmediato inferior. La salida de la ALU, de ocho bitios binarios, representa igualmente dos dígitos decimales.

10 La ALU es fundamentalmente un sumador binario. Cuando se utiliza como sumador decimal, se añade seis (0110) a cada dígito de cuatro bitios del operando B, y se suman luego los dos operandos como en una operación de suma binaria. El empleo de este "6 de exceso" en la entrada de operando B a la ALU en las operaciones decimales da lugar a que la expresión lógica del dígito de pase decimal sea la misma que para el dígito de pase de la operación binaria, y permite al sumador binario ejecutar operaciones decimales sin necesidad de que sea modificado. Después de sumados los dos grupos de cuatro bitios del operando A en paralelo a los dos grupos correspondientes de cuatro bitios del operando B, en cada caso en que la adición de un grupo de cuatro bitios del operando A al correspondiente grupo de cuatro bitios del operando B no dé lugar a un dígito de pase, se resta un seis del resultado de la suma de los dos grupos respectivos de cuatro bitios. Si de la adición de dos grupos de cuatro bitios se produce un dígito de pase, no se resta el seis del resultado, aplicándose éste directamente a la barra de sali

325124



da de la ALU.

La ALU se hace funcionar en el modo decimal, como opuesto al modo binario, poniendo a nivel alto la señal de control DEC de la línea 62, y a nivel bajo la señal de control HEX de la línea 4. Otras señales de control dirigidas a la ALU tienen el mismo significado para ejecutar una operación dada, ya vaya a operar la ALU en el modo decimal o en binario. Así, para una operación de suma de bases (no complementos) en el modo decimal, estará a nivel alto la señal de la línea 62 (DEC), y a nivel bajo la señal de la línea 4 (HEX), en tanto que las señales de cada una de las demás líneas de control de la ALU estarán al mismo nivel anteriormente indicado para una operación de suma binaria de base.

La precedente descripción de la ALU, y los ejemplos de ejecución de operaciones de sumar en binario y en decimal, servirán de base para comprender las operaciones relacionadas con la manera de funcionar los circuitos de prueba de la seguridad funcional bajo una rutina de programa de vigilancia, constituida por una serie de etapas o escalones de microprograma cada uno de los cuales define un determinado escalón de trabajo o funcionamiento de la calculadora. En el transcurso de estas descripciones se dijo, entre otras cosas, cómo la línea 233 de control de la seguridad funcional tomaba un nivel de condición estática, y se mencionó la conexión de esta línea a una de las entradas del circuito de coincidencia 178, indicado en la fig. 3e. También se dijo de qué modo los circuitos de coincidencia 174, 175, 176 y 36 controlaban la segunda entrada al circuito de coincidencia 178, y se habló del desarrollo de una señal de nivel

325124



bajo en la línea 7 (SUM 4). De acuerdo con la explicación que se da luego, al hablar de las operaciones de microprograma, una señal de nivel bajo aplicada a la línea 233 de control de la seguridad funcional activa a esta línea, y
5 condiciona el circuito de coincidencia 178 de modo que éste suministra una señal de nivel bajo, la cual invertida por el inversor 156, da un nivel alto a la línea 7 (SUM 4). Por razones que se explicarán en lo que sigue, también se verá de qué modo la línea 153, de SUM 4, se condicionará tomando
10 un nivel alto. Como consecuencia de estar ambas al nivel alto, las líneas SUM 4 y SUM 4, las condiciones a la entrada del circuito disyuntivo exclusivo, en el circuito verificador, serán tales que la salida del correspondiente circuito disyuntivo exclusivo estará al nivel bajo para la línea 163
15 de verificación de la ALU, y al nivel alto en la línea 164 de verificación de la ALU. En virtud de esta condición, se desarrolla una señal de error de la manera indicada al describir las operaciones de verificación de la ALU.

En general, los enunciados más comúnmente usados en
20 la presente solicitud se refieren principalmente a las funciones desempeñadas por la ALU, y conciernen de modo primario a los datos pasados desde la barra A y la barra B a la ALU, y transmitidos desde ésta por la barra Z al registro de destino; por ejemplo, a uno cualquiera de los registros
25 L, D, R y S, indicados en la fig. 1. No obstante, y a manera de introducción, se dará una breve explicación de uno de los enunciados que figuran en la presente memoria. Considérese al efecto el enunciado "L = 0 + KLL", el cual se utiliza en el sexto bloque de microprograma, con una dirección
30 de 006, e indicado en la fig. 4a. Este enunciado se interpre

325124



ta del modo siguiente: Los símbolos de la izquierda del signo de igualdad (=) especifican un destino, que usualmente está en comunicación con la barra Z y que refleja la salida de la ALU. En el presente ejemplo, el símbolo L designa el registro L (fig. 1), y comunica con la barra Z. La expresión de la derecha del signo de igualdad indica los datos transmitidos por la barra A y la barra B, la naturaleza de los datos y la manera en que la ALU se controla para tratar estos datos. En el presente ejemplo, la expresión "L = KLL" significa que por medio de la barra A se transmiten ceros a la ALU, y la parte "KLL" de la expresión quiere decir que por medio de la barra B se transmite a la ALU una constante. El símbolo o signo "más" de la expresión establece los adecuados controles de la ALU para la función aritmética de sumar.

La rutina de microprograma para el ensayo de seguridad funcional se inicia activando los apropiados interruptores B, C y D de selección de direcciones (esquemáticamente representados en la figura 1), que hay en el pupitre de mando bajo el control del operador. En general, la prueba de seguridad funcional de la ALU se efectúa de la siguiente manera: Con referencia a la fig. 2a, se prueban primero las líneas de salida 0 de la barra Z y 4 de la barra Z, por el orden citado, estando la sección de la ALU condicionada para una función lógica binaria. A continuación, se prueban las ocho líneas de salida de barra Z una tras otra, en ocho operaciones sucesivas de bucle de secuencia, con la sección de la ALU condicionada para una operación lógica binaria, a continuación de lo cual se prueban las líneas de salida SUM 0 y SUM 4, con la sección de la ALU condicionada para

325124



una suma decimal con el cerrojo T/C (base/complemento) puesto en la función complementaria. Finalmente, en la última operación se ensaya la efectividad de la operación de dígito de pase, con la sección de la ALU condicionada para una
5 operación directa de suma binaria.

Como se ve en las figs. 4a y 4b, se utilizan 29 etapas o escalones de microprograma para probar la efectividad de todos los circuitos de salida de la ALU. Veintitrés de estos escalones de microprograma (001 a 023 inclusive) están
10 asignados a la realización de las funciones de prueba o ensayo explicadas; y los seis microprogramas restantes (designados 103, 107, 111, 115, 119 y 123) se utilizan para originar una operación de paro en el caso de que en el circuito sometido a ensayo se acuse un fallo.

15 Los tres primeros escalones 001, 002 y 003 del microprograma se emplean para probar la línea de salida de barra Z, en la posición de bitio 0. Los tres escalones siguientes 004, 005 y 006 del microprograma están asignados a la prueba de la línea de salida de barra Z, para la posición de bitio 4. Los escalones 007, 008, 009, 010 y 011 del microprograma constituyen un bucle, y en cada pasada o recorrido del bucle se probará una de las líneas de salida de barra Z, de modo que para probar la efectividad de las ocho líneas de salida, para los bitios 0 a 7 inclusive, se necesitan
20 ocho pasadas de recorrido por el bucle. Los escalones 012, 013, 014, y 015 del microprograma están destinados a probar la efectividad de la verificación de ausencia de dígitos de pase. Los escalones 016, 017, 018 y 019 del microprograma están asignados al ensayo de la efectividad de la línea de salida SUM 0 y, finalmente, las etapas 020, 021, 022 y 023
25
30

325124



del microprograma se destinan a probar la efectividad de la línea de salida SUM 4.

La primera operación de prueba pide el ensayo de la línea de salida de barra Z para la posición de bitio 0 (fig. 2b). En la figura 4 se indica el empleo de tres escalones de microprograma, de direcciones 001, 002 y 003 respectivamente, para realizar esta fase de la operación de prueba. El primer escalón del microprograma (de dirección 001) expone dos enunciados: "OE = 1" y "Z = 0VK8H". El primero de estos dos enunciados, como antes se ha dicho, indica los circuitos que sirven para excitar el cerrojo 201 de par/impar (fig. 1). Esto se efectúa por medio de la pauta de señales de microprograma emitida por los SAL (cerrojos de amplificadores de interrogación) de la memoria de lectura exclusiva, que dan la constante 8, lo que condiciona o faculta al circuito de coincidencia de K8 para dar una señal de nivel alto por la línea K8a que pone en acción al cerrojo 201 de par/impar. A consecuencia de ello, la línea de control 213 se pone al nivel bajo. Este nivel bajo es suministrado de la manera ya explicada al corrector decimal, que pone a nivel alto la línea $\overline{Z0}$ que se indica conectada al circuito 200 de verificación de la ALU (figura 3h). El segundo enunciado pide el ensayo de la salida de la posición de bitio 0 de la barra Z, en virtud de la siguiente operación: La barra A se controla de modo que suministre ceros a la entrada A del sumador, por medio del registro A, al mismo tiempo que la barra B transmite la constante 8 en binario (1000) a la entrada de B del sumador. El propio tiempo, el sumador se controla (recibe la señal de mando) para ejecutar una función lógica disyuntiva exclusiva. La constante 8 es admitida a la barra B por

325124



medio de la línea de barra K, a través de un selector de constantes (K SEL) y de una barrera de barra K gobernada por una señal de control K_c de la memoria de lectura exclusiva. Este selector de constantes puede ajustarse para admitir valores de ocho y de uno. A consecuencia de esta función lógica, se aplica una señal de nivel bajo a la línea $\overline{Z0}$, así como un nivel bajo en la línea Z0 producido por la línea 213, procedente del cerrojo 201 de par/impar. Este grupo o juego de condiciones de entrada al circuito disyuntivo exclusivo da por resultado un error forzado, que hace que la línea 163 de verificación de la ALU tome un nivel bajo, y la línea 164 un nivel alto. El escalón de dirección 002 del microprograma contiene dos enunciados, a saber: "LOAD" y "Z = MCVK8L". El primero de estos enunciados ("LOAD") es activado por una pauta de señales de microprograma, entre las cuales se desarrolla una constante 13. La constante condiciona el circuito de coincidencia K13, dando un nivel alto de salida por la línea 13a, que desactiva el cerrojo 201 de par/impar. En esta condición, ambas líneas de control 213 y 233 están cada una a un nivel alto. El segundo enunciado se da para probar el registro MC, posición de bitio 4. Esto se efectúa aplicando el contenido del registro MC a la barra A, y al contenido de las posiciones de orden inferior del campo K un ocho binario (1000), y activando la ALU para una función disyuntiva exclusiva. A consecuencia de esto, la línea de barra Z, posición de bitio 4, tendrá un nivel bajo, indicativo de un 0. El objeto de esto es poder incorporar esa condición de error al siguiente escalón del microprograma, a saber: el de dirección 003. Este escalón contiene dos enunciados, que son: "Z = 0" y "MC = 0". El primer

325124



1960

enunciado es una condición de error "enganchada" o incorporada, que haría que la rutina del microprograma se enganchara a la dirección 103, de dejar de responder en este momento los circuitos de verificación. El segundo de estos enunciados expone una condición de reposición, para reponer a cero el contenido del registro MC. Los tres escalones de microprograma indicados exponen la manera en que los circuitos de verificación son ensayados para la posición de bitio 0.

En la fase siguiente de la operación se utilizan los escalones de dirección 004, 005 y 006 del microprograma para probar los circuitos de verificación relacionados con la posición de bitio 4. La etapa 004 del microprograma es similar a la indicada para la de dirección 001, con la salvedad de que la constante 8 se hace pasar ahora a la posición de bitio 4, y no a la posición de bitio 0. Por lo demás, los escalones y las funciones de la ALU son iguales; es decir, se activa el cerrojo de par/impar y se verifica la posición de bitio 4 de la barra Z. El escalón de dirección 005 del microprograma es idéntico en operaciones al descrito en relación con el 002. En la etapa de microprograma de dirección 006 se exponen tres enunciados, a saber: " $Z = 0$ ", " $MC = 0$ " y " $Z = 0 + KLL$ ". El primero de estos enunciados produce un "enganche" de error, de fallar los circuitos verifcadores durante la prueba de seguridad funcional. El segundo enunciado pide la reposición del registro MC a cero, de la manera ya descrita. El tercer enunciado hace que la sección sumadora de la ALU efectúe una operación de sumar binaria, durante la cual se admiten ceros al sumador de la ALU por medio de la entrada de A. Por la entrada de B se admite al sumador de la ALU la constante I (0001). El objeto de esta

325124



operación de suma binaria es el de colocar el contenido de 1 en el registro L. Con referencia a la fig. 1, el contenido, como resultado de la operación de suma binaria, pasa por la barra Z y entra en el registro L bajo el control de la barrera Z_2 , controlada a su vez por una señal Z_{2a} de control de la memoria de exclusiva lectura.

La operación de ensayo que sigue está relacionada con la prueba de los circuitos de verificación de cada una de las ocho líneas de salida Z, bitios 7 a 0 inclusive. Esta fase de la operación viene controlada por los escalones del microprograma que tienen por dirección 007, 008, 009, 010 y 011. Como se observará por la fig. 4b, estos cinco escalones del microprograma constituyen un bucle que se utilizará durante ocho pasadas consecutivas, a fin de probar en cada pasada una de las ocho líneas de bitio de salida constitutivas de la barra Z. Con referencia al escalón de dirección 007 del microprograma, es de notar que este escalón contiene un solo enunciado, a saber: "OE = 1". Como antes se ha dicho, este escalón pide la activación del cerrojo de par/impar de la menra antes indicada. El siguiente escalón del microprograma, de dirección 008, contiene dos enunciados, a saber: "OE = 1" y "Z = OVL". El enunciado "OE = 1" se repite por segunda vez, ya que el anterior tubo lugar en el escalón 007, sin reposición intermedia. Esto da lugar a la activación del cerrojo de verificación de la ALU, permaneciendo activado el cerrojo de par/impar, para dar señales de nivel bajo en ambas líneas de control 213 y 233 de la seguridad funcional, que introduzcan errores forzados en la entrada de los circuitos de bitio de sumador, para los bitios 7 a 0 inclusive, en ocho recorridos sucesivos del bucle. Ahora bien, en la

325124



primera pasada se verificará la línea del bitio 7. El segun-
do enunciado da lugar a una función disyuntiva en el suma-
dor de la ALU, durante la cual se admiten ceros por la llega-
da o entrada de A, y se admite por la llegada o entrada de
5 E el contenido del registro L. El resultado de esta función
lógica es el de ensayar la línea de bitio 7 de la barra Z,
bajo el control de los circuitos de seguridad funcional, de
la manera ya descrita.

La tercera etapa del microprograma, de dirección 009,
10 contiene dos enunciados, a saber: "LOAD" y " $Z = MC \vee K8L$ ".
Estos dos enunciados son iguales a los descritos al hablar
del escalón 002 del microprograma, y tienen por objeto re-
poner el cerrojo 220 de verificación de la ALU y el cerrojo
de par/impar 201, y probar la posición de bitio 4 del regis-
15 tro MC. El cuarto escalón del microprograma de este bucle,
esto es, el de dirección 010, expone dos enunciados, a sa-
ber: " $Z = 0$ " y " $Z = L + L$ ". El primero de estos enunciados
pide un "enganche" de condición de error, y es igual al des-
crito al hablar de la etapa 003 del microprograma. El sé-
20 gundo enunciado, " $Z = L + L$ ", pide una prueba del dígito de
pase procedente de la posición de orden superior del suma-
dor, esto es, de la posición de bitio 0. Ahora bien, en es-
te momento, como el dígito de pase se está produciendo des-
de la posición de bitio 7 a la posición de bitio 6, el es-
25 calón no tiene efecto. El quinto escalón del microprograma,
de dirección 011, expone tres enunciados, a saber: "AC",
" $MC = 0$ " y " $L = L + L$ ". El primero de estos enunciados,
"AC", es un enganche de dígito de pase, de desarrollarse
éste desde la salida de la posición de bitio 0. Ahora bien,
30 éste no se desarrollará hasta la octava pasada de recorri-

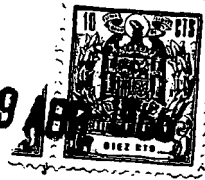
325124 19



do de este bucle de cinco escalones del microprograma. El
segundo enunciado, " $MC = 0$ ", pide la reposición del regis-
tro MC, de la manera ya indicada. El tercer enunciado,
" $L = L + L$ " pide una operación de suma binaria durante la
5 cual el contenido del registro L se admite al sumador por
ambas llegadas de A y de B, y la suma es transmitida por la
barra Z al registro L. Las llegadas procedentes del regis-
tro L, a las barras A y B, están bajo el control de las ba-
rreras A_2 y B_2 , respectivamente gobernadas por las señales
10 A_{2a} y B_{2a} de la memoria de exclusiva lectura (fig. 1). La
salida del sumador, durante esta operación de suma binaria,
es transmitida por medio de la barra Z al registro L, bajo el
control de la barrera Z_2 de control de la memoria de exclu-
siva lectura, a su vez controlada por la señal de control
15 Z_{2a} . El objeto de esta operación de duplicación es el de ob-
tener un desplazamiento a la izquierda, por medio de un dí-
gito de pase, para probar la siguiente posición de bitio de
orden superior, esto es, la posición de bitio 6. A cada pa-
sada de recorrido del bucle durante la etapa 011 del micro-
20 programa, se produce la duplicación con un desplazamiento a
la izquierda que eventualmente, a la octava por el bucle,
da un dígito de pase desde la posición de bitio 0, del or-
den más más alto. Como antes se ha dicho, hacen falta ocho
pasadas por el bucle para probar todos los circuitos de ve-
25 rificación; y, durante la octava pasada, el dígito de pase
procedente de la posición de bitio 0 del orden más alto da
rá origen a un "enganche" a la etapa 012 del microprogra-
ma.

Esta etapa del microprograma contiene el enunciado
30 " $OE = 1$ ", que, como antes se ha dicho, pone en estado de

325124



conducción al cerrojo de par/impar.

La siguiente etapa o escalón del microprograma, de dirección 013, expone dos enunciados, a saber: "OE = 1" y "Z = 0 + 0". El primero de estos enunciados, que es la segunda de dos señales sucesivas, activa el cerrojo 220 de verificación de la ALU, permaneciendo en su estado de conducción el cerrojo 201 de par/impar. El resultado de esto es que las líneas de control de seguridad funcional 213 y 233 se condicionan pasando a su estado activo, o de nivel bajo, estableciendo así en la ALU las condiciones de error forzado. El enunciado "Z = 0 + 0 =" se utiliza para probar los circuitos de verificación en cuanto a la operación de dígitos de pase procedente de la posición de bitio 0, del orden más alto. Durante esta operación se da entrada a cerros en la ALU, por las llegadas de A y de B.

El siguiente escalón del microprograma, de dirección 014, contiene dos enunciados, que son: "LOAD" y "Z = MCVK8L". Estos dos enunciados se han descrito ya al hablar de la etapa 002 del microprograma, y piden la reposición de ambos cerrojos 201 y 220, y la prueba de la posición de bitio 4 del registro MC..

La siguiente etapa del microprograma, de dirección 015, contiene tres enunciados, que son: "Z = 0", "MC = 0" y "S = 0 + K8". El enunciado "Z = 0" es el "enganche" de error. El enunciado "MC = 0" pide la reposición, del registro MC; y el enunciado activa la ALU para una operación de suma binaria de bases, durante la cual se va a colocar la constante 88 binaria (10001000) en el registro S o de estado. El objeto de esta etapa es una operación preliminar a la de prueba de los circuitos SUM 0 y SUM 4 de verificación de la ALU. La ma

325124



nera en que se transmite el binario 88 al registro S puede verse en la fig. 1, donde, como consecuencia o resultado de la operación de suma binaria, la suma aplicada a la barra Z pasa por el control de barrera Z_3 , por medio de una señal de control Z_{3a} .

Los cuatro siguientes escalones del microprograma, es to es, los de direcciones 016, 017, 018 y 019, se utilizan para probar la verificación de SUM 0 de la ALU. El escalón 016 contiene el enunciado "OE = 1" y, como antes se ha dicho, activa el cerrojo 201 de par/impar. La siguiente etapa, de dirección 017, contiene dos enunciados, a saber: "OE = 1" y "Z = SH*0". El primer enunciado se aclara por sí solo. El segundo enunciado pide la ejecución de una función de coincidencia por parte de la ALU, durante la cual el contenido de las cuatro posiciones de orden superior del registro S se pone en coincidencia con ceros, y la ALU es colocada en el modo decimal bajo el control del cerrojo de T/C (base/complemento), viniendo esto indicado por los símbolos y \bar{A} , respectivamente.

El objeto de esta operación es el de aislar la prueba de seguridad funcional de los circuitos de verificación reduciéndola a una sola comprobación, y evitando así que el error forzado pase por los circuitos correctores decimales; de no hacerlo así, pasaría por estos el error forzado y resultaría comprobado por segunda vez, dando lugar a una operación de verificación superflua. Las funciones aritméticas y lógicas de esta operación se efectúan del modo siguiente. En las cuatro posiciones de orden superior del registro S, el contenido (8 binario) entra en la ALU por medio de la barra A. Al propio tiempo entran, en la barra B, ceros en forma

325124



complementaria de doses, como 15 binario (1111), desarro-
llándose esto a consecuencia de la activación de la ALU
en el sentido de efectuar una función de coincidencia es-
tando en el modo decimal. El resultado de esta operación
5 da un 8 binario (1000). Ahora bien, por estar en el modo
decimal, el corrector decimal se activa restando el valor
6, y el resultado de esta operación da un valor binario
de 2 (0010). El dígito de pase se suprime en esta opera-
ción, en virtud del hecho de que la ALU está efectuando
10 una función de coincidencia. Esta operación en su totali-
dad tiene por efecto impedir que el error forzado se ve-
rifique o acuse por segunda vez durante la misma opera-
ción, como antes se ha dicho. Una vez comprobada la lí-
nea SUM 0, se avanza en el programa hasta el siguiente
15 escalón de microprograma, de dirección 018, donde se ex-
ponen dos enunciados, a saber: "LOAD" y "Z = MCVK8L".
El enunciado de "LOAD" pide la reposición de los cerro-
jos, de la manera ya expuesta. El segundo enunciado pide
comprobar la posición de bitio 4 del registro MC, de la
20 manera ya indicada al hablar del escalón 002 del micro-
programa. La siguiente etapa del microprograma, de direc-
ción 019, presenta los enunciados "Z = 0" y "MC = 0". El
primero de estos enunciados significa un "enganche" de
condición de error, y el segundo pide la reposición del
25 registro MC; operaciones ambas que ya se han explicado al
hablar de la etapa 003 del microprograma.

La fase final de la operación de prueba se utiliza
para verificar la línea SUM 4, lo cual se efectúa en las
etapas 020, 021, 022 y 023 de microprograma. Estas cua-
tro etapas son iguales a las de dirección 016 a 019 in-
30

325124



clusive recién explicadas, con la salvedad de que, en la etapa 021, es el contenido de los cuatro bitios inferiores del registro S el que se hace llegar a la barra A, en lugar del contenido de las cuatro posiciones de bitio de orden superior, como se ha indicado al hablar de la etapa 017 del microprograma. En todo caso, los cuatro escalones o etapas 020 a 023 inclusive del microprograma efectúan la prueba de seguridad funcional en la línea de salida SUM 4 de la ALU.

Si bien la invención se ha ilustrado y descrito en particular con referencia a una de sus formas de realización preferidas, las personas versadas en la materia comprenderán fácilmente que pueden hacerse en la misma varios cambios de forma y de detalle, sin por ello apartarse del espíritu ni salirse del ámbito de la invención.

La presente solicitud que corresponde a la presentada en los Estados Unidos de América, con fecha 7 de abril de 1.965, bajo el número 446.184, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

N O T A

Los puntos de invención propia y nueva que se presentan para que sean objeto de la presente solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

1.- Una máquina calculadora que tiene dos estados,

325124



5 uno de trabajo con problemas y otro de prueba, máquina
que comprende: una unidad aritmética y lógica compues-
ta de elementos lógicos tanto positivos como complemen-
tarios, con salidas que transmiten señales tanto positivas
10 como negativas, respectivamente, por cada operación váli-
da de dicha unidad aritmética y lógica durante el estado
de trabajo con problemas; unos circuitos de verificación
conectados a dichas salidas de los elementos lógicos, y
que al hacerlos funcionar dan una condición de error cuan-
do las señales de salida transmitidas no son complementa-
rias durante el estado de trabajo con problemas; unas lí-
neas de control, de prueba de seguridad funcional, conec-
tadas a dichos elementos lógicos y que transmiten un nivel
de señal o condición estática durante el estado de traba-
15 jo con problemas y un nivel de señal o condición activa
durante el estado de prueba de seguridad funcional; unos
medios de control de memoria de exclusiva lectura, que
contienen unos generadores de pautas asignados unos a la
ejecución de los problemas y los restantes a la operación
20 de prueba de la seguridad funcional, generadores de pautas
que emiten unas pautas de señales de control singulares
y únicas, cada una de ellas, a una etapa distinta de pro-
gramación de la calculadora, bien durante el estado de
trabajo con problemas o bien durante el estado de prueba;
25 medios para hacer pasar la calculadora del estado de tra-
bajo con problemas al estado de prueba de seguridad fun-
cional; y medios para conmutar o cambiar dichas líneas
de control desde el nivel de condición estática al de ac-
tiva bajo el control de los generadores de pautas asigna-
30 dos a la operación de prueba de la seguridad funcional,

325124

1948



para comprobar la efectividad de dichos circuitos de verificación durante el estado de prueba de la seguridad funcional.

5 2.- La máquina del punto 1, en la cual dicha unidad aritmética y lógica está compuesta de sumadores lógicos individuales, y cada uno de estos sumadores tiene un par de líneas de salida para emitir una señal positiva, indicativa de un valor suma, y una señal negativa indicativa de un valor de no suma (ausencia de suma), incluyendo además dicha unidad aritmética y lógica un corrector decimal interconectado con determinadas salidas concretas de dichos sumadores, y estando compuestas dichas líneas de control de seguridad funcional de un par de líneas, una conectada a cada uno de dichos sumadores y la otra a dicho corrector decimal.

15 3.- La máquina del punto 2, en la cual dichos circuitos de verificación están constituidos por unos circuitos disyuntivos exclusivos, cada uno de ellos interconectado con uno de dichos pares de líneas de salida de sumador, distinto para cada uno.

25 4.- La máquina del punto 3, en la cual los medios de conmutación o cambio incluyen dos dispositivos biestables, cada uno de ellos conectado a una de dichas líneas de control, y en la cual los generadores de pautas de seguridad funcional incluyen unas señales específicas de valor constante para hacer cambiar de estado dichos dispositivos biestables según la calculadora se halle en el estado de trabajo con problemas o en el estado de prueba.

30 5.- La máquina del punto 1, en la cual los medios

325124



para hacer pasar la calculadora del estado de trabajo con problemas al estado de prueba de seguridad funcional están compuestos de conmutadores ajustables en el pupitre de mando, y de una pluralidad de líneas que conectan entre sí dichos conmutadores y dichos medios de control de la memoria de exclusiva lectura, para seleccionar el primer generador de pautas de una serie de éstos, para iniciar la operación de prueba de seguridad funcional.

6.- La máquina del punto 4, en la cual dicha unidad aritmética y lógica incluye además unos circuitos de dígitos de pase que conectan entre sí dichos sumadores individuales e incluyen unas líneas de salida de dígitos de pase y de ausencia de dígitos de pase interconectadas con dichos circuitos de verificación.

7.- La máquina del punto 6, en la cual dichos medios de verificación incluyen además un circuito disyuntivo exclusivo interconectado con dichas líneas de salida de dígitos de pase, y otros dos circuitos disyuntivos exclusivos conectados a las líneas de salida de suma y no suma (ausencia de suma) procedentes de los sumadores que representan los bitios 0 y 4.

8.- Una máquina calculadora.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines especificados.

325124



Esta Memoria consta de cuarenta y tres hojas, escritas a máquina por una sola de sus caras.

Madrid, 19 ABR 1966
P. A.

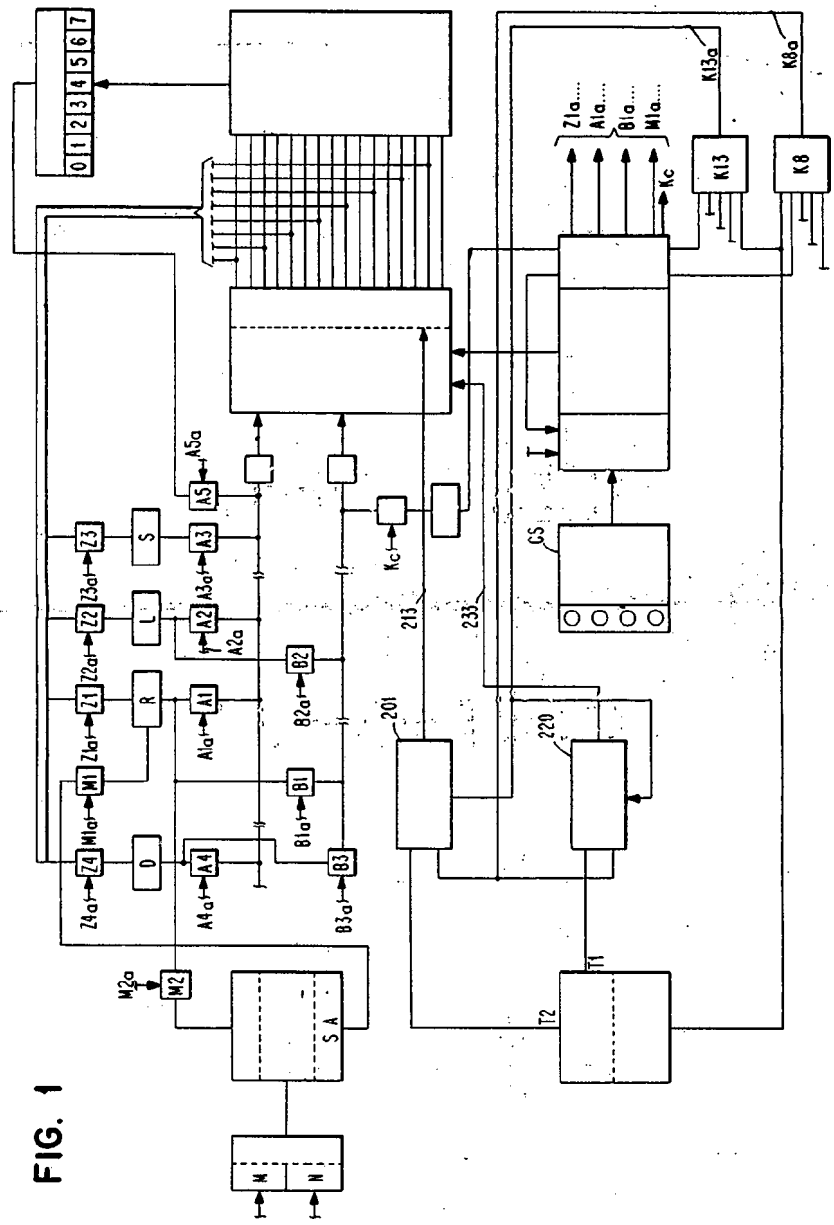
Alberto de Eizajuru
Por Poder

10
1946

325124

325124

FIG. 1

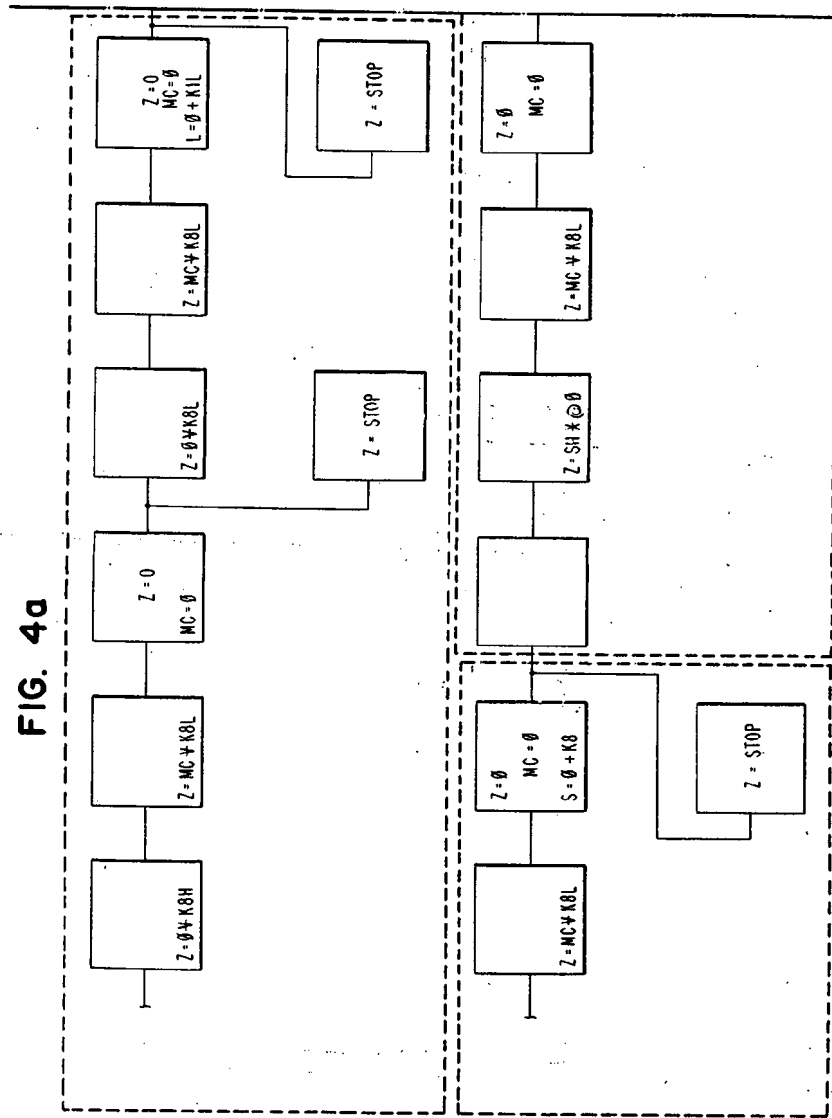


Ashe

325124

325124

FIG. 4a



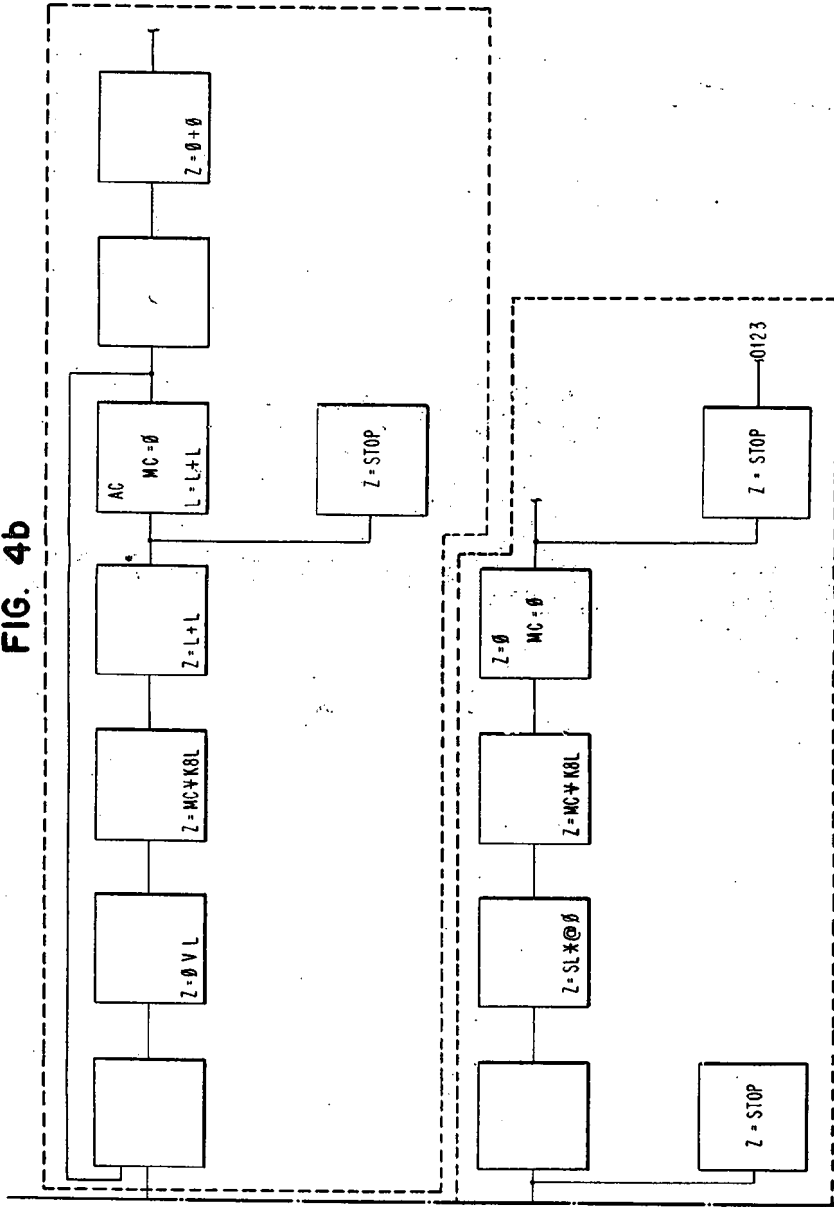
Q. A. D. W.

325124

325124

Handwritten signature

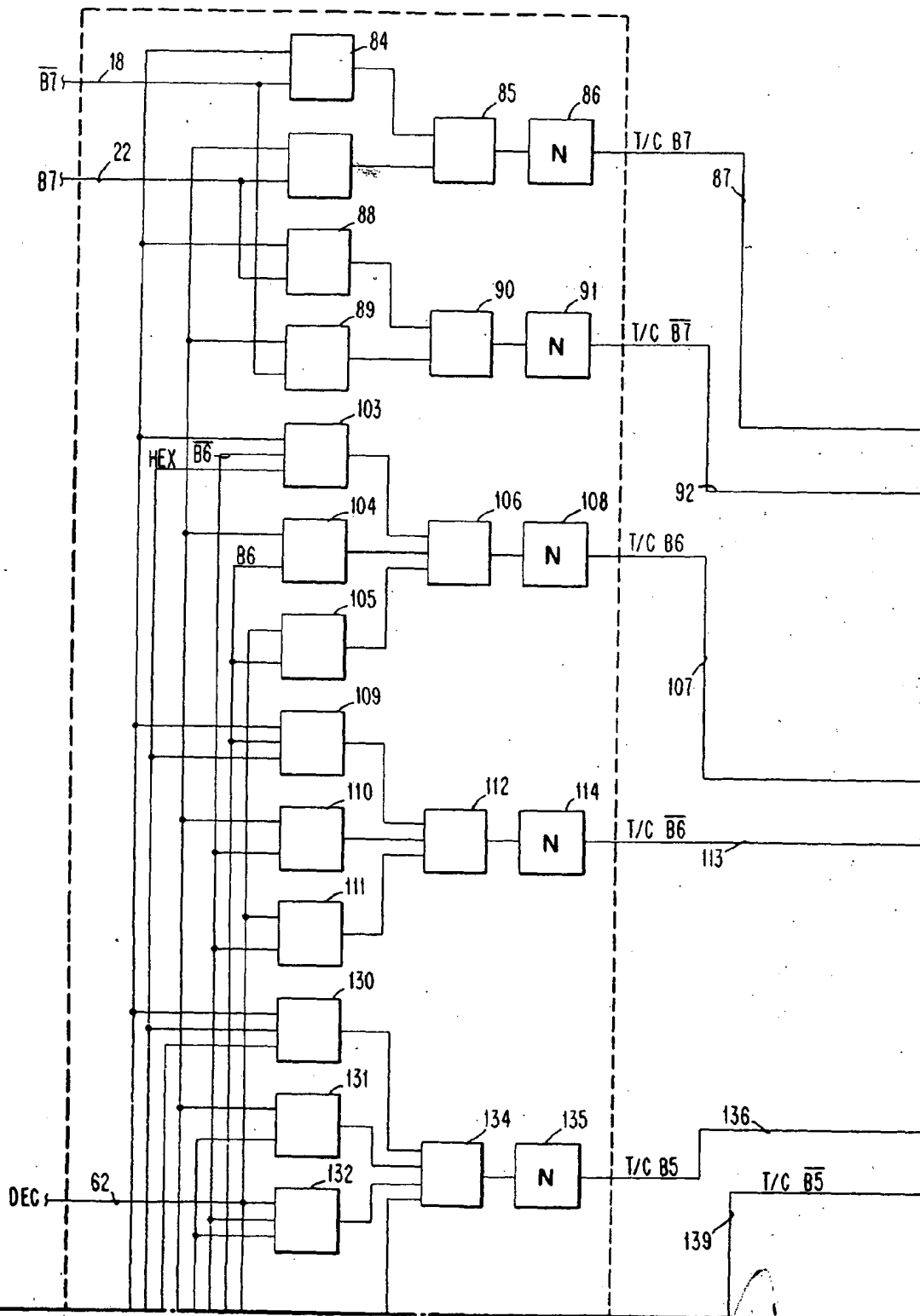
FIG. 4b





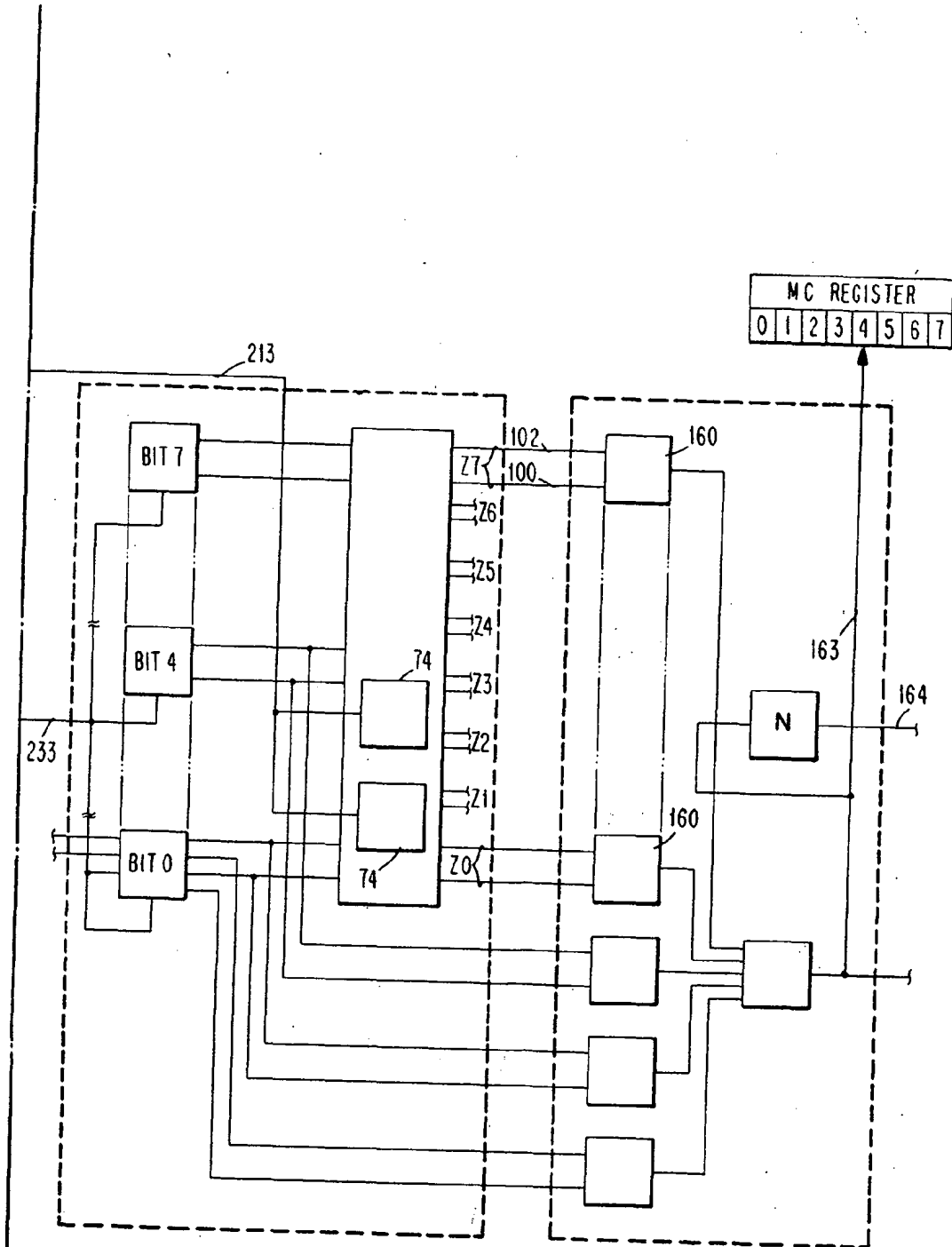
325124

FIG. 3a



Handwritten signature or initials.

325124



(FIG 3a-3g)

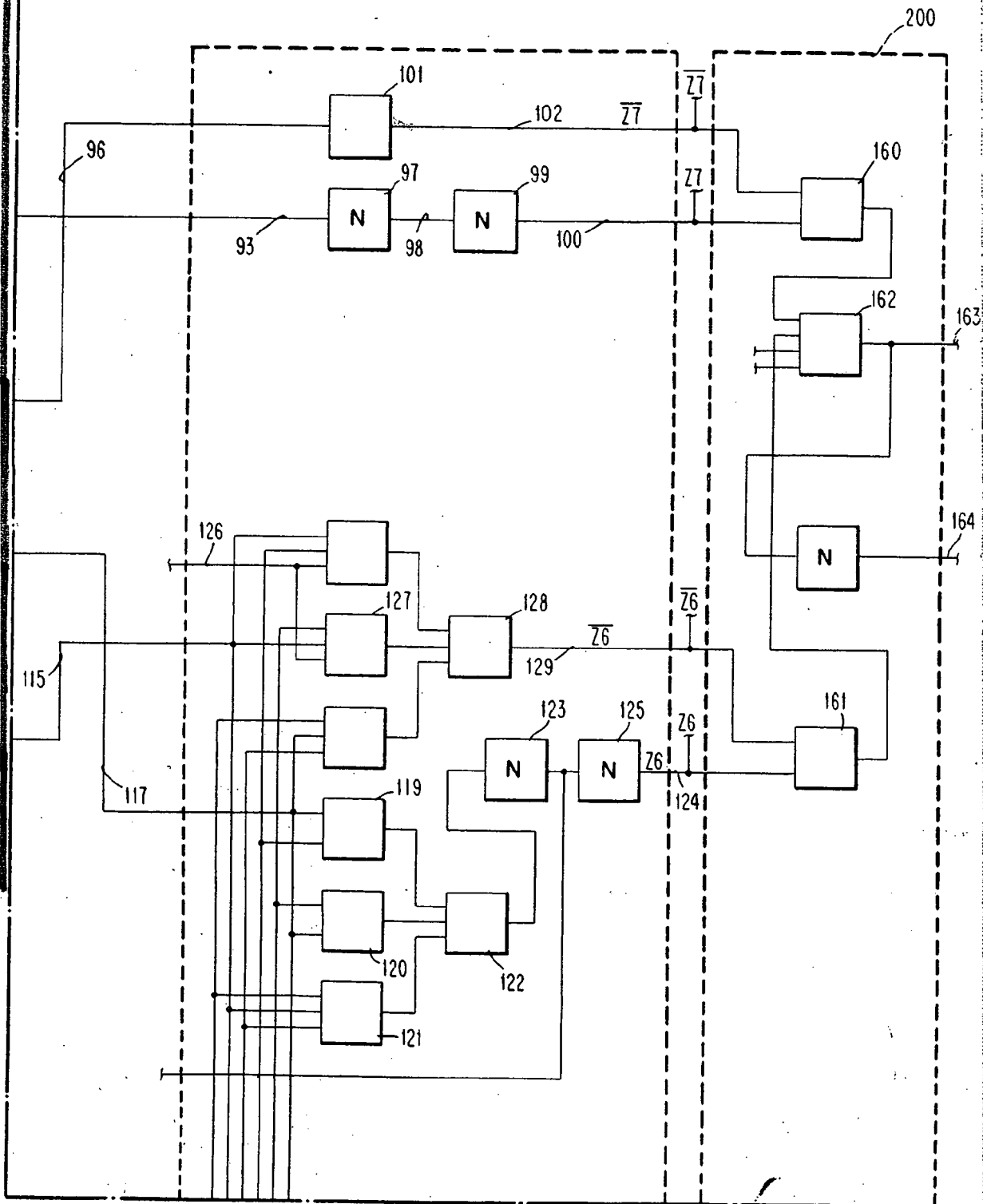
FIG. 2b

Arta



FIG. 3c

325124

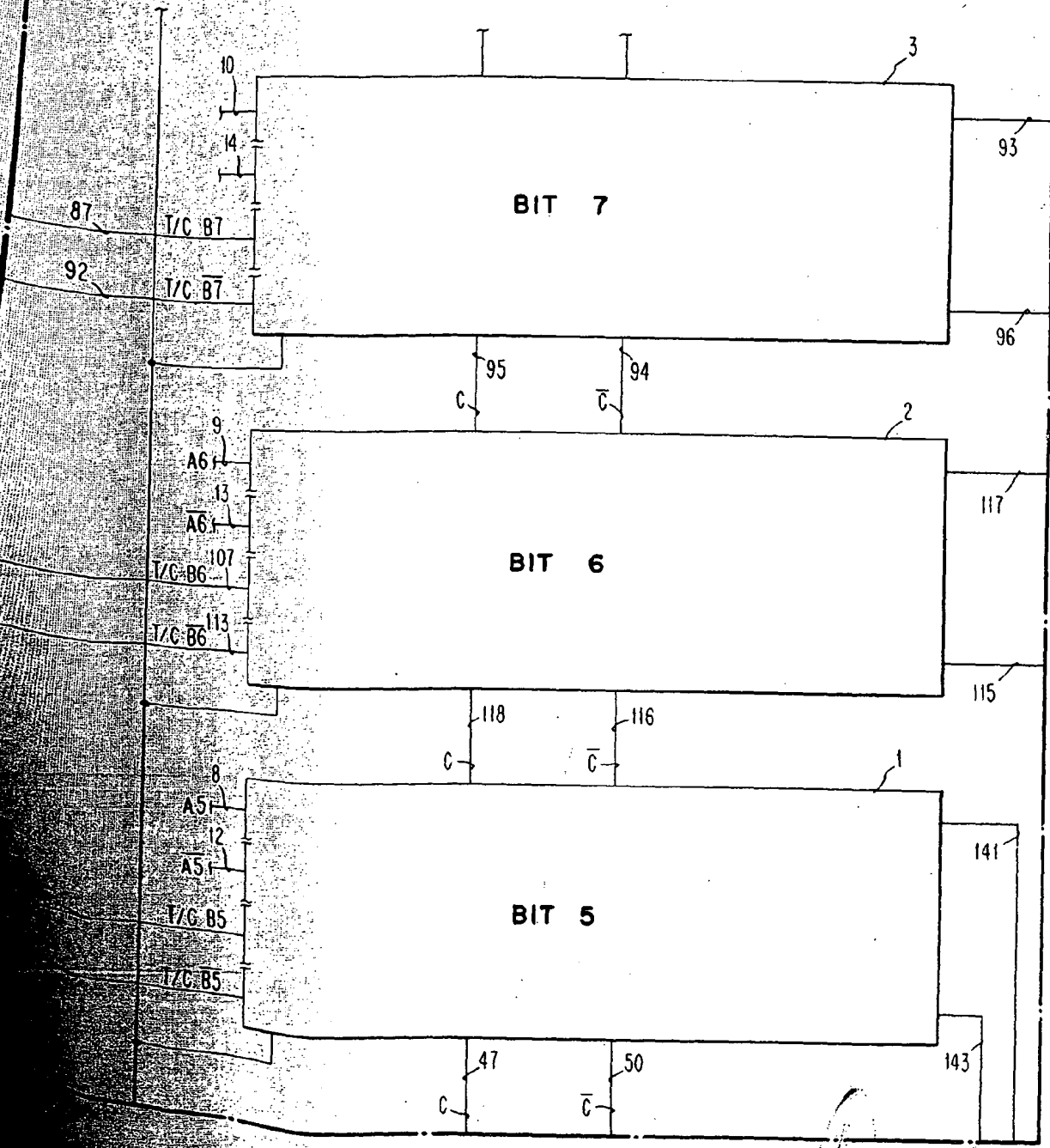


[Handwritten signature or initials]



325124

FIG. 3b



Handwritten signature or initials at the bottom right of the diagram.

325124

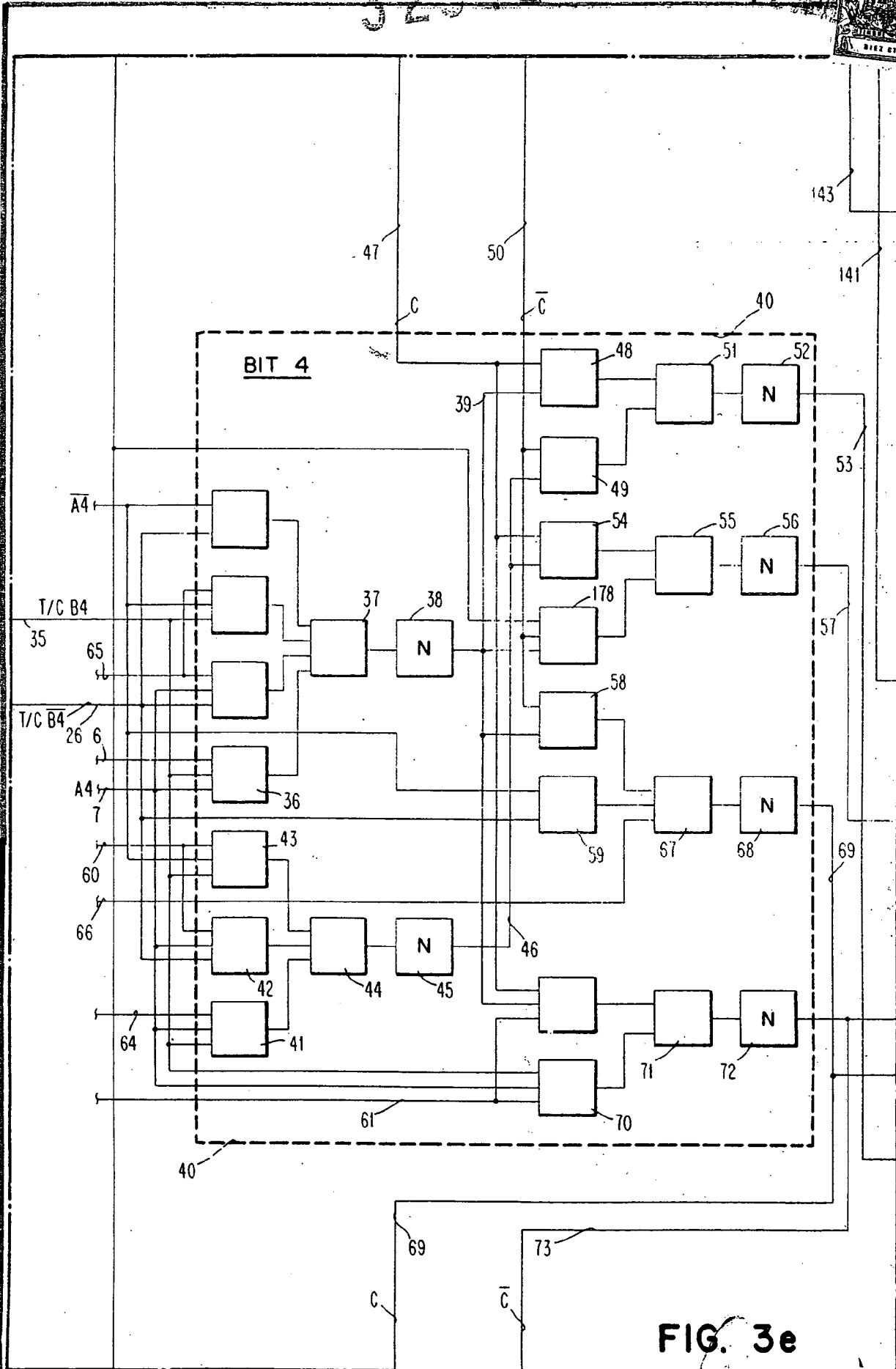


FIG. 3e

[Handwritten signature]



325124

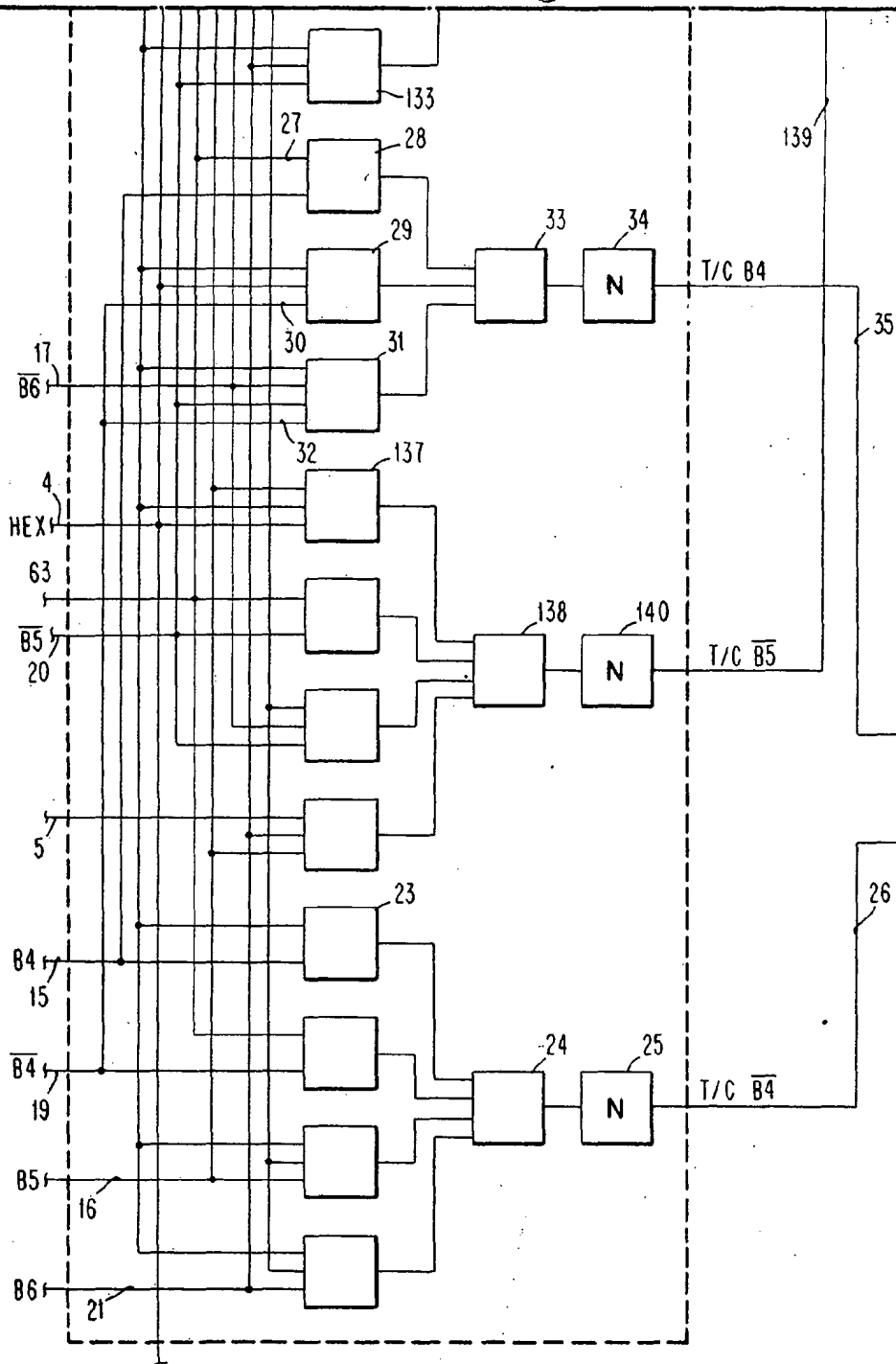


FIG. 3d

aru

325124

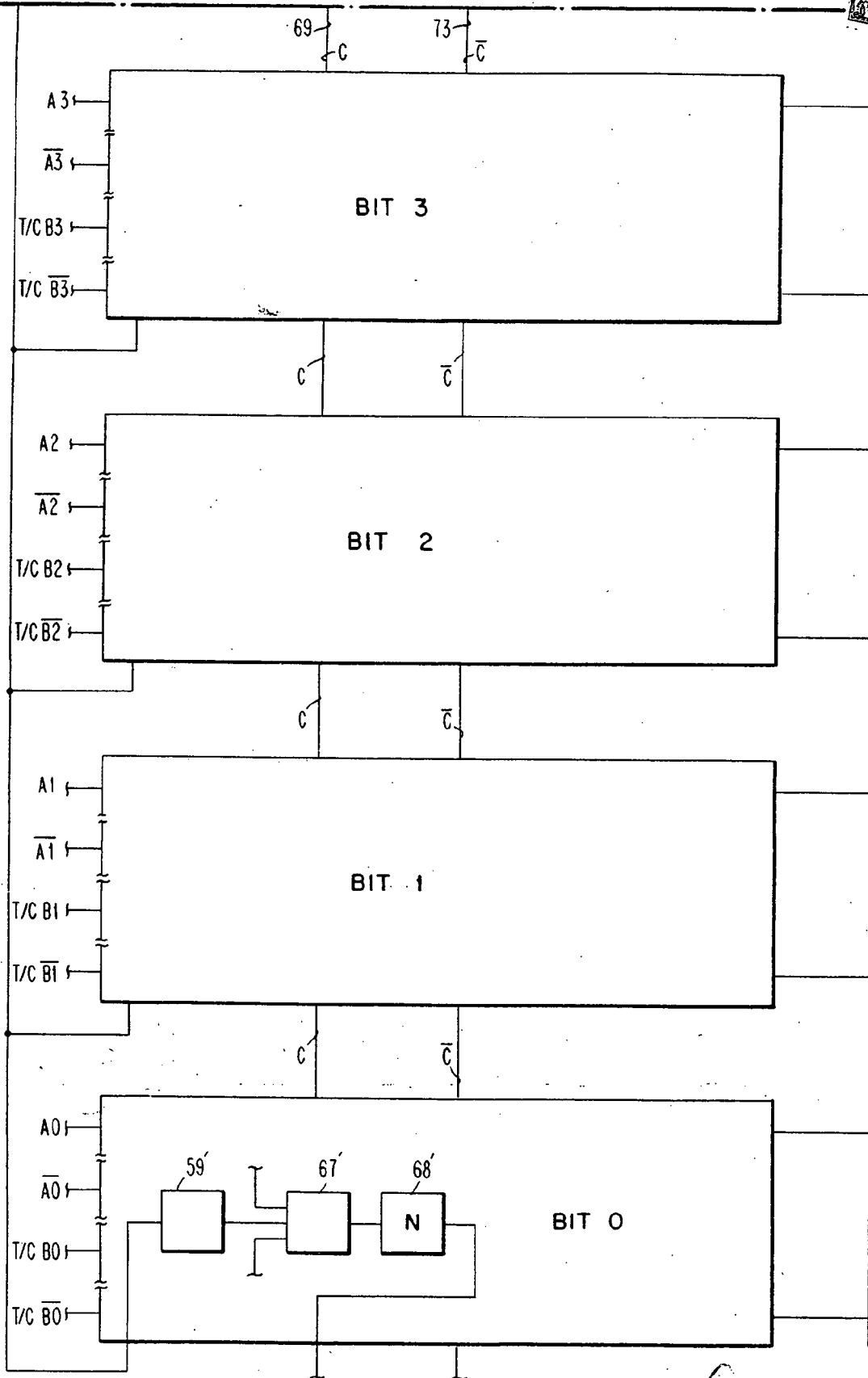


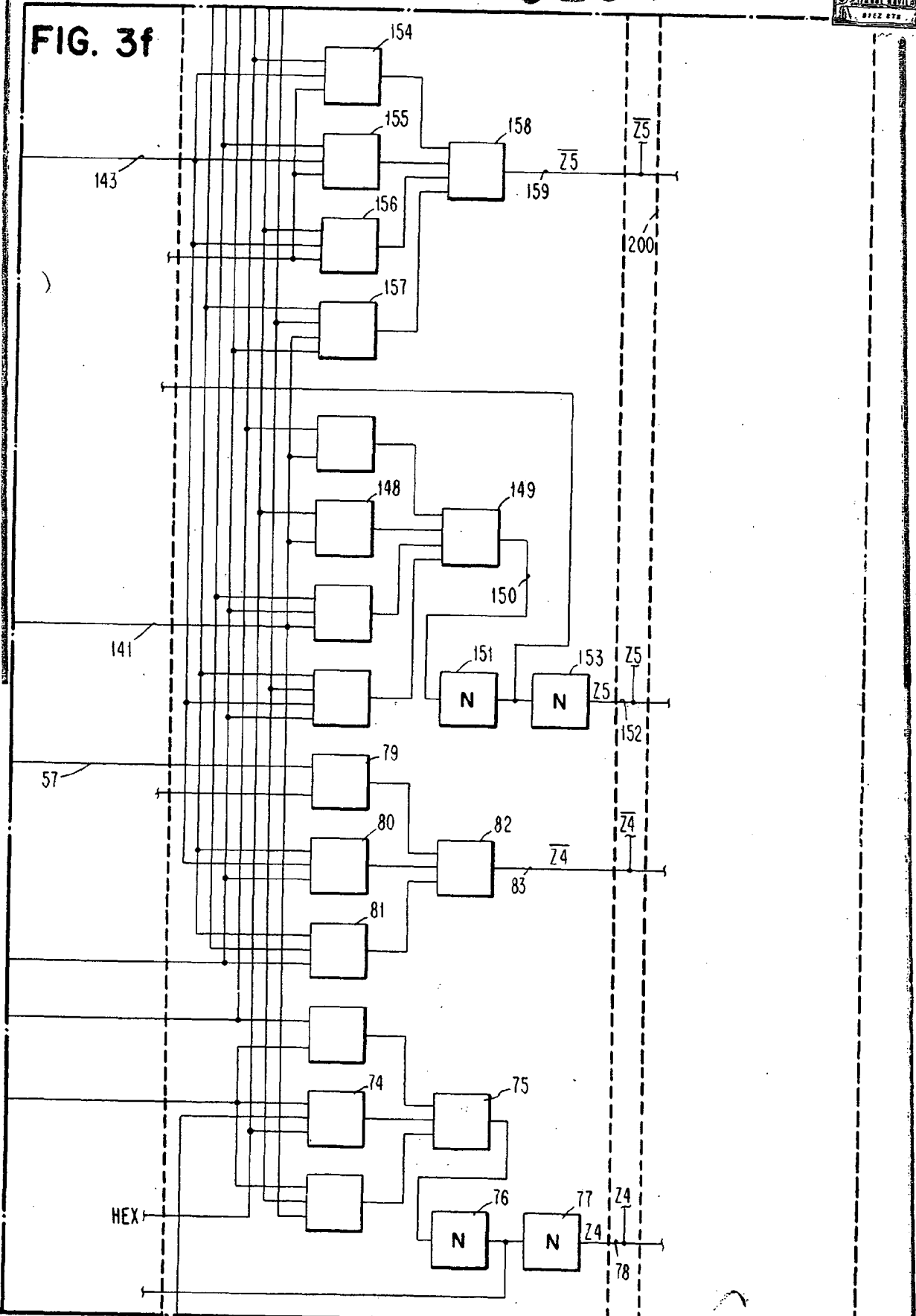
FIG. 3g

[Handwritten signature]

325124



FIG. 3f



Approved by: *[Signature]*

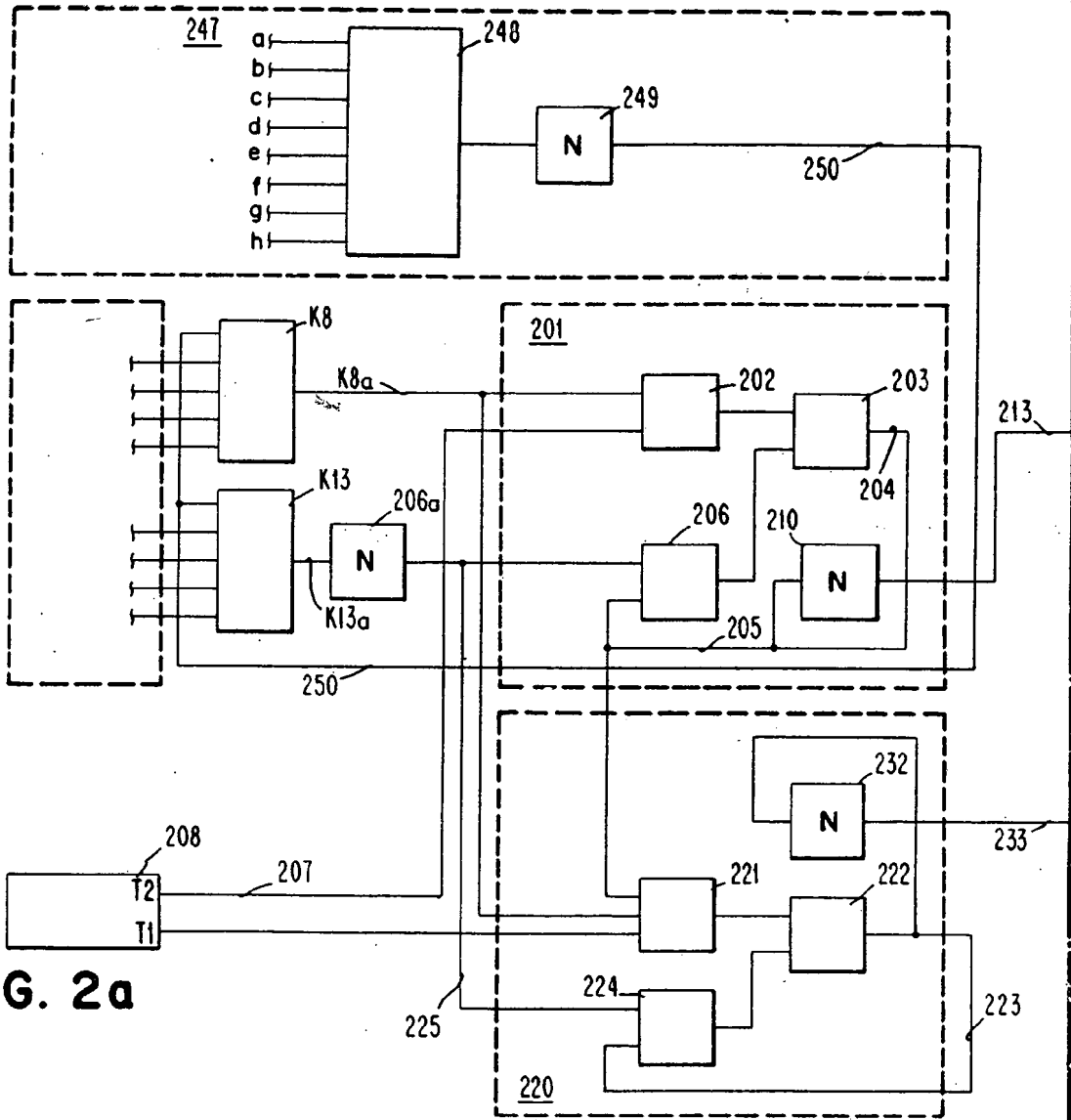
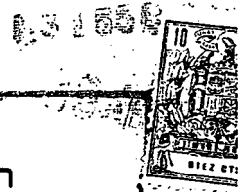


FIG. 2a

FIG. 3a	FIG. 3b	FIG. 3c
FIG. 3d	FIG. 3e	FIG. 3f
	FIG. 3g	FIG. 3h

FIG. 3

FIG. 2a	FIG. 2b
---------	---------

FIG. 2

Handwritten signature or initials.



325124

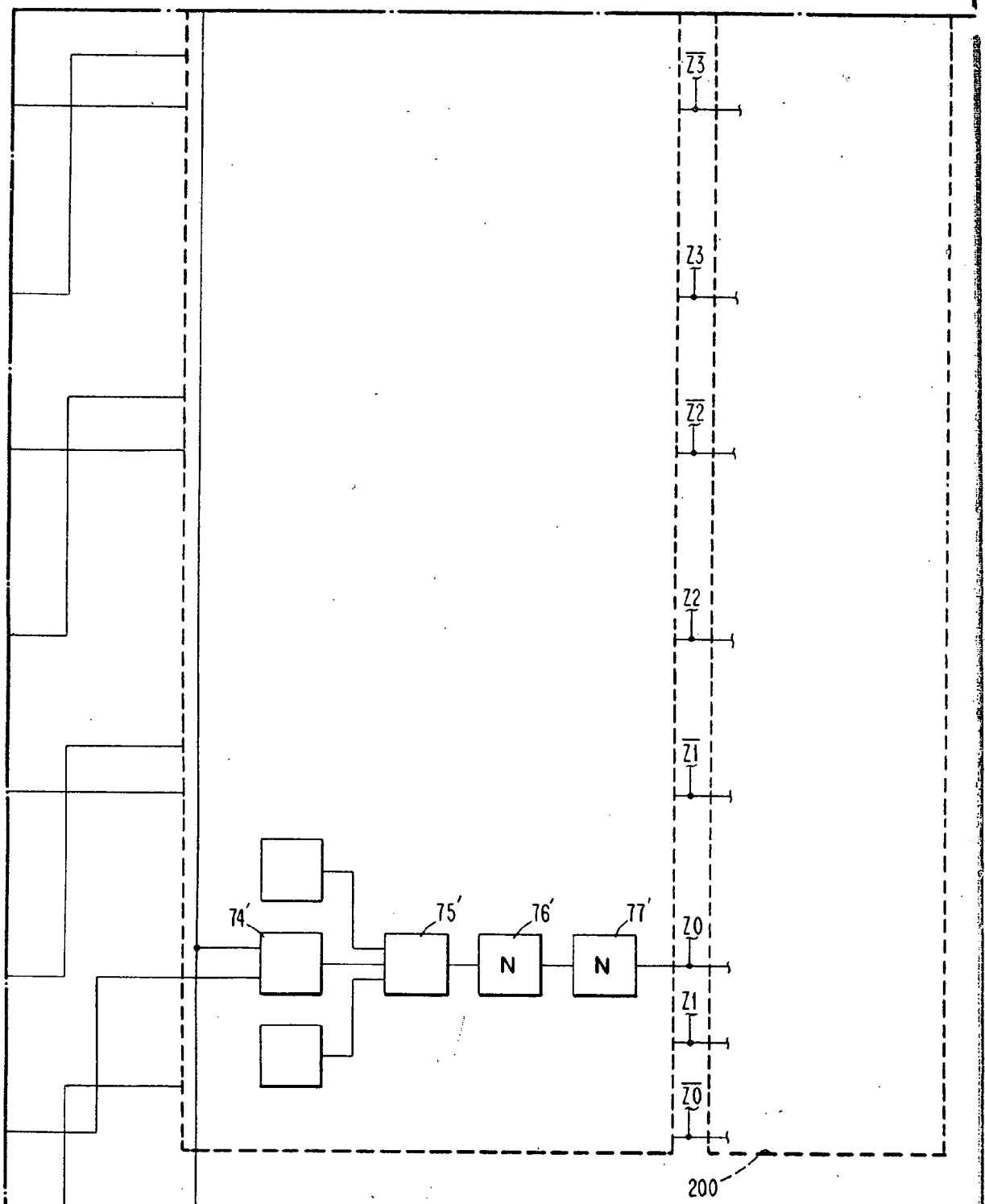


FIG. 3h

Handwritten signature or initials.