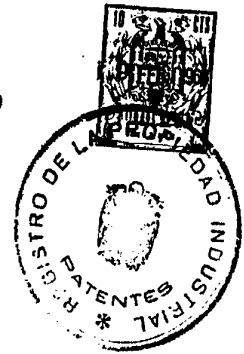


322780

J.C. Price 9



322780

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION EN ESPAÑA  
POR "UN CONVERTIDOR PARALELO A SERIE PARA UN GENERADOR DE CODIGO BINARIO"  
A NOMBRE DE STANDARD ELECTRICA, S.A., DOMICILIADA EN MADRID  
CALLE DE RAMIREZ DE PRADO Nº 5

-----

Este invento se refiere a un convertidor paralelo a serie para un generador de código binario y se aplica a la retemporización de los impulsos digitales serie.

En algunas circunstancias puede suceder que cuando un grupo  
5 de código de impulsos paralelos se convierte en un grupo de código serie aparecen dos impulsos adyacentes en la misma posición de dígito en el código serie, produciendo así un impulso de tamaño grande en lugar de dos impulsos normales.

De acuerdo con el presente invento se proporciona un dispositivo  
10 para redistribuir en el tiempo impulsos digitales para un generador de código binario que comprende un detector de amplitud de impulso que responde a un impulso que excede de una amplitud predeterminada, un generador de impulsos acoplado al detector a través de medios de retardo, respondiendo el generador de impulsos a la salida del detector cuando se  
15 detecta un impulso sobredimensionado para generar un impulso adicional

./..



en el periodo de impulso que sigue inmediatamente al impulso sobredimensionado.

El invento se describirá referido al dibujo que se acompaña que es un diagrama de circuito de una realización del invento.

20 Los transistores T1, T2 forman un circuito monoestable que es disparado por un impulso de entrada que sobrepasa un nivel umbral predeterminado. Todos los impulsos de entrada, sobredimensionados o no, se aplican al transistor T3 y se utilizan para conmutar la corriente de emisor, de la carga de colector de T5 a la carga común de colector de los

25 transistores T3 y T4. Esto es, en efecto, un circuito de regeneración de impulsos y una puerta AND. Cuando se recibe un impulso de entrada sobredimensionado, no sólo es regenerado por el par de transistores T4 y T5 sino que también dispara el monoestable formado por T1 y T2. Este monoestable tiene una constante de tiempo igual a un periodo de impulso, al

30 final del cual se repone el monoestable. La constante de tiempo está gobernada por el condensador C y las resistencias R1, R2. La salida del monoestable se lleva a través del transformador TR al circuito regenerador de impulsos y combinador de T3, T4 y T5. La polaridad de la salida monoestable aplicada a T4 es tal que la punta de salida producida por la re-

35 posición del monoestable, que tiene una duración aproximadamente igual a la longitud del impulso original conecta el transistor regenerador de impulsos T4 en el periodo de impulso siguiente al impulso sobredimensionado. Así, el par de transistores T4, T5 únicamente se conmuta una vez cuando se recibe un impulso normal pero se conmuta dos veces en periodos

40 de impulsos sucesivos cuando se recibe un impulso sobredimensionado.

Se sobrentiende que la descripción precedente de un ejemplo específico de este invento, se ha dado únicamente a título de ejemplo, y no tiene que considerarse como una limitación de su alcance.

Este invento corresponde a una solicitud de patente formulada en Gran Bretaña el 9 de Febrero de 1965, señalada con el nº 5552/65

./..

322780

3.-



y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años, son los siguientes:

1 - Un convertidor paralelo a serie para un generador de código binario que comprende un detector de amplitud de impulso que responde ante un impulso que excede de una amplitud predeterminada, un generador de impulsos acoplado al detector a través de un elemento de retardo, respondiendo dicho generador de impulsos a la salida del detector cuando se ha detectado un impulso sobredimensionado para generar un impulso adicional en el periodo de impulso sucesivo inmediato al impulso sobredimensionado.

2 - Un convertidor como el del punto 1 que comprende un circuito monoestable que responde a un impulso disparador de entrada que excede de una amplitud predeterminada, un generador de impulsos que tiene una entrada conectada en paralelo con la entrada del circuito monoestable, respondiendo el generador de impulsos a todos los impulsos de entrada, y medios de retardo conectados entre la salida del circuito monoestable y el generador de impulsos, de forma que el generador de impulsos produce un impulso en el periodo de impulso que sigue a aquel en el que el circuito monoestable responde a un impulso disparador de entrada.

3 - Un convertidor como el del punto 2 en el que el circuito monoestable comprende un par de transistores en un montaje de emisor común y en el que el retraso está dado por una red resistencia/capacidad.

4 - Un convertidor de acuerdo con los punto 2 ó 3 en el que el generador de impulsos comprende un par de transistores en montaje emisor común.

5 - Un convertidor substancialmente como se describe con re-

322780 4.-



ferencia al dibujo que se acompaña.

6 - Un convertidor paralelo a serie para un generador de código binario.

-----

80

Tal y como se describe en la Memoria que antecede, representado en el dibujo que se acompaña y a los fines especificados.

Esta Memoria consta de cuatro hojas escritas por una sola cara.

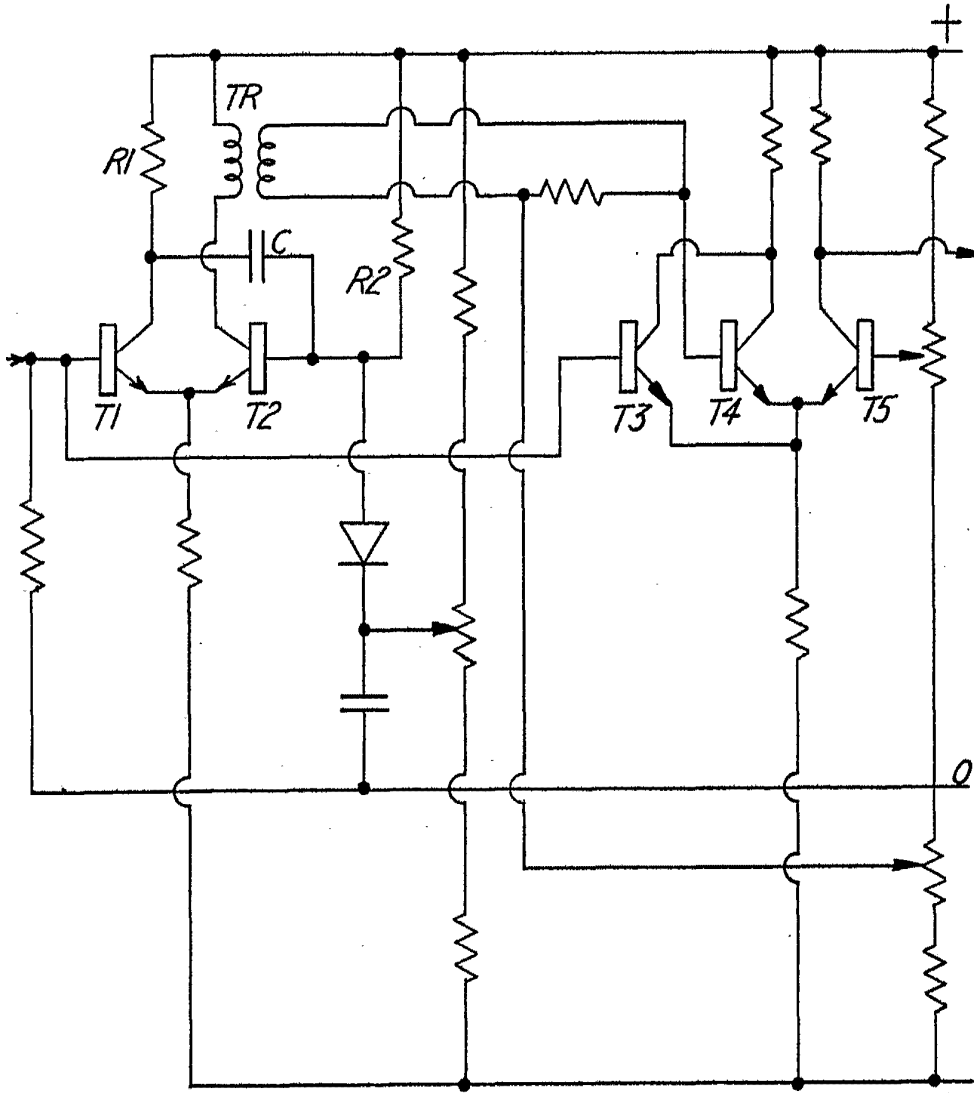
MADRID, 9 FEB. 1966



*E. Barros*  
EUGENIO BARROSO  
Secretario General



322780



9 FEB. 1966



*Eugenio Barroso*  
EUGENIO BARROSO  
Secretario General