

322736



M.Herry-J.P. Le Corre-G.R. Yelloz 1-7-1

322736

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INTRODUCCION
EN ESPAÑA POR: "SISTEMA DE SINCRONIZACION PARA SISTEMAS DE
TELECOMUNICACION DE TRANSMISION DE IMPULSOS"
A NOMBRE DE STANDARD ELECTRICA, S.A. DOMICILIADA EN MADRID
. CALLE DE RAMIREZ DE PRADO Nº 5

El presente invento se refiere a un dispositivo de sincronización de las señales aplicadas a la entrada de una central telefónica para conmutación multiplex codificada en división en el tiempo.

5 De forma general se designa con el nombre de enlace multiplex una vía de comunicación sobre la que se transmiten simultáneamente varias comunicaciones.

En los sistemas de división en el tiempo, las ~~informaciones~~ presentes en forma analógica que deben transmitirse simultáneamente sobre el enlace son probadas en cada periodo de repetición del sistema.

10 En el dispositivo objeto del invento, los impulsos modulados en amplitud obtenidos por esta operación se hacen digitales y después se expresan por medios conocidos en un código binario que lleva x cifras transmitidas en forma serie y los n códigos se transmiten sucesivamente en el curso de un periodo de repetición.

./..

322736

2.-



Este procedimiento de modulación se llama modulación codificada de impulsos o "PCM".

En el procedimiento de transmisión utilizado, por estar asignado un intervalo de tiempo o "momento" de una duración fija en una central emisora, a cada una de las x cifras de un código, la presencia de una cifra 1 está caracterizada por la presencia de un impulso en el momento correspondiente y la presencia de una cifra 0 está caracterizada por la ausencia de impulso en el momento correspondiente.

Es bien conocido que en la transmisión de los impulsos que caracterizan la cifra 1, impulsos, que se llamarán en adelante "señales de mensaje, la posición en el tiempo de dichos impulsos pueden sufrir ciertas fluctuaciones.

Así, las variaciones de condiciones de propagación en el medio utilizado para efectuar la transmisión entre una central emisora y una central receptora introducen una variación de la frecuencia de repetición de las señales de mensaje cuya frecuencia es pequeña y la amplitud importante y que se llama "fluctuación lenta". Además, la diafonía entre vías y entre enlaces, el ruido, el efecto por inducción de señales parásitas periódicas, las interacciones entre las diferentes señales que componen un código, introducen "fluctuaciones rápidas" de la posición en el tiempo de las señales de mensaje a una parte y otra de la posición media en la que deberían encontrarse, si no estuvieran afectadas más que por fluctuaciones lentas. La frecuencia de repetición de estas fluctuaciones es relativamente grande y la amplitud pequeña.

Además, las posiciones en el tiempo de las señales de mensaje se definen en cada central emisora por un reloj local. Por no ser los relojes locales de la central emisora y de la central receptora idealmente estables, se suman los efectos combinados de sus derivas a las fluctuaciones lentas definidas precedentemente.

Las informaciones llevadas por una de las vías de un enlace

./..

322736

3.-



entrante a la central receptora deben poderse conmutar sobre una cualquiera de las vías de un cierto número de enlaces salientes. La patente francesa número 1.212.984 "sistemas de conmutación entre vías de comunicación multiplex" describe un modo de ejecución de uno de estos dispositivos de conmutación PCM. En lo que sigue se llamará "enlace entrante" al enlace por el que llegan las informaciones a la central receptora y "enlace saliente" al enlace por el que salen de la central.

En el dispositivo descrito por esta patente, las señales de mensaje que aparecen sobre las vías de un enlace entrante considerado se registran a medida que llegan a una "memoria de palabra" afecta a este enlace, estando gobernada esta operación por señales dadas por el reloj de la central receptora. En dicha memoria está reservada una dirección particular a cada uno de los momentos de cada una de las vías.

Estando afectadas las señales recibidas por las fluctuaciones que se acaban de estudiar, la escala de tiempos sobre la que se presentan no ofrece ninguna correlación con la del reloj de la central receptora. Antes de registrar estas señales en la memoria de palabra es pues necesaria tratarlas en circuitos llamados de "sincronización" que eliminan el efecto de estas fluctuaciones y las sitúan en la escala de tiempos dada por el reloj local de la central receptora.

Además, las vías de un enlace entrante dado se conmutan sobre varios enlaces lo que hace necesaria la utilización de una escala de tiempos común a los enlaces entrantes y a los enlaces salientes.

El presente invento tiene pues por objeto el permitir la inscripción de las señales de mensajes, transmitidos sobre un enlace multiplex de división en el tiempo, asociado a una central telefónica para conmutación multiplex codificada, en una memoria de palabra o memoria de datos asociada a dicho enlace debiendo hacerse esta inscripción sin ninguna pérdida de señales de información y esto cualquiera que sea la amplitud de fluctuaciones lentas sufridas por las señales.

322736

4.-



Otro objeto del invento consiste en aumentar al máximo la amplitud admisible de las fluctuaciones rápidas por debajo de la cual hay pérdida de información.

Otro objeto del invento consiste en reducir al mínimo las pérdidas de informaciones en la lectura de la memoria de palabra, estando provocadas estas pérdidas por el hecho de que la hora enlace es diferente de la hora central.

El invento está caracterizado por el hecho de que estando conectado cada enlace, de forma cíclica, a un circuito común de sincronización cada vez que se establece esta conexión, se elabora en el circuito común, primeramente, a partir de las señales de mensaje recibidas por dicho enlace, una señal de referencia que caracteriza la hora enlace que presenta una relación de fase constante con la posición media teórica de las señales de mensaje, en segundo lugar, una información de posición actual de la señal de referencia respecto a la hora central midiendo la posición en el tiempo de esta señal en el interior de un intervalo de tiempo de un momento de la hora central. Estando puesta esta información en la memoria en el circuito de enlace, representa, en el ciclo de medida siguiente una información de posición anterior que, cuando es diferente de la información de posición actual medida en el curso de este ciclo, permite poner en evidencia, en magnitud y signo la variación del defasaje, entre los dos ciclos de medida de las señales de mensaje respecto a la escala de tiempos de la hora central.

Las señales de mensaje deben inscribirse en sucesión temporal en una memoria de datos establecida en forma matricial colocada en el circuito de enlace y en la que se seleccionan los emplazamientos por coincidencia de señales dadas por un selector de momentos cuyo adelanto se hace a la hora central y un selector de vías cuyo avance está sincronizado con el selector de momentos. Efectuándose la inscripción de una señal de mensaje en el elemento unitario que le está reservado durante

./..

322736

5.-



una primera fracción de un momento cuya segunda fracción está reservada a la lectura, la posición en el tiempo de todas las señales de mensaje se lleva a dicha primera fracción. Para esto, un dispositivo colocado en el circuito de enlace hace sufrir a cada señal de mensaje un retardo variable comprendido entre 0 y un momento, siendo función, dicha duración, de la información de posición anterior de forma que un retraso nulo corresponde a una información de posición actual llamada de "referencia" y el retardo máximo a una información de posición actual llamada "extrema". Cuando se detecta en el circuito común, por la comparación de las informaciones de posición anterior y actual, que el defasaje alcanza un momento, es decir cuando se pasa de la información de posición de "referencia" a la información de posición "extrema" o inversamente, el retardo variable pasa de su valor mínimo a su valor máximo o inversamente y se actúa sobre el avance del selector de momentos de la memoria de datos. Esta acción consiste, en el primer caso, en detener el avance de dicho selector durante un momento y, en el segundo caso, en hacer avanzar este selector dos posiciones durante un momento. Estas operaciones se hacen durante el tiempo de fijación, por el selector de vías, del código de la vía reservada a la sincronización cuyas informaciones no se inscriben en la memoria de datos de forma que no se pierde ninguna información.

Otra característica del invento reside en el hecho de que se elabora en el circuito común, a partir de la señal de referencia, una señal "par" y una señal "impar" cada una de las cuales tiene una duración de un momento y aparece de forma alternada. La posición en el tiempo de estas señales se escoge de forma tal que su mitad coincida con la mitad de la posición media teórica de la señal de mensaje. Gobiernan la inscripción alternada de las señales de mensaje en el primer y segundo elemento unitario de memoria de una memoria intermedia situada en el circuito de enlace delante del circuito de retardo variable. Esta operación

322736

6.-



140 permite admitir señales afectadas por fluctuaciones rápidas cuya amplitud, a una parte y otra de la posición media teórica de la señal, es ligeramente inferior a la mitad de la duración de una señal par o impar, estando definida dicha amplitud como el intervalo de tiempo que separa la posición media teórica de la señal de la posición en el tiempo de la mitad de la señal de mensaje. Las señales extraídas de esta memoria intermedia están exentas de fluctuaciones rápidas y se aplican a circuitos de retardo variable.

145 Otra característica del invento reside en el hecho de que las modificaciones introducidas para avanzar los selectores de dirección de la memoria de datos corresponden a la realización de la inscripción de las señales de mensaje con la hora enlace y que leyéndose los datos a la hora central, se producen pérdidas de informaciones durante dicha lectura, que se agrupan de forma tal que si un mensaje está constituido por 150 p cifras, se pierden al mismo tiempo las p cifras de un mensaje en lugar de perder una cifra por mensaje en p mensajes.

Otra característica del invento reside en el hecho de que para asegurar la inscripción correcta de cada señal de mensaje en el elemento unitario de la memoria de datos que le está asignado, se comprueba periódicamente, en el circuito común, que se ha recibido el código de sincronización durante el intervalo de tiempo durante el que los selectores de dirección de la memoria de datos fijan el código de esta vía. Cuando 155 no se ha detectado el código de sincronización durante este intervalo de tiempo se vuelve a empezar dos veces la operación. Si se han obtenido tres no coincidencias sucesivas, se bloquea el avance de los selectores de dirección y se comienza una búsqueda de código de sincronización y cuando el circuito de búsqueda ha detectado una serie de cifras idénticas al código buscado, se detiene la operación y se desbloquean los selectores de dirección sincronizados después sobre la posición de referencia 160 definida por el código de sincronización. Cuando se detectan tres 165

./..

322736

7.-



coincidencias seguidas se supone que la sincronización es buena.

Otra característica del invento reside en el hecho de que el dispositivo objeto del invento lleva tantos circuitos de enlace como enlaces entrantes y un circuito común que se conecta de forma cíclica a cada uno de los enlaces de forma que se obtiene una considerable reducción de equipo.

Otros objetos características y ventajas del presente invento aparecerán con la lectura de la descripción siguiente de un ejemplo de realización, estando hecha dicha descripción en relación con los dibujos adjuntos en los que:

La figura 1 representa los diagramas de las diferentes señales e intervalos de tiempo a los que se referirá en el curso de la descripción;

La figura 2 representa el diagrama esquemático de los circuitos que constituyen el dispositivo de sincronización objeto del invento.

La figura 3 representa las posiciones de defasaje entre la hora central y la hora enlace;

La figura 4 representa el esquema detallado de una parte de los elementos que constituyen un circuito de enlace entrante;

La figura 5 representa el esquema detallado de una parte de la memoria de palabra de un circuito de enlace y de otra parte del contador de momentos auxiliar situado en el circuito común de sincronización;

La figura 6 represente el esquema detallado del bloque de comparación entre la hora central y la hora enlace y del bloque de mando de correcciones situado en el circuito común de sincronización;

La figura 7 representa el esquema detallado del bloque detector de coincidencias y del bloque selector de enlaces situados en el circuito común de sincronización;

La figura 8 representa el esquema detallado del reloj de la



central y del bloque detector de sincronismo situado en el circuito común de sincronización;

La figura 9 representa el esquema para reunir las figuras 4 a 8;

200 La figura 10 representa los diagramas de las señales que aparecen en diferentes puntos del bloque 110;

La figura 11 representa el esquema detallado del bloque lógico 350;

205 La figura 12 representa los diagramas de las señales utilizadas en el estudio de las fluctuaciones rápidas admisibles;

La figura 13 representa los diagramas de las señales relativas al establecimiento de la información de posición actual;

210 La figura 14 representa los diagramas de las señales que aparecen en diversos puntos de los circuitos 130 y 140 del bloque 120 de puesta en hora;

La figura 15 representa el diagrama de las señales relativas al cambio de la información de posición;

La figura 16 representa el diagrama de las posiciones de los contadores de momentos durante su puesta en servicio.

215 Antes de emprender la descripción del invento se va a exponer sucintamente el principio de las notaciones en algebra lógica que se utilizará en ciertos casos para simplificar la escritura en la descripción de operaciones lógicas. Este tema está extensamente tratado en numerosos textos y en particular en el libro "Logical design of digital computers" de M. Phister (editor J. Wiley).

220 Así, si se escribe A una condición caracterizada por la presencia de una señal, se escribirá \bar{A} la condición caracterizada por la ausencia de dicha señal.

225 Estas dos condiciones están enlazadas por la relación lógica conocida $A \times \bar{A} = 0$ en la que el signo "X" simboliza la función lógica de

322736

9.-



coincidencia o función "ET".

Si no aparece una condición C más que si están presentes simultáneamente las condiciones A y B, se escribe $A \times B = C$ y esta función se hace a través de una puerta de coincidencia o circuito ET.

230

Si aparece una condición C cuando sólo está presente una de las dos condiciones E y F se escribe $A + B = C$ y esta función se ejecuta mediante una puerta mezcladora o circuito OU.

Estas funciones lógicas ET y OU son conmutativas asociativas y distributivas por lo que se puede escribir

235

$A + B = B + A$; $A \times (B + C) = AB + AC$; $(A + B)(C + D) = A \times C + A \times D + B \times C + B \times D$; etc.

En fin una función de dos variables A y B puede presentar 4 combinaciones posibles y si se escribe $A \times B$, las otras tres están representadas globalmente por la expresión $\overline{A \times B}$.

240

Si se caracteriza la condición A por la cifra 1 y la condición \overline{A} por la cifra 0, la condición B por la cifra 1 y la condición \overline{B} por la cifra 0, la combinación $A \times B$ puede escribirse 11, la combinación $\overline{A \times B}$ puede escribirse 01, etc.

245

A continuación se van a precisar las características de las señales tratadas y a establecer sus relaciones temporales.

La descripción se hará, a título de ejemplo no limitativo, sobre un sistema de conmutación multiplex codificado en el que las informaciones presentadas en forma lógica son probadas 10.000 veces por segundo es decir cada 100 microsegundos.

250

Un canal de transmisión o enlace es el soporte de 25 vías diferentes de información que aparecen en sucesión temporal y cada una de ellas ocupa pues 4 microsegundos.

255

La prueba de las informaciones analógicas da impulsos modulados en amplitud que se convierten en digitales y se codifican en un código binario de siete momentos. El conjunto de estos siete momentos al



que se añade un octavo momento que sirve de tiempo de guarda constituye un mensaje relativo a una vía y se llamará "señal de mensaje" a cada uno de los impulsos presentes en tal mensaje. La duración de un momento es pues de 500 ns (abreviatura de nanosegundo = 10^{-9} segundos).

260

Las 24 primeras vías de un enlace llevan mensajes y la 25ª vía lleva un código de sincronización que permite la búsqueda del origen de tiempos en el enlace.

Se llamará "periodo de repetición" a la duración de transmisión de las 25 vías sobre un enlace.

265

Se supondrá que se transmiten mensajes por un enlace saliente de una central emisora hacia un enlace entrante de una central receptora, que cada uno de los 200 momentos (8 momentos por día, 25 vías) lleva una señal de mensaje y que todas estas señales se reparten en intervalos de tiempo iguales.

270

Se llamará W1.1 a W1.8 a las señales de mensaje pertenecientes a la primera vía, W2.1 a W2.8 a las pertenecientes a la segunda vía, etc.

Como se ha explicado precedentemente estas señales sufren, en la transmisión, fluctuaciones lentas y rápidas de forma que a la entrada de la central receptora no están espaciadas regularmente.

275

La figura 1 representa diferentes señales e intervalos de tiempo.

La figura 1a representa una sucesión de algunas señales del mensaje We.6 a W6.4 transmitidas por la central emisora y que están separadas una distancia igual a su duración.

280

La distancia entre los centros o posiciones medias de las señales es igual a la duración de un momento o sea 500 ns.

La figura 1b representa la sucesión de las mismas señales sobre el enlace entrante de la central receptora después de haber pasado por un repetidor generativo y después de normalización a una duración

285

./..

322736

11.-



de 100 ns.

Por el efecto de la fluctuación lenta, las posiciones medias de estas señales representadas en la figura por trazos mixtos verticales se encuentran defasadas con relación a las posiciones medias establecidas en la emisión. Además, esta fluctuación lenta que corresponde a una variación de la frecuencia de repetición de las señales, la distancia entre las posiciones medias es diferente en la emisión y en la recepción pero, siendo muy pequeña esta diferencia no se ha representado en la figura.

Además, el efecto de las fluctuaciones rápidas corresponde a un desplazamiento de la señal de mensaje regenerada con relación a su posición media. Así las señales W5.6 y W6.2 han sido representadas en la figura 1b centradas respecto a su posición media en tanto que las mitades de las otras señales están defasadas en sentido de avance o de retardo respecto a sus posiciones medias.

Se ve pues que a la entrada de la central receptora los tiempos que separan la llegada de dos señales sucesivas pueden variar en grandes proporciones. Además, en una transmisión real un mensaje no lleva señales de mensaje en cada momento de forma que puede resultar difícil detectar por ejemplo una cifra 0 situada entre dos cifras 1.

El efecto de estas fluctuaciones es pues el de modificar la escala de tiempos sobre la que están situadas las señales de mensaje, es decir que no es constante la "hora enlace".

Además, la ejecución en una central de la función conmutación entre n_1 enlaces entrantes y n_2 enlaces salientes impone la utilización de una escala de tiempo constante u "hora central". Es pues necesario convertir la hora enlace en hora central, operación que se efectuará a través de una memoria tampón llamada memoria de palabra. Las señales de mensaje se inscribirán allí a la misma frecuencia media que la de la hora enlace y se leerán a la hora central.

./..



La hora central es elaborada por un reloj local que dan posiciones de tiempo t_1 a t_{25} cada una de ellas de una duración de 4 ns. Cada posición de tiempo está subdividida en 8 momentos 1 a 8 subdivididos ellos mismos en cuatro tiempos elementales a, b, c, d. En este sistema de notación se escribirá $t_{4.6c}$ para designar el tiempo elemental c del 6º momento de la 4ª posición de tiempo.

La figura 1e representa algunos momentos sucesivos a la hora de la central $t_{13.7}$ a $t_{14.5}$ estando llevados los tiempos elementales al momento $t_{13.7}$.

La memoria de palabra está organizada en forma matricial y lleva 24 columnas y 7 filas. La selección de una dirección se hace por coincidencia de señales suministradas respectivamente por un conjunto contador-descodificador de momentos y por un conjunto contador-descodificador de vías cuyo avance se hace a la hora de la central. Más precisamente, el contador de momentos avanza una posición a cada tiempo elemental c, el contador de vías avanza una posición después de la fijación de la posición 8 en el contador de momentos, y la inscripción de una señal de mensaje se hace en el tiempo b.

Las direcciones fijadas están referenciadas $V^1, 1^1, V^{1.2}, V^{1.3}$, etc. y deben seleccionarse en un instante tal que se inscriban allí las señales de mensaje $W_{1.1}, W_{2.2}, W_{2.3}$, etc.

Estando eliminadas las fluctuaciones rápidas por los medios descritos anteriormente, las señales de mensaje se encuentran centradas sobre su posición media como representa la fig. 1c.

Se ha representado en la figura 1d la sucesión de las direcciones $V^{5.7}$ a $V^{6.5}$ en la memoria de palabra siendo los tiempos elementales b durante los que puede efectuarse la inscripción los únicos que no están recortados.

Comparando con la figura 1c se ve que las señales de mensaje normalizadas se presentan en este ejemplo con cierto retardo respec-



to al tiempo de selección de las direcciones que les están asignadas.

Es pues necesario prever un dispositivo de corrección de la posición de las señales de mensaje que actuara en el caso en que las señales de mensaje estén inicialmente correctamente alineadas respecto a las direcciones de la memoria y esta relación sea modificada por la fluctuación lenta.

Para esto, se elabora a partir de las señales normalizadas una señal de referencia a la hora enlace y se compara la posición de esta señal con los tiempos elementales a, b, c, d, de las que depende el avance de los contadores de dirección de la memoria.

Según el o los tiempos elementales con los que coincide la señal se determina el retardo a introducir para que la señal de mensaje se presente a la entrada de la memoria en el tiempo elemental b afecto a la inscripción.

Esto no es ya suficiente cuando la amplitud de la fluctuación lenta alcance un momento.

Se debe entonces, después de haber detectado esta condición, efectuar una corrección actuando sobre el avance del descodificador de momentos de la memoria mediante un dispositivo particular. Esta acción corresponde a la inserción de un tiempo c suplementario o a la supresión de un tiempo c (se recordará que el tiempo elemental c es aquel en el que se hace el avance de este contador).

Esta operación es hecha por los circuitos de sincronización de impulsos.

Esta sincronización de impulsiones no conduce a un resultado valido más que para la condición inicial puesta anteriormente, a saber que las señales de mensaje estén inicialmente correctamente alineadas respecto a las direcciones de la memoria. Si como consecuencia de una perturbación no se cumple esta condición, es necesario buscar un origen de mensajes en el enlace y modificar en consecuencia la fijación de las

322736

14.-



direcciones en la memoria.

Para esto, se hace, en la detección de una perturbación, una búsqueda del código de sincronización. Cuando se ha encontrado este código se sabe que se acaba de recibir la señal W 25.8 y se restablece el sincronismo si se actúa sobre los contadores de dirección de la memoria de forma que en el momento siguiente dicha memoria fije la dirección V'l.l. Estas operaciones se ejecutan por medio de los circuitos de sincronización de vías.

En el dispositivo objeto de este invento se considerará una central PCM que conmuta mensajes entre un cierto número n_1 de enlaces entrantes E_1 a E_{n_1} y un cierto número n_2 de enlaces salientes S_1 a S_{n_2} . Lleva pues n_1 circuitos de enlaces entrantes y un circuito común que da informaciones de conmutación y que se podrá llamar "circuito común" de conmutación".

La ejecución de las señales de mensaje y de las vías, necesita la inclusión de circuitos previstos a este fin en cada uno de los n_1 circuitos de enlaces entrantes y añadir un segundo circuito común a todos los enlaces entrantes y que se llamará "circuito común de sincronización".

Si se considera en un instante dado el conjunto formado por los circuitos de sincronización del enlace sobre el que se actúa y por el circuito común de sincronización, cumple dos funciones distintas; la función de sincronización de los impulsos y la función de sincronización de las vías.

Se ha estudiado sumariamente en relación con la figura 1, estas operaciones de sincronización que se van a definir ahora de forma más precisa.

La función de sincronización de los impulsos consiste en reenfasear las señales de mensajes afectadas por fluctuaciones lentas sobre posiciones en el tiempo definidas por el reloj de la central suprimiendo



las fluctuaciones rápidas por las que están igualmente afectadas. Este reenfazamiento se ejecuta haciendo sufrir defasajes discretos a las señales de mensaje. Cada vez que la suma de estos defasajes, es decir la amplitud de la fluctuación lenta, alcanza alrededor de un momento, el
410 circuito pone en evidencia una señal de error que actúa sobre los contadores de dirección de la memoria al pasar a la vía de sincronización, de forma conveniente para corregir el efecto de dicha fluctuación lenta.

La función de sincronización de las vías consiste en encontrar, a la puesta en camino del enlace, el código de sincronización que
415 ocupa la vía 25, sirviendo la información así obtenida para reenfazar los contadores de dirección de la memoria de forma que cada señal de mensaje ocupe la dirección que le está reservada. Consiste igualmente en comprobar periódicamente que el código de sincronización llega durante el tiempo que le está asignado y en caso contrario en hacer una nueva
420 operación de sincronización de las vías.

La ejecución de estas operaciones está controlada por tres programas cuyo desarrollo está regido por las señales de tiempo dadas por el reloj de la central;

El programa I para la puesta en evidencia de la señal de
425 error en la sincronización de las impulsiones;

El programa II para la corrección de este error;

El programa III para la sincronización de las vías.

La figura 2 representa el diagrama esquemático de los circuitos que constituyen el dispositivo de sincronización objeto del invento.
430

Se ha representado un cierto número de circuitos de enlace entrantes $E_1, E_2, E_3, E_4 \dots E_n$ que se conectan periódicamente al circuito común de sincronización referenciado 200.

Las señales de mensaje procedentes de una central emisora se
435 aplican a la entrada 10 de uno de los circuitos de enlace, el circuito

./..

322736

16.-



E₁ por ejemplo, referenciado 100.

440 La selección de uno entre n_1 enlaces entrantes se hace por medio de selectores de enlace 331 y 341 situados en el bloque de selección de enlace 330 y que lleva, cada uno, n_1 conductores de salida 33-1, a 33-n y 34-1 a 34-n.

445 El selector 331 está asignado a la búsqueda de enlace sobre el que se debe efectuar un examen de la posición de las señales de mensaje respecto a las señales dadas por el reloj local (programa I) y el selector 341 está asignado a la elección del enlace sobre el que se debe efectuar por una parte, una corrección de la sincronización de las impulsiones (programa II) y por otra parte la verificación del sincronismo de las vías (programa III).

450 Los n_1 circuitos de enlaces entrantes están unidos al circuito común 200 a través de tantos grupos de n_1 circuitos ET como conexiones hay que establecer a partir del circuito 200. La presencia de una señal en una de las salidas 33 o 34 permite activar los circuitos ET asociados a estos enlaces.

455 En la figura 2 se han representado los grupos de circuitos ET de forma simbólica por medio de una flecha perpendicular al conductor de enlace considerado, llevando esta flecha la referencia 33 ó 34 según que el grupo de circuitos ET considerados esté asignado a las operaciones regidas por el programa I o por los programas II y III.

460 Las señales de entrada 10 se aplican al bloque de exploración de las informaciones de entrada 110 que lleva un repetidor y un circuito de elaboración de información de referencia que caracteriza la hora en el enlace. El repetidor da, en su salida 13, una señal normalizada como las salidas W5.6, W5.7, etc. representadas en la figura 1b y el segundo circuito da en su salida 14 una señal de referencia que caracteriza la hora enlace de una longitud igual a la de un tiempo elemental (a, b, c, d) dada por el reloj local 310 sobre el grupo de cuatro conductores 21 y que

465



presentan un defasaje constante con relación a la posición media de la señal 13.

470 Se va a describir inmediatamente el principio de funcionamiento del grupo de circuitos que tratan de la sincronización de los impulsos, que está controlado por el programa I.

La señal normalizada 13 se aplica al bloque 120 de puesta en hora de los impulsos que lleva una memoria intermedia 130 en la que se hace la inscripción con la hora enlace y la lectura con la hora central, y un circuito de retardo variable 140.

475 Esta inscripción de la señal de mensaje, no puede hacerse de forma correcta más que si la amplitud de las fluctuaciones rápidas de las que está afectada no pasa de un valor límite que se calculará en el estudio detallado de los circuitos. Por el hecho de que las señales utilizadas son obtenidas a partir de esta memoria intermedia, se encuentran des-
480 provistas de toda fluctuación rápida.

La fluctuación lenta de la que se ha expuesto precedentemente el mecanismo corresponde a un defasaje en función del tiempo de la señal de mensaje con relación a la hora central.

Este defasaje se mide periódicamente y a intervalos próximos
485 en el bloque 280 de comparación entre la hora enlace y la hora central, estando esta operación regida por el programa I.

Para simplificar la exposición del mecanismo de esta comparación, obteniendo resultados válidos para el caso general, se supondrá
490 que la señal de referencia 14 de la hora enlace es idealmente estrecha y que no puede coincidir más que con un sólo tiempo elemental de la central.

En estas condiciones se tendrá que cuando esta señal de referencia 14 coincida con el punto medio de los tiempos elementales d , a , b ,
ó c (hora de la central), el resultado de la comparación hecha por el
495 circuito 280 es respectivamente una información A , B , C ó B que se llama-

./..

322736

18.-



rá en lo que sigue "información de posición actual".

Estas posiciones de defasaje han sido representadas en la figura 3. En 3. 1 se han representado 5 momentos consecutivos situados sobre un eje OA subdividido en tiempos elementales y en 3.2 a 3.5 las posiciones de coincidencia para las que han sido elaboradas respectivamente las informaciones de posición actual D, A, B, C. El sentido OA se toma como sentido de tiempo creciente y un desplazamiento de la señal de referencia (representada por una cruz en las figuras) en este sentido corresponde a un retardo creciente.

La información de posición actual A, B, C ó D transmitida al bloque 120 por el conductor 15 se utiliza allí para efectuar la lectura de la señal de mensaje inscrita en la memoria intermedia 130, respectivamente en los tiempos a, b, c ó d y para aplicar esta señal al circuito 140 en el que se lee en el tiempo d del mismo tiempo de vía.

Los tiempos en los que las señales son aplicadas al circuito 140 han sido representados, en las figuras 3.2, 3.7, por puntos situados por encima del eje de referencia y los tiempos d a partir de los cuales las señales se hacen disponibles en la salida 11 por puntos situados por debajo del eje de referencia.

El circuito 130 retarda las señales de mensaje que le están aplicadas una cantidad fija respecto a su posición media, es decir, que una señal de mensaje es transferida del circuito 130 al circuito 140 en un intervalo de tiempo dado según la señal de referencia que le esté asociada (en el caso particular considerado este intervalo de tiempo es de 5 tiempos elementales). Cada señal de mensaje aplicada al circuito 140 en un instante dado a, b, c ó d se extrae de este circuito en el curso del tiempo elemental d de forma que el circuito 140 introduce un retardo que varía de 3 a 0 tiempos elementales cuando se encuentra en la condición A, B, C ó D.

Se supondrá que en un instante dado se encuentra en la con-



530 dición A y se ve figura 3.3, que las señales de mensaje son retardadas
 entonces 8 tiempos elementales. En tanto que no haya fluctuación lenta
 queda en la condición A. Cuando, como en el caso del ejemplo, la señal
 de mensaje está afectada por una fluctuación lenta en el sentido posi-
 tivo de los tiempos (retardo) se va a pasar sucesivamente a las condi-
 ciones B, C, D (fig. 3.4, 3.5, 3.6) y de nuevo a la condición a (fig.
 3.7).

535 En la practica siendo muy pequeña la frecuencia de la fluc-
 tuación lenta, se está durante un número notable de momentos en cada
 condición.

540 El paso de la condición A a la condición B corresponde a un
 aumento del retardo de la posición media de la señal de mensaje respec-
 to a la hora central de un tiempo elemental que está compensado, por una
 disminución de un tiempo elemental, del retardo introducido por el cir-
 cuito 140.

Se referenciará (q) , $(q + 1)$, $(q + 2)$ etc. los momentos su-
 cesivos a la hora de la central, y, por ejemplo, el tiempo elemental b
 del momento $(q + 1)$ se referenciará $(q + 1)b$.

545 Así dos señales sucesivas de mensaje aplicadas al circuito
 130 a las que corresponden señales de referencia que aparecen respecti-
 vamente en momentos (q) a, condición B y $(q + 1)b$, condición C, son ex-
 traídas del circuito 140 respectivamente en los tiempos $(q + 1)d$ y
 $(q + 2)d$ es decir en dos momentos sucesivos. Lo mismo ocurre al pasar
 de la condición B a la condición C y de la condición C a la condición
 550 D al pasar de la condición D a la condición A, es decir cuando el retar-
 do ha aumentado un momento, se extraen dos señales sucesivas de mensaje
 aplicadas al circuito 130 y que corresponden a las señales de referencia
 que aparecen en los tiempos $(q)c$, condición D y $(q + 1)d$, condición A,
 del circuito 140 respectivamente en los tiempos $(q + 1)d$ y $(q + 3)d$, es
 555 decir que si estas señales son 1, se obtiene a la salida del circuito

./..

322736

20.-



140 un 101. Es fácil comprender que aparece igualmente un error al pa-
sar de la condición A a la condición D y que estas dos señales sucesi-
vas 11 que corresponden respectivamente a la condición A y a la condi-
ción D se transmitirán a la salida del circuito 140 bajo la forma 1.
560 Se comprende que el circuito 140, al no permitir compensar más que un
retardo máximo de tres tiempos elementales, cuando el retardo alcanza
más de tres tiempos elementales, actúa de forma que compense dicho re-
tardo a un momento. Su acción corresponde entonces a reenfazar la señal
de mensaje con un momento de retardo o en otros terminos a no hacer rea-
565 parecer el retardo a la salida más que por cantidades discretas cada vez
que alcanza un momento. Más tarde se explicará, en relación con la des-
cripción detallada, como se saca partido de la estructura de los mensa-
jes para evitar pérdidas de información al pasar de la condición D a la
condición A e inversamente.

570 Si se referencia A', B', C', D' la condición existente pre-
cedentemente, se detectará pues un error cuando se tenga uno de los pa-
res de condiciones D' y A o A' y D.

Así se ve que el bloque de puesta en hora 120 corrige los
efectos de defasajes inferiores a un momento haciendo, en los instantes
575 convenientes correcciones de un cuarto de momento. Pero estas correccio-
nes no son ya suficientes cuando el defasaje alcanza un momento y la in-
formación dada a la salida 11 es errónea y no se inscribirá en la direc-
ción que le corresponde en la memoria de palabra 160.

El error se corregirá actuando sobre el avance del contador
580 de momentos de dicha memoria.

Cuando se pasa de la condición D' (fig. 3.2) a la condición
A (fig. 3.3) si, por ejemplo, la memoria 130 daba inmediatamente antes
del cambio una señal de mensaje W15.4, ésta se inscribe en la dirección
V'15.4'. Si da señal W15.5 inmediatamente después del cambio, esta se
585 inscribe en la dirección V'15.6' en lugar de inscribirse en la dirección



V'15.5'. Para evitar este error será pues necesario detener, antes del cambio de condición, el avance del contador de pesos durante un momento: esto es lo que se llamará una "operación de retardo".

590 Iguualmente si se pasa de la condición A' a la condición D, será necesario saltar una posición en el contador de momentos y esto es lo que se llamará una "operación de adelanto".

Para que estas correcciones no perturben el valor del mensaje registrado en la memoria 160, se las hace durante el tiempo de paso del código de sincronización que no está registrado.

595 Refiriéndonos a la figura 2, la información de posición actual se obtiene comparando en el bloque 280 la señal de referencia 14 dada por el bloque 110, por una parte, con la hora central suministrada sobre el conductor 21 por el reloj local 310 y, por otra parte, con la condición A', B', C' o D' o "información de posición anterior", que es-
600 taba almacenada en el bloque 120 y que se transmite a este bloque 280 por el grupo de conductores 17.

Esta información se transmite al bloque 120 de puesta en hora de las señales de mensaje sobre el grupo de conductores 15 y se utiliza allí para gobernar la duración del retardo introducido por el circui-
605 to 140. La comparación hecha en el bloque 280, entre las informaciones de posición anterior y de posición actual, permite detectar la existencia eventual de un par de condiciones A' y D o D' y A que necesitan la ejecución de una operación de avance o de retardo. Esta información de error está caracterizada por la aparición de una señal en uno u otro de
610 los conductores de salida 12a o 12r, y de una señal en el conductor de salida 29. Estas tres señales se aplican al bloque 210 de corrección de error y la señal 29 hace pasar allí un basculador Ro al estado 1.

Uteriormente se describirán los circuitos relativos a la ejecución de la corrección del error.

615 Ejecutándose todas las operaciones en el bloque 280, están

./..

322736

22.-



regidas por el programa I que dura tres tiempos de via. Cuando un programa está terminado en un enlace dado se pasa al enlace siguiente salvo que la bascula Ro esté en el estado 1.

620 Las operaciones de sincronización de los impulsos que acaban de describirse no pueden dar un resultado válido más que si los momentos de las señales de mensaje normalizadas que aparecen sobre el conductor 11 están perfectamente sincronizadas con las fijadas por los contadores de dirección de la memoria de palabra 160, es decir si la señal W1.1 aparece, por ejemplo, al mismo tiempo que se selecciona en la memoria 625 la dirección V'1.1'.

Para permitir la marcación de este sincronismo, se transmite, por la via 25 de cada enlace, un código de sincronización.

630 Para verificar este sincronismo y eventualmente para restablecerle, se ha previsto en el sistema objeto del invento un grupo de circuitos de sincronización de vias cuyo funcionamiento está regido por el programa III y que lleva un bloque 230 detector de coincidencias y de no coincidencias y un bloque 250 detector de sincronismo.

635 El código de sincronización está fijado en permanencia en el bloque 230 que recibe por su entrada 11 las señales de mensaje normalizadas, dadas, en sucesión temporal, por el bloque 120. Durante toda la duración de aplicación de una señal de activación 23, estas señales de mensaje se comparan con el código de sincronización de una manera tal que cuando el mensaje constituido por 8 momentos sucesivos es idéntico al código fijado, el bloque da una señal sobre su salida 24 que caracteriza una "coincidencia" entre el mensaje y el código de sincronización. 640

Si la señal 23 es suficientemente larga, se está absolutamente seguro de obtener una señal 24 que aparece inmediatamente después del paso del último momento de código de sincronización, o sea en el momento W25.8. Si se dispone que en el momento siguiente la dirección V'1.1 sea seleccionada en la memoria de palabra se estará seguro de que está 645



en sincronismo.

En la práctica, el programa III está organizado de forma que verifica inmediatamente si el código de sincronización llega durante el tiempo durante el que las direcciones de la vía 25 son seleccionadas en la memoria.

Para esto se transmite una señal 16 de la memoria de palabra 160 al reloj 310 cuando la dirección V'25.1' es seleccionada en dicha memoria. A partir de este instante el reloj da en su salida 25 una señal V25 que dura 3 momentos, más precisamente de V'25.1'b a V'25.8'c. Esta señal después de pasar por el circuito CU231 se aplica como señal de activación a la entrada 23 del bloque 230.

Al final de esta señal V25 se pueden presentar dos casos:

Aparece una señal V24 caracterizando una coincidencia. Esto significa que en el momento siguiente la dirección V'1.1 será seleccionada en la memoria de palabra.

Estando dado que esta coincidencia única puede haber sido provocada por una perturbación en la transmisión de las señales de mensaje, se pondrá, que es necesario, obtener tres coincidencias sucesivas para admitir que se encuentra en sincronismo.

Una señal 24 no aparece, caracterizando una no coincidencia. Por las mismas razones que precedentemente se tendrá que, es necesario obtener 3 no coincidencias sucesivas para admitir que el sincronismo está perdido.

Esta cuenta de tres condiciones sucesivas idénticas se hace en el bloque detector de sincronismo 250 al que está conectado el conductor 24.

Este bloque lleva por una parte un elemento de memoria en el que se inscribe al final de cada tiempo V25 la condición obtenida por la comparación y por otra parte un contador de 4 posiciones referenciadas 0" a 3" que cuenta la sucesión de condiciones idénticas y que vuel-

322736

24.-



ve a la posición 1" cuando son diferentes dos condiciones sucesivas.

675 Cuando la condición "coincidencia" está inscrita en el elemento memoria y cuando se encuentre en posición 3" esto significa cómo se ha establecido precedentemente que se está en sincronismo. Cuando la condición "no coincidencia" está inscrita y se encuentra en la posición 3" esto significa que se ha perdido el sincronismo. La unión de estas dos condiciones provoca la elaboración en el bloque 250 de dos señales 26 y 42r.

680 Se encuentra entonces, en las condiciones de funcionamiento expuestas al principio del estudio del bloque 230. Después de un cierto tiempo, que no es superior a un período de repetición, si la transmisión no está perturbada, la aparición de la condición "coincidencia" y su inscripción en el elemento memoria del bloque 250 caracterizan el momento W25.8 y provocan la supresión de las señales 26 y 42r. Los contadores de dirección se desbloquean y después de algunos momentos establecen el sincronismo en el curso del mensaje W1. La supresión de la señal 26 detiene la búsqueda libre, pero, al final del período de repetición se dispara el ciclo de verificaciones de código descrito precedentemente de forma que el sincronismo no es aceptado más que después de tres 690 verificaciones.

El tiempo mínimo de ejecución de un programa III es de tres períodos de repetición, si no se han obtenido más que coincidencias.

695 Cuando está terminada la operación de sincronización de vías en un enlace, se vuelve a comenzar la operación sobre el enlace siguiente a menos que el grupo de circuitos de sincronización de impulsiones no haya dado entretanto una información de error que se inscribe en la báscula Ro del bloque 210, lo que dispara el programa II.

700 En este caso el bloque de mando de correcciones 210 da, en su salida 28, una señal que se aplica al bloque descodificador 330 y que gobierna la elección, por el selector 341, del enlace sobre el que se

322736

25.-



debe hacer una corrección de error.

705 La información de error presente sobre el conductor 12a o 12r se transmite entonces a través del bloque 210, a la memoria de palabra 160, por uno de los conductores 22a, afecto a la corrección de avance, o 22r, afecto a la corrección de retardo. Esta transmisión no puede hacerse como se ha establecido precedentemente más que durante el tiempo de paso de la vía de sincronización definido por el reloj 310 (señal transmitida por el conductor 25).

710 Para la ejecución de la corrección de avance se aplica la señal que aparece sobre el conductor 22a a la memoria, de forma que haga saltar una posición a su contador de momentos; a título de ejemplo, si se ha dado la orden de avance en el momento en que el contador de momentos está en la posición 3 pasará al tiempo siguiente en posición 5 en lugar de pasar en posición 4.

715 Para la ejecución de una corrección de retardo la señal que aparece en el conductor 22r se aplica a través del circuito ou 226 a la memoria 160 de forma que su contador de momentos permanezca en la misma posición durante dos momentos consecutivos.

720 Así se ve que, las funciones de sincronización de impulsiones y de sincronización de vías, que se habían definido antes de emprender el estudio de la figura 2, se hacen respectivamente por el intermedio de bloques 120, 280, 210 y de bloques 230-250-210. Los bloques 110, 310 y 330 dan informaciones utilizadas para la ejecución de estas dos funciones. La información de entrada se aplica en 10 y la información de salida que aparece en 11 se almacena en la memoria de palabra 160.

725 Los diferentes programas que acaban de estudiarse de manera sucinta se interconectan de la forma siguiente:

El programa I controla la sincronización de los impulsos sobre el enlace p seleccionado por el descodificador 331.

730 a. Si se detecta una señal de error relativa al enlace p

•/••

322736



26.-

este se pone en memoria y dispara el programa II, después de que el programa III, en curso en el enlace seleccionado en ese momento por el selector 341, está terminado.

735 El programa II ejecuta la corrección de sincronismo de los impulsos sobre el enlace p, a continuación de lo cual el selector 341 selecciona el enlace p + 1 para la ejecución de un programa III y el selector 331 selecciona el enlace p + 1 y hace comenzar un nuevo programa I.

740 b. Si no se detecta una señal de error relativa al enlace p, el selector 331 avanza un paso.

b1. Se desengancha el programa 1 hasta que se obtiene una señal de error y se vuelve a estar en el caso a.

745 b2. Durante este tiempo el selector 341 avanza de forma autónoma y el programa III se desengancha repetitivamente para la ejecución de la operación de sincronizaciones de vías en tanto que el programa I no ha dado señal de error.

750 Se ve pues, que los selectores 331 y 341 funcionan independientemente, excepto cuando se debe hacer la corrección de un error detectado en el circuito de sincronización de impulsos. El selector de enlace 331 selecciona todos los enlaces siguiendo el orden 1 a n, pero el selector 341 no selecciona más que el enlace que sigue a aquel en el que acaba de hacerse una corrección de sincronización de vía y, eventualmente, los enlaces siguientes, si entre tanto no hay que hacer ninguna corrección de sincronización de impulsos.

755 Se recordará que, sobre un enlace, un examen de sincronización de impulsos dura tres vías (12 ns) y una operación de sincronización de vías dura por lo menos tres periodos de repetición (300 ns). Una operación de corrección de sincronización de vías ocupa un poco más de un periodo de repetición (100 ns).

760 Ahora se va a estudiar de forma detallada el funcionamiento

./..



del dispositivo objeto del invento cuyos circuitos constitutivos se detallan en las figuras 4 a 8.

La figura 9 representa el esquema de ensamble de estas figuras.

765 Se va a describir inmediatamente el funcionamiento de los bloques 110, 310 y 330 que dan informaciones utilizadas en común para la ejecución de las funciones de sincronización de impulsos y de sincronización de vías.

770 La figura 8 representa en particular el esquema detallado del reloj local 310. Este lleva, en primer lugar, un primer circuito de tiempo en el que se dispone un generador de ritmo 311 que da la hora central y cuya realización, bien conocida por los especializados en esta técnica, no se describirá de manera detallada.

775 Este elemento lleva dos contadores cuyo avance está gobernado por un oscilador de alta estabilidad y que fija en sucesión temporal el primero de los códigos de momentos 1 a 8 de tres cifras y el segundo de los códigos de posición de tiempos de cinco cifras t1 a t25.

780 Dos descodificadores 312-1 y 312-2 que llevan respectivamente 8 y 25 salidas están asociados a estos contadores y dan señales de tiempo, utilizadas en el curso de las operaciones.

785 Para obtener una señal compuesta, por ejemplo la señal t23.7, las señales de posición de tiempo t23 y de momento 7 se aplican a un circuito ET que no da una señal más que durante el tiempo de su coincidencia. Por razones de simplificación los circuitos de elaboración de estas señales compuestas no se han representado en las figuras.

Se notará que una señal de momento dada por el generador de ritmo 311 no se utilizará jamás sola en lo que sigue de la descripción, es decir que un código de posición de tiempo lo será siempre apropiado como por ejemplo la señal t23.7 aplicada al circuito ET219 de la figura

790 6.

./..

322736

28.-



El generador de ritmo 311 da igualmente en sus salidas 21, señales de tiempos elementales a, b, c, d, caracterizadas por el hecho de que, el principio de la señal a coincide con el principio de una señal de momento. Un circuito lógico anexo 312, al que se aplican las
795 señales t1 a t25 lleva un cierto número de circuitos OU y da señales tn t(n + 1), y t(n + 2) tales que $t_n = t_1 + t_4 + t_7 + t_{10} + t_{13} + t_{16} + t_{19} + t_{22}$; $t(n + 1) = t_2 + t_5 + t_8 + t_{11} + t_{14} + t_{17} + t_{20} + t_{23}$; $t(n + 2) = t_3 + t_6 + t_9 + t_{12} + t_{15} + t_{18} + t_{21} + t_{24}$.

Un segundo circuito de tiempo está constituido por el con-
800 junto de los elementos referenciados 320 a 323 y está gobernado, por una parte, por el establecimiento de una señal en el conductor 16, cuando el contador de vías de la memoria de palabra 160 (fig. 2 y 4) fije la posición V'25 y, por otra parte, por señales de momentos dadas por un conta-
805 dor auxiliar de momentos 211 (fig. 5), situado en el circuito común de sincronización. El funcionamiento de este contador se describirá ul-
teriormente y de momento bastará con saber que está sincronizado con el contador de momentos de la memoria de palabra. Las posiciones fijadas por este contador se referenciarán 1 a 8 y podrán utilizarse solas o aso-
ciadas con posiciones de tiempo referenciadas V25 y V1 (por ejemplo V1.1a)
810 en tanto que las posiciones fijadas por el contador de momentos de la memoria de palabra serán referenciadas 1' a 8' y no podrán asociarse más que con tiempos de vías V'1 a V'25 (por ejemplo V'25.3').

La señal 16, se aplica a una entrada del circuito ET 310, que recibe, en sus otras dos entradas, una señal la que caracteriza el
815 tiempo elemental a de la posición 1 del contador auxiliar de momentos 211 y una señal C3 que se definirá más tarde. La salida de este circuito ET está conectada a la bascula 321 de forma que pasa al estado 1 en el tiempo V'25. 1'b, si se pone que el tiempo de respuesta de la báscu-
la no es superior a un tiempo elemental.

820 La salida de esta báscula ataca al circuito ET 322 que reci-



be además una señal 8b de forma que dicho circuito da una señal a partir del tiempo V'25.8'b.

Por estar la báscula 231 puesta a 0 en el tiempo 8c, ésta no permanece en el estado 1 más que durante un intervalo comprendido entre V'25.1'b y V'25.8'b. Este tiempo se llamará V25 y estará disponible en la salida 25.

La señal dada por el circuito ET 322 se aplica a la báscula 323 que pasa al estado 1 en el tiempo V'25.8'c y es puesta a 0 en el primer momento 7 que sigue, es decir que la señal que da y que se llamará V1 dura de V'25.8'c a V'1.6'd.

Finalmente un tercer circuito de tiempo está constituido por los elementos 313 a 318 que gobiernan el avance de un contador 319 de tres posiciones al que está asociado un descodificador 319-2 que tiene las salidas C1, C2, C3.

En este circuito los elementos 313, 316, 317 son circuitos ET de dos entradas, el elemento 315 un circuito ET de tres entradas y los elementos 314 y 318 circuitos OU.

Se supondrá que el contador 319-1 se encuentra inicialmente en C3. La señal que aparece en la entrada 35 del circuito 310 y que se llamará S'1, se aplica a la primera entrada del circuito ET 313, cuya segunda entrada está unida a la salida 3" del contador de coincidencias y de no coincidencias del bloque 250 del que se ha hecho mención en el estudio de la figura 2. Cuando están presentes simultáneamente estas dos señales, este circuito ET da una señal que se aplica, a través del circuito OU 314, a la primera entrada del circuito ET 315. La segunda entrada del circuito, recibe durante el momento 3, la señal V1 producida por el segundo circuito de tiempo y por su tercera entrada la señal C3. Cuando estas tres señales coinciden, este circuito ET, da una señal que se aplica a través del circuito OU 318 al contador 319 que avanza una posición y pasa a C1. Este paso a C1 puede hacerse igualmente, si la pri-

322736

30



855 mera entrada del circuito 315 recibe, a través del circuito OU 314, una señal por el conductor 50, señal que se llamará R'o. En el tiempo t23 siguiente, la aplicación simultánea de esta señal y de la señal C1, a las dos entradas del circuito ET 317 activa este último y la señal dada es aplicada a través del circuito OU 318, al contador 319 que avanza una posición y pasa a C2.

860 Finalmente, en el tiempo t2 siguiente, la aplicación simultánea de esta señal y de la señal C2 a las dos entradas del circuito ET 316 activa este último y la señal dada se aplica a través del circuito OU 318 al contador 319 que pasa a la posición C3. Las operaciones que se hacen en este tercer circuito de tiempo pueden representarse igualmente por las ecuaciones lógicas siguientes:

865

$$C1 = C3 \times V1.3 \times (R'o + S'1 \times 3'');$$
$$C2 = C1 \times t23;$$
$$C3 = C2 \times t2.$$

A fin de no sobrecargar las figs., las conexiones que unen las señales de tiempo dadas por el reloj, no se han representado en las figs.

870 Por regla general, las salidas de un circuito que dan una señal de tiempo están representadas por un punto, y las utilizaciones de estas señales están representadas por un pequeño círculo.

La fig.7 lleva en particular el esquema detallado del bloque 330 de los selectores de enlace, cuyas funciones han sido brevemente expuestas al estudiar la fig.2. Lleva dos selectores 331 y 341 de estructura idéntica, cada uno de los cuales lleva dos registros 331-1, 331-2 y 341-1, 341-2, un descodificador 331-3, 341-3 y un bloque lógico 334 y 344. Los dos registros de cada uno de los selectores están unidos por dos circuitos ET multiplex 332, 333 y 342, 343 y los dos selectores son servidos a través de un circuito ET 335 que tiene cuatro entradas.

880 Se va a describir inmediatamente la forma de funcionamiento de uno de estas selectores, por ejemplo la del selector 341. El registro



341-1 de fijación de código de enlace lleva q básculas si el código de enlace tiene 1 momentos. Un descodificador 341-3 le está asociado, llevando dicho descodificador n_1 salidas distintas $J_1... J_v... J_n...$ si se quiere seleccionar un enlace entrante, entre n_1 , el registro 341-2 lleva q

885 básculas que están unidas al registro 341-1 mediante el grupo de q circuitos ET 342 de forma tal que, cuando, por ejemplo, el código del enlace v está fijado en este registro, la activación del circuito ET 342 en el tiempo t_{25} del tiempo C_2 provoca la transferencia y la fijación en forma paralela de los diferentes momentos de este código en el registro 341-1.

890 Entonces aparece una señal en la salida 34v de la matriz de descodificación 341-3 y el enlace correspondiente es seleccionado como se ha explicado al describir la fig. 2. En el primer tiempo t_4 del tiempo C_3 siguiente (se recordará que $C_3 = C_2 \times t_2$), el circuito ET 343 está activado y el código del enlace v se transmite en forma paralela al bloque lógico 344 que está concebido, de forma tal, que da en su salida 37, el código del enlace $v + 1$ que se fija directamente y en forma paralela en el registro 341-2.

Para simplificar la ejecución del bloque lógico se ha utilizado un código cíclico.

900 Para obtener el número inmediatamente superior a un número dado se hace un defasaje de un momento de todas las cifras del número primitivo hacia los momentos más significativos. La cifra más significativa del número primitivo se pierde entonces y el bloque lógico determina la cifra 0 ó 1, la menos significativa del nuevo número.

905 La forma de ejecución de tal bloque lógico es bien conocida y no se dará una descripción detallada.

El selector 331 funciona de la misma manera:

El código p fijado en el registro 331-1 es transferido al bloque lógico 334 y el código $p + 1$ que se fija en el registro 331-2 es transferido

910 al registro 331-1, si el grupo de circuito ET 332 está activado por

./..

322736



32.-

una señal $\overline{R_0}$ en el tiempo $t(n+2)$. Volviendo al estudio de la fig.2, esta señal $\overline{R_0}$ corresponde al estado 0 de la báscula colocada en el bloque 210 de gobierno de las correcciones. Significando el paso al estado 1 de esta báscula que el circuito de sincronización de impulsos ha detectado un error, será representado por la condición R_0 .

Si se tiene la condición $\overline{R_0}$ en los tiempos C_2 y t_{24} , el circuito ET 335 está activado y el código de enlace t , fijado en el registro 331-1, es transferido al registro 341-2 en el que se sustituye por el código de enlace v que se encontraba allí. El funcionamiento de estos selectores permite la elección de programas tal y como se ha definido al final del estudio de la fig. 2: Los selectores 331 y 341 funcionan independientemente salvo cuando se debe ejecutar una corrección del error detectado por el circuito de sincronización de impulsos. Esto está caracterizado por la condición R_0 , que permite la transferencia del código p del enlace sobre el que hay un error, al selector 341, que gobierna la conexión al circuito común, de los circuitos reservados en este enlace a la ejecución de la corrección. Si no se ha detectado error en el enlace p se tiene la condición $\overline{R_0}$ que bloquea el avance del selector 331 y el programa I, para la puesta en evidencia del error en la sincronización de los impulsos, se repite hasta que aparece la condición R_0 .

Como se ha explicado al estudiar la fig. 2, los dos selectores funcionan independientemente excepto cuando se debe ejecutar una corrección del error detectado por el circuito de sincronización de impulsos, error cuya presencia está caracterizada por la condición R_0 . El funcionamiento de estos selectores está pues igualmente regido por un programa, que se llamará el programa IV, y que se expone en el cuadro I.

En este cuadro se tiene: en la columna 1, el número de referencia de cada una de las operaciones; en la columna 2 el tiempo C_1 , C_2 ó C_3 dado por el reloj local 310 y que condiciona ciertas operaciones; en la columna 3, el tiempo en el que se efectúa la operación considera-



da; en la columna 4 una representación simbólica de las condiciones necesarias para la ejecución de la operación correspondiente; y la columna 5 el detalle de la operación ejecutada. Este programa IV se divide en dos sub programas referenciados IVa y IV b según que se tenga la condición $\overline{R_0}$ o la condición R_0 .

No se han representado en este cuadro los tiempos de cambio de las condiciones C1, C2, C3, que se han detallado al estudiar el reloj 310. Las operaciones, para las que no se lleva ninguna indicación a la columna 2, significan que se desarrollan independientemente de los tiempos C1, C2, C3. Este programa evidencia el hecho de que después de la ejecución de un programa II sobre el enlace p-1 el programa III que sigue se ejecuta sobre el enlace siguiente p. En lo que sigue, una operación dada de este programa se referenciará por ejemplo IVa-4, si corresponde a la representada en la línea 4 (columna 1).

Cuadro I

	1	2	3	4	5
					Programa IV.- parte común
960	1		$t(n+1)$		Transferencia del código del enlace t-1 en el bloque lógico 334 y fijación del código p en el registro 331-2 (circuito ET 333)
					Programa IVa.- Condición $\overline{R_0}$: sin corrección de error a ejecutar en el enlace p-1
965	2		$t(n+2)$	$t(n+2) \times \overline{R_0}$	Transferencia y fijación del código del enlace p en el registro 331-1 (circuito ET 332). El enlace p es seleccionado para la ejecución de un programa I.
	3	C3	t4	C3xt4	Transferencia del código del enlace v-1 en el bloque lógico 344 y fijación del código v en el registro 341-2 (circuito ET 343)
970	4	C2	125	C2xt25	Transferencia y fijación del código del enla-

./..

322736



34.-

ce v en el registro 341-1 (circuito ET 342).

El enlace v es seleccionado para la ejecución de un programa III.

Programa IVb.- Condición Ro: una corrección de error a ejecutar en el enlace t-1.

975

5 $t(n+2)$ $t(n+2)xRo$ No transferencia. Un nuevo programa I se ejecutará sobre el enlace p-1.

6 C2 t24 C"xt24xRo Transferencia y fijación del código t-1 en el registro 341-2 (circuito ET 335)

980 7 C2 t25 C2 x t25 La misma operación que en IVa-4 pero ahora es el enlace p-1 el que se selecciona para la ejecución de un programa II

8 C3 t4 C3 x t4 La misma operación que en IVa-3 pero ahora es el código p el que se fija en el registro 341-2

985

La figura 4 lleva en particular el esquema detallado del bloque 110 de explotación de las informaciones de entrada. Este bloque, que pertenece al circuito de enlace 100, relativo al enlace J1, recibe en su entrada 10 las señales de mensaje procedentes de la central emisora. Lleva un receptor 111, un formador 112, un circuito medianador de fase 113, un defasador 114, un descrestador 115 y un divisor 116 y su funcionamiento se describirá en relación con la figura 10 que representa los diagramas de las señales que aparecen en diferentes puntos de este bloque.

990

El repetidor 111, de un tipo conocido en la técnica de la modulación codificada por impulsos, da para cada aparición de una señal de mensaje en la entrada 10, una señal de mensaje regenerada, que tiene una duración de 250 ns, en sus salidas 18a y 18b que ocupa pues la mitad de un momento. Esta señal 18 se aplica por una parte al formador de impulsos 112 que da en su salida 13 una señal de mensaje normalizada que tiene una duración de 100 ns y por otra parte al circuito sintonizado 113 que da una señal sinusoidal en fase con la señal 18.

1000

./..



Se ha representado, en la figura 10a, la posición media de algunas señales de mensaje regeneradas, 18, y en la figura 10b las señales de mensaje normalizadas M1, M2, M3, etc. elaboradas a partir de estas en el formador 112. Las señales representadas con trazo lleno representan cifras 1, y la representada en línea de trazos una cifra 0

Las señales 18b se aplican al circuito medianador de fase 113, sintonizado a la frecuencia nominal de repetición de los impulsos que aparecen en la entrada del enlace. Cuando este circuito es atacado por señales 18b, da una señal sinusoidal de esta misma frecuencia, y en la que se han representado simbólicamente (figura 10c) las alternancias positivas mediante un segmento de recta, de duración igual a la mitad de un momento. Esta señal sinusoidal se aplica al defasador 114 (fig. 10d) y después al desorestador 115 que da señales cuadradas, representadas en la figura 10e. Finalmente estas señales se aplican al divisor 116, que da en sus salidas 14P y 14I, señales representadas respectivamente en las figuras 10f y 10h, cuya frecuencia de repetición es la mitad de la frecuencia nominal de repetición de los impulsos.

El defasaje introducido por el circuito 114, se escoge de un valor tal que estas señales estén perfectamente centradas respecto a la señal 13 dada por el formador 112 lo que se representa en la figura 10 por la recta AA', que une el centro de la posición media de la primera señal de la figura 10b con el centro de la primera señal 14P de la figura 10f.

Como se puede ver en las figuras 10b y 10h aparecen una señal P y una señal I cada dos momentos y están defasadas un momento. En consecuencia una señal I aparecerá, por ejemplo, en los momentos impares y una señal P en los momentos pares. Estas señales 14P y 14I se utilizarán ulteriormente para la puesta en hora de las señales de mensaje y la señal 14P, como señal de referencia de la hora enlace.

Después de haber estudiado el funcionamiento de los bloques

322736

36.-



110, 310 y 330 que dan informaciones, utilizadas para la ejecución de los tres programas, se va a describir ahora el funcionamiento de los bloques 120 y 280, que ejecutan el programa I relativo a la sincronización de los impulsos.

1035: Al estudiar el reloj local 310, se ha visto que el circuito 312 daba, en sucesión temporal, tiempos de vía t_n , $t(n + 1)$, y $t(n + 2)$. Estos tres tiempos definen la duración de un programa I.

1040 Cuando el código del enlace p está fijado en el selector 331 (figura 7), este enlace está conectado al circuito común por las puertas 102, 103, 104 y 108 (figura 5) y aparece una señal, en particular, en la primera entrada del circuito ET102. La segunda entrada de este circuito está conectada al conductor 14P, que transmite durante un tiempo de peso sobre dos, la señal P elaborada por el bloque 110, que acaba de describirse.

1045 Como se ha expuesto brevemente al estudiar la figura 2, se efectúa en el bloque 280, una medida de defasaje entre la hora del enlace y la hora de la central.

1050 La figura 6 lleva, en particular, el esquema detallado de este bloque 280. La señal transmitida por el circuito 102, sobre el conductor 14P, se aplica en este bloque 280 a un formador de impulsos 282, durante los momentos t_{n1} a t_{n4} . Esta limitación se hace mediante el circuito ET 281, y permite definir un intervalo de tiempo durante el que aparece por lo menos una señal P y a lo sumo dos de estas señales. El formador 282 da en su salida 38S una señal de referencia S cuyo frente anterior presenta un defasaje nulo respecto al frente anterior de la señal P y que se transmitirá sobre la primera entrada de los circuitos ET 284 a 1055 287, durante los tiempos de peso t_{n2} a t_{n4} , efectuándose esta limitación mediante el circuito ET 283. La señal S tiene una duración igual a la de un tiempo elemental a , b , c ó d , o sea 125 ns. Esta señal se ha representado en la línea 10f y se ve que presenta un defasaje negativo u (avance) 1060

322736

37.-



de 1,5 tiempos elementales respecto a la posición media de la señal de mensaje M1 de la figura 10b, asociada al mismo tiempo de vía P.

Se aplica a la primera entrada del grupo de cuatro circuitos ET264, cuyas salidas gobiernan la puesta en el estado 1 de las básculas 285A a 282D que le están asociadas. Las segundas entradas de estos circuitos ET, reciben, respectivamente, las señales de tiempos elementales a, b, c, d, de forma que no se puede tener, al aplicar una señal S a este circuito, más que una de estas básculas o dos básculas adyacentes que pasen al estado 1 (considerando las básculas 285A y 285D como adyacentes) puesto que dicha señal S no puede, más que ser coincidente con un tiempo elemental o estar a caballo entre dos tiempos elementales adyacentes. Las salidas de estas básculas se unen al bloque lógico 350.

La figura 11 representa el esquema detallado de este bloque lógico 350 al que se han llevado igualmente los elementos 285A a 285D ya descritos.

Se recordará, que como se ha expuesto en el estudio de la figura 2, el bloque de comparación de 23C elabora, durante la ejecución de un programa I, una información de posición actual, que caracteriza la posición de la señal de mensaje respecto a los tiempos elementales de la central. Esta información se almacena en un circuito previsto a este fin, que está colocado en el bloque 120, y, en la ejecución del programa I siguiente se reenvía al bloque 280 y constituye la información de posición anterior.

A fin de determinar, las funciones que deberá cumplir el bloque lógico 350, se va a considerar inmediatamente el caso en que una sola de las básculas 285, pase al estado 1 y a poner que:

Si la señal S coincide con el tiempo elemental a se escoge la condición B;

Si la señal S coincide con el tiempo elemental b se escoge la condición C, etc.

./..

322736

38.--



1105 Cuando la señal S se encuentra a caballo entre dos tiempos elementales adyacentes, es necesario hacer una elección entre las dos condiciones a las que esta posición puede corresponder: así, si la señal S está a caballo sobre los tiempos elementales b y c, se debe escoger entre las condiciones C y D materializadas por el paso al estado 1 de las básculas adyacentes 285 C y D. Esta elección se hará en función del criterio siguiente: reducir al mínimo los cambios de condiciones entre la ejecución del programa I dado y del programa I siguiente. Se utilizará así la información de posición anterior según las reglas siguientes:

1110

Si la señal S coincide con los tiempos elementales d y a y se está en A', se escoge A;

Si la señal S coincide con los tiempos elementales d y a y se está en B', se escoge B;

1115 Si la señal S coincide con los tiempos elementales a y b y se está en B' se escoge B;

Si la señal S coincide con los tiempos elementales a y b y se está en C' se escoge C... etc.

1120 Las condiciones lógicas que acaban de establecerse están resumidas en las columnas 1 y 2 del cuadro II que se describirá con detalle al estudiar el bloque 120 y las operaciones a las que corresponden se ejecutan en el bloque 350 de la figura 11. Este bloque, lleva los circuitos ET 351 a 359 y 362, 363, los circuitos OU 360 y 361, las básculas 364 y 365 de fijación de la información de posición actual A, B, C, 1125 ó D en forma binaria, la matriz de descodificación 366 de cuatro salidas y las entradas A', B', C' y D', sobre una de las cuales está fijada la información de posición anterior.

Se ha visto precedentemente, que la señal S estaba disponible de tn_2 a tn_4 . En el tiempo tn_5 , las señales dadas por los circuitos 1130 OU 360 y 361 se aplican a las básculas 364 y 365 en las que se inscribe



en forma binaria la condición A, B, C, ó D, después de que se ha transmitido, por una parte, al bloque 120 sobre el grupo de conductores 15-1 a 15-4 y, por otra parte, a la matriz de descodificación 366 cuya salida, correspondiente a la señal A, B, C ó D que acaba de elaborarse, x
1135 es seleccionada.

La figura 4 lleva, en particular, el esquema detallado del circuito 150 de fijación de la información de posición actual, formando parte este circuito del bloque de puesta en hora 120.

Lleva el grupo de circuitos ET 152-1 a 152-4, que gobierna
1140 la inscripción en las básculas 153 y 154 de la información de posición actual, enviada desde el bloque 280 sobre el grupo de conductores 15. Esta información queda disponible cuando se aplica una señal a la entrada 41 del circuito ET múltiple 286 de la figura 6, estando conectada la segunda entrada de este circuito múltiple, al grupo de las salidas 15
1145 del circuito lógico 350.

La señal 41 es dada por el circuito OU 299 durante, por lo menos, una posición de tiempo. De momento no se considerará más que el caso en que no se haya puesto en evidencia ninguna corrección de error, es decir cuando la báscula 216 referenciada Ro está en el estado 0 y,
1150 en estas condiciones, la señal 41 se establece durante el tiempo de vía $t(n + 1)$, mediante el circuito ET 298.

Los circuitos ET 152, están activados, durante la aparición de una señal en su entrada común 49. Esta señal está dada por el contador de momentos de la memoria de palabra 160, y corresponde a los tiempos elementales a y b, durante los que el contador de momentos de dicha memoria, permanece en la posición 7'. La información de posición actual se transmitirá, pues, durante un intervalo de tiempo que se puede escribir, en notación lógica.

$$t(n + 1) \times 7' \times ab$$

1160 Las señales dadas por uno, o varios circuitos ET 152 se apli-

./..

322736

40.-



1165 can a las básculas 153 y 154, que gobiernan el descodificador 155, una de cuyas salidas A, B, C ó D, se selecciona. La información de posición actual, que se encuentra así allí fijada en el tiempo de vía $t(n+1)$, se utiliza para ejecutar las operaciones de puesta en hora en los circuitos 130 y 140 del bloque 120.

Se explicará al describir estos circuitos, las razones por las que la inscripción de la nueva información de posición actual en el circuito 120, se hace en el tiempo $7'ab$.

1170 Volviendo a la figura 6, la información de posición, anteriormente fijada en el circuito 150 (figura 4), se devuelve en forma binaria al bloque 280, por los conductores 17-1 y 17-2, y se almacena en las básculas 289 y 291 en el tiempo $tn2$ establecido por los circuitos ET 287 y 288. Las salidas de estas básculas están unidas al descodificador 292, cuya salida, correspondiente a la información de posición anterior, es seleccionada.

1175 La figura 4 lleva, en particular, el esquema detallado de los circuitos 130 y 140 situados en el bloque de puesta en hora 120, relativo al enlace 100.

1180 Como se ha visto al estudiar la figura 2, este bloque tiene por función la de hacer la conversión de hora enlace a hora central y retardar, gracias a la información de posición actual elaborada en el bloque 280, cada señal de mensaje normalizada aplicada a su entrada 13, en un tiempo determinado, de forma que esté disponible en los tiempos elementales a y b para la inscripción en la memoria de palabra 160.

1185 Se ha visto, al estudiar la figura 10, que el bloque 110, de explotación de las informaciones de entrada, daba en sus salidas 14 señales de referencia P e I, de una duración de un momento que se establecían alternativamente, un momento cada dos. Estas señales, se utilizan en la memoria intermedia 130, para registrar alternativamente las señales de mensaje normalizadas, que se presentan en el conductor 13 (circuitos

1200



ET 121 y 122). Este registro, se hace, respectivamente, en las básculas 123 y 124, afectas, la primera al tiempo P, y la segunda al tiempo I. El circuito está concebido, de forma, que las informaciones así puestas en la memoria, estén disponibles para la lectura en el conductor 19, respectivamente en el tiempo I y en el tiempo P siguientes (circuitos ET 133 y 134). La información disponible en el conductor 19, se transfiere al circuito de retardo 140, en un tiempo elemental de la central, que depende de la información de posición actual y está inscrita o no en la báscula 139, de forma que pueda ser enviada sobre el conductor 40 a la báscula 151 en el tiempo elemental d.

La información registrada en la báscula 151, está entonces disponible en los tiempos a y b delimitados por el circuito ET 152, para la inscripción en la memoria de palabra 160, estando reservado el tiempo c a la puesta en el estado 0 de esta báscula. La dirección de las señales aplicadas a 13, alternativamente sobre una u otra de las básculas del circuito 130, permite aumentar al máximo la amplitud de las fluctuaciones rápidas admisibles.

Antes de proseguir la descripción del circuito, se va a determinar la amplitud máxima de las fluctuaciones rápidas, admitidas para un funcionamiento correcto del circuito 130, que hace el paso de la hora enlace a hora central.

La figura 12 representa los diagramas de las señales.

Se ha representado en 12a y en 12b el estado, en un instante dado, de las básculas 124 y 123, admitiendo que se recibe una sucesión de cifras 1. Los estados 1 y 0 están representados en la figura, estando caracterizado el estado 1, por una tensión positiva con relación al nivel de referencia y el estado 0 por una tensión negativa.

Se ha representado en la figura 12c, una señal de mensaje normalizada M, de duración $d = 100$ ns que, habiendo aparecido en un tiempo de peso P, se inscribe en la báscula 123, que pasa así al estado 1, como representa la figura 12b. Las partes cortadas, encuadradas por

./..

322736

42.-



un trazo interrumpido, representan en la figura 12c, el sitio cubierto por esta señal cuando se desplaza, por el efecto de las fluctuaciones rápidas. Teóricamente, la posición media de esta señal, está perfectamente centrada, respecto a la señal P, gracias al defasaje introducido por el circuito 114 del bloque 110.

Se ha representado en la figura 12d, las dos posiciones extremas Ma y Mr, correspondientes a la fluctuación admisible en la posición instantánea de esta señal, más allá de la cual, se inscribiría de forma errónea en la báscula 124, provocando un error de un peso en avance o en retardo.

Sean tr_x y tr_n los tiempos de respuesta máxima y mínima de las básculas 123 y 124 que definen la dispersión Δtr de estos elementos en la fabricación: $\Delta tr = tr_x - tr_n$. Considerando la señal Mr, que está a caballo en la vertical AA' que define el fin del tiempo de activación del circuito ET 121, las condiciones límites de inscripción correcta pueden inscribirse:

$$d - tr_x < tr_n, \text{ de donde } d < tr_x + tr_n$$

Poniendo $do = tr_x + tr_n$, se tiene $d < do$.

Si se llama L a la duración de un momento, y m la amplitud máxima admisible de las fluctuaciones rápidas, definida tomando como puntos extremos los centros de las señales Ma y Mr, se puede escribir:

$$m = L - 2 \left(tr_x - \frac{d}{2} \right) = L - 2tr_x + d \quad (1)$$

Si se pone en el límite $d = do$, y llevando este valor a la ecuación (1) se obtiene una amplitud máxima m_o de fluctuaciones, por debajo de la cual la inscripción se efectúa de forma correcta:

$$m = L - (tr_x - tr_n) = L - \Delta tr$$

por ser Δtr pequeño, comparado con L, la amplitud máxima admisible de las fluctuaciones rápidas difiere, pues, poco de un momento.

Haciéndose las operaciones en los circuitos 130 y 140, están controladas por las señales P e I, por las señales de tiempos elementales,

./..



transmitidos por el circuito común de sincronización, a través del grupo de circuitos ET103 (fig. 5) y por la información de posición actual, disponible en una de las salidas 15A a 15D, del descodificador 155 (fig. 4).

1265 Se han determinado, al estudiar el bloque 280 (fig. 6), los criterios de elección de la información de posición actual, obtenida, comparando la señal de referencia S con los tiempos elementales de la central. Se han resumido las condiciones correspondientes, en las columnas 1, 2 y 3 del cuadro II, en las que se han llevado, respectivamente, 1270 los tiempos de coincidencia de la señal S con uno o dos tiempos elementales de la central, la condición de posición anterior y la condición de posición actual que se deducen de ellas.

Se han puesto explícitamente, a título de ejemplo, las condiciones de la línea I de este cuadro, en los diagramas de señales de la figura 13. Se han representado en 13a y 13b dos señales de momentos P e I en sucesión temporal y, en 13c, la señal de referencia S, cuya comparación con la hora central, ha permitido establecer una información de posición actual B. Se admite que la señal de mensaje, representada en la figura 13g con su fluctuación rápida máxima admisible, se presenta durante el tiempo de peso P, mientras se inscribe en la báscula 123. Se ve, refiriéndonos a la figura 4, que esta báscula es leída en el tiempo de peso siguiente I delimitada por medio del circuito ET 133. 1280

Las tres posiciones de coincidencia de la línea I del cuadro II se han representado respectivamente en las figuras 13f, 13d y 1285 13e. Se ve, comparando estas tres figuras, que el primer tiempo elemental común a las tres posiciones, y que se encuentra totalmente en el momento I reservado a la lectura, es el tiempo b. Se escogerá este tiempo para la lectura, lo que se ha representado, en estas tres figuras, por un rectángulo de duración b con trazos horizontales.

1290 (Véase el cuadro II)

322736

44.-



1295 Razonando de la misma forma para las líneas II, III y IV se deducen las condiciones de lectura para estos tres casos, condiciones, que se han inscrito en la columna 4 del cuadro I. Cuando se lee la información, y volviendo de nuevo al ejemplo de la figura 13, se puede poner la báscula en estado 0 en el tiempo elemental siguiente a la lectura, es decir, en el tiempo c como indica la columna 5, y se ha representado en las figuras 13d, 13e y 13f mediante rectángulos rayados oblicuamente, coincidiendo igualmente este tiempo elemental c con el momento I. La elección del tiempo de puesta a 0 se hace de la misma manera para las líneas 1300 II, III y IV como se ha indicado en la columna 5 del cuadro II.

Cuadro II

	1	2	3	4	5	6	
	(da	B'					
I	(a		B	b	c	2	
1305	(ab	B'					
	(ab	C'					
II	(b		C	c	d	1	
	(bc	C'					
	(bc	D'					
1310	III	(c		D	d	a	0
	(cd	D'					
	(cd	A'					
	IV	(d		A	a	b	3
	(da	A'					

1315 Las señales utilizadas para esta puesta a 0, son dadas por los circuitos lógicos 127 a 132 del circuito 130, y su dirección entre las básculas 123 y 124, se hace respectivamente, en los tiempos I y P delimitados por los circuitos ET 125 y 126.

1320 Volviendo de nuevo a la figura 13, se ve que el retardo impuesto por el circuito 130 a la señal de mensaje, supuesta situada en su posi-



ción media, es a lo sumo de tres tiempos elementales enteros, como indica la columna 6 del cuadro II. En la figura 13, se ha confundido el momento P, durante el que se efectúa la determinación de la información de posición actual, con el momento P durante el que se hace la inscripción de la señal de mensaje M. En realidad, esta señal T, que se utiliza entre los tiempos tn_2 a tn_4 (véase descripción del bloque 280), es anterior al tiempo de inscripción y de lectura de por lo menos dos tiempos de vía, pero como su posición en el tiempo no se modifica, más que en función de la fluctuación lenta, se puede poner que no varía de forma apreciable en toda la duración de utilización de la información de posición actual, que ha permitido elaborar dicha señal.

Ahora se va a describir el proceso de las operaciones que se hacen en el circuito 140, que tiene por objeto permitir el registro de todas las señales de mensaje, cualquiera que sea su condición de posición actual, en la báscula 151, en el mismo tiempo elemental. A título de ejemplo no limitativo, se ha supuesto que este registro se efectuará en el tiempo elemental d.

Se va a estudiar, a título de primer ejemplo, una señal de mensaje que está almacenada en la báscula 123, con una condición de posición actual d. Como indica la columna 3 del cuadro II, la lectura se hará en el tiempo d y en consecuencia la señal de mensaje vuelta a poner en posición, se inscribirá sin retardo en la báscula 151, como indica la columna 5 del cuadro II (en la columna 5 los retrasos introducidos por el circuito 140 han sido medidos tomando como unidad un tiempo elemental).

El estado de la báscula 123 se transmite en el momento I reservado a la lectura, a través del circuito ET 133 y el circuito OU 135, al circuito ET 137 activado por la condición D y finalmente se aplica por medio del circuito OU 156 a la báscula 151 en el tiempo elemental d, delimitado por medio del circuito ET 148. Esta báscula se encontrará pues

322736

46.-



en el estado 1 antes del final de este tiempo d. Por el contrario, las informaciones leídas en a, b, ó c deberán retardarse 3, 2 ó 1 tiempos elementales, como indica la columna 5 del cuadro II, lo que se hará con la ayuda de la báscula 139 y los circuitos lógicos 138 y 141 a 146.

1355 A título de segundo ejemplo, se va a examinar el caso en que la información debe ser leída en el tiempo elemental a, correspondiente a la condición A. El estado de aquella de las básculas 123 ó 124 que se encuentra en el estado 1, se transmite por el circuito OU 135, por una parte directamente a la primera entrada del circuito ET 141, y por otra
1360 parte, después de una inversión en el circuito 138 a la primera entrada del circuito ET 142. La segunda entrada de estos circuitos ET recibe, a través del circuito OU 143, señales que caracterizan los pares de condiciones A y a dadas por el circuito ET 144 o B y b dadas por el circuito 145, o C y c dadas por el circuito 146.

1365 En el ejemplo considerado, cuando se aplica la señal dada por el circuito ET 144 y el circuito OU 143 (condición A y tiempo a) a la segunda entrada del circuito ET 141, que recibe además la señal dada por el circuito OU 135, la báscula 139 pasa al estado 1. Este estado se transmite al circuito ET 148 a través del circuito ET 147, que es pasando
1370 te para la condición D̄ (es decir para cualquier condición distinta de D, como ocurre en el caso del ejemplo considerado) y el circuito OU 156. El circuito ET 148 se hace pasante en el tiempo d, para la inscripción en la báscula 151.

1375 El circuito funciona de forma semejante cuando se tienen las condiciones B o C.

Se acaba de describir el proceso de paso de la báscula 139 al estado 1.

1380 La entrada O de esta báscula está unida a la salida del circuito ET 142 que recibe, en el ejemplo considerado, una primera señal de activación para la coincidencia de A y a y una segunda señal de activación



oión para la coincidencia de λ y a y una segunda señal de activación por el conductor 20, que es el complemento de la que aparece en el conductor 19.

1335 La figura 14 representa los diagramas de señales relativas al ejemplo considerado, gracias al cual se va a poder resumir el funcionamiento de los circuitos 130 y 140 y al mismo tiempo, mostrar las condiciones del paso al estado 0 de la báscula 139.

Las figuras 14a y 14b son equivalentes a las figuras 13a, 13b y 13c.

1390 La información de posición actual λ se obtiene en este ejemplo por la coincidencia de la señal S, figura 14a, con los tiempos elementales c y d representados en la figura 14c (cuadro II, primero línea de la línea IV). Los rectángulos situados por debajo de los tiempos elementales a y b y marcados L 123, Z 123, L 124 y Z 124, representan los
1395 tiempos de lectura y de puesta a 0 de las básculas 123 y 124, que tienen lugar, respectivamente en, los tiempos de peso I y P. Las figuras 14d a 14j representan las diferentes señales, que existen en los circuitos 130 y 140 cuando el número:

$$N1M2M3M4M5.... M_n = 11010...0$$

1400 se aplica a la entrada 13, con la cifra más significativa en primer lugar.

Las figuras 14d y 14e representan el estado de las básculas 123 y 124, estando representado el estado 1 por una señal positiva y el estado 0 por una señal negativa respecto al eje de referencia.

1405 La figura 14f representa las señales dadas por el circuito CU135 y aplicadas por los conductores 19 y 20 respectivamente, sobre la primera entrada de los circuitos ET 141 y 142.

1410 En la figura 14f se ha simbolizado la existencia de una señal sobre el conductor 19 por medio de una señal colocada encima del eje de referencia, y la existencia de una señal en el conductor 20 mediante

322736

48.-



una señal colocada debajo de dicho eje.

Las cifras rodeadas por círculos, colocadas entre las figuras 14a y 14b, caracterizan tiempos particulares en la operación que va a estudiarse. Las posiciones de llegada de las señales M1, M2 y M4 (cifras 1) están representadas (figs. 14d y 14e) por señales rectangulares de duración un poco inferior a un tiempo elemental, y se ha supuesto que estas señales ocupan su posición media en los momentos que les están reservados.

El instante, en que las básculas 123 y 124 cambian de estado, está ligeramente retardado con relación al frente anterior de las señales de mensaje, como consecuencia del tiempo de respuesta de dichas básculas. En el tiempo 1, las básculas 123 y 124 están en el estado 0, el circuito CU 135 no da ninguna señal por su salida 19, y una señal está, por lo tanto, presente en el conductor 20. En el tiempo 2, la inscripción de la señal M1, que aparece en el momento P, en la báscula 123, la hace pasar al estado 1. En el tiempo 3, comienza el momento I en el que el tiempo elemental a está reservado a la lectura de la báscula. En ese momento, como se tienen simultáneamente las condiciones: 123 en el estado 1 y momento I, el circuito ET 133 se hace pasante y aparece una señal en el conductor 19, lo cual suprime la existente en el conductor 20. En el tiempo 4, la señal M2, que aparece durante el momento I, se inscribe en la báscula 124 y la hace pasar al estado 1. Al mismo tiempo, se lee la señal M1 en la báscula 123. En el tiempo 5, que coincide con el tiempo elemental b reservado a la puesta a 0 de la báscula 123, esta operación se hace, y se tienen entonces simultáneamente las condiciones: 124 en el estado 1 y momento I así como 123 en el estado 0 y momento I. Los circuitos ET 133 y 134 no son pasantes, la señal aplicada al conductor 19 se suprime y aparece una señal en el conductor 20.

En el tiempo 6 se pasa al momento T, y entonces se tienen simultáneamente las condiciones: 124 en el estado 1 y momento P, así

./..



como 123 en el estado 0 y momento P. El circuito ET 134 es pasante y aparece una señal en el conductor 19.

Los tiempos 7 y 8 son los tiempos elementales a y b, reservados respectivamente a la lectura y a la puesta a 0 de la báscula
 1445 124. Cuando esta última operación se ha efectuado, se tienen simultáneamente las condiciones: 124 en el estado 0 y momento P así como 123 en el estado 0 y momento P. Los circuitos ET 133 y 134 no son pasantes y entonces aparece una señal sobre el conductor 20. Siendo $\overline{M_3} = 0$, la señal P que existe durante este momento P, no se modifica el estado de la
 1450 báscula 123.

En el tiempo 9, del momento I siguiente, la señal M4 se registra en la báscula 124.

En el tiempo 10, correspondiente al principio del momento P siguiente, se tienen simultáneamente las condiciones siguientes: 123 en
 1455 el estado 0 y momento P así como 124 en el estado 1 y momento I que son las mismas establecidas en el tiempo 6.

En resumen:

Se tiene una señal en el conductor 19:

Cuando la báscula 123 está en el estado 1 en el tiempo I;

1460 Cuando la báscula 124 está en el estado 1 en el tiempo P.

Se tiene una señal en el conductor 20;

Cuando las básculas 123 y 124 están simultáneamente en el estado 0;

Cuando en el momento P, la báscula 123 está en el estado 1
 1464 y la báscula 124 en el estado 0;

Cuando en el momento I, la báscula 123 está en el estado 0 y la báscula 124 en el estado 1.

La segunda entrada de los circuitos ET 141 y 142 recibe, para la información de posición actual A, una señal para cada tiempo elemental a, dada por los circuitos 144 y 143, señal que se ha repre-
 1470

322736

50.-



sentado en la fig. 14g.

En el tiempo elemental a de la lectura de la báscula 123, afecta a la señal M1 (tiempo 4), se tiene una señal sobre el conductor 19 y el circuito 141 es pasante. La báscula 139 pasa entonces al estado 1, como se ha representado en la fig. 14h. Como la condición A está comprendida en la condición D, el circuito ET 147 es pasante y en el tiempo d siguiente (tiempo 11), se hace pasante el circuito ET 148, como se ha representado en la fig. 14h, y la señal M1 se transmite a la báscula 151 que pasa al estado 1.

Igualmente se ve en la fig., que la señal M2 se transmite en el tiempo d siguiente (tiempo 12), y que en el tiempo 9, la báscula 139 pasa al estado 0. Vuelve a pasar al estado 1 en el tiempo 13, y se transmite la señal M3, con un retardo de dos tiempos de peso sobre la señal M2, en el tiempo 14.

En la fig. 14d se ha representado el retardo R1 introducido en la señal M1 por el circuito 130 y que es superior, en el ejemplo considerado, a la duración de tres tiempos elementales. Igualmente se ha representado en la fig. 14j, el retardo R2 de tres tiempos elementales introducido, en el caso del ejemplo, por el circuito 140. Se recordará que las señales consideradas ocupan, en la fig. 14 sus posiciones medias.

El funcionamiento de los bloques 280 y 120 puede resumirse como sigue: Se compara la posición en el tiempo de una señal de referencia, derivada de la señal de mensaje, con 4 tiempos elementales a, b, c, d. De esta forma se elabora una información de posición, que se corrige con la ayuda de la información de posición que existía precedentemente, y se obtiene una información de posición actual A, B, C o D.

Estando inscritas las señales de mensaje a la hora enlace en una memoria adecuada (circuito 130), esta información de posición actual, se utiliza para efectuar la lectura de forma que todas las informaciones estén disponibles en el tiempo d para inscripción en la báscula



151, antes de su transferencia, en los tiempos a y b siguientes, delimitados por el circuito ET152, en la memoria 160, y esto, cualquiera que sea su instante de inscripción en la memoria 130. Así, si se tiene la condición B, la señal de mensaje coincide con los tiempos elementales bc, c
1505 ó cd (véase fig. 13d, 13e, 13f), pero no está disponible para el registro en la báscula 151, más que a partir del tiempo elemental d siguiente, etc.

La posición en el tiempo de las señales de mensaje soportadas por un enlace, se desplazan por el efecto de la fluctuación lenta, por lo que un programa I dado podrá dar una información de posición actual diferente de la información de posición anterior, elaborada en el programa I
1510 precedente.

Se ha visto al final del estudio del bloque 280, que este cambio de información de posición se transmitía, en los tiempos 7'a y 7'b, al circuito de fijación 150 del bloque 120. Durante estos tiempos elementales a y b, la señal de mensaje 7, es decir la señal de mensaje situada
1515 en el momento 7 de la vía, cuya posición en el tiempo ha sido determinada mediante la información antigua, se encuentra inscrita en la báscula 151.

La nueva información se aplica en 7'a a las básculas 153 y 154 y se establece en 7'b sobre el descodificador 155.

1520 En este momento la señal de mensaje 8 se encuentra almacenada en una de las básculas 123 ó 124, como se puede comprobar comparando la señal M2 de la fig. 14e con la señal M1 de la fig. 14j.

Se va a admitir, por ejemplo, que esta señal de mensaje se registra en el momento P en la báscula 123. En el momento siguiente I,
1525 el estado de esta báscula se transmitirá al circuito 140, y a continuación, se pondrá dicha báscula en el estado O.

Refiriéndonos a las explicaciones dadas al estudiar la fig. 11 y al cuadro II, se ve que la información de posición, no se modifica más que si la señal de referencia que haya coincidido durante un cierto
1530 tiempo con dos tiempos elementales, por ejemplo con los tiempos a y b,

322736

52.-



no coincide ya más que con uno sólo de estos dos tiempos (a ó b) o con los otros dos tiempos (c y d).

1535 La fig. 15 representa el diagrama de los momentos 1, durante los que se hace la lectura y la puesta a 0, en el caso del ejemplo, en que la señal de mensaje 8 está registrada en la báscula 123. En (1) se ha representado una sucesión de 8 tiempos elementales y la vertical (2) representa el momento de cambio de posición que, como acaba de verse, tiene lugar al principio del tiempo b. En esta fig. se ha supuesto, evidentemente, que el cambio de posición se efectuaba en el momento I.

1540 Durante este tiempo se hace un registro en la báscula 124, pero haciéndose esta operación con la hora enlace, no será influenciada durante el cambio.

1545 Respecto a las columnas (3) y (4), se han representado las 10 posiciones posibles de la señal I respecto a la escala de los tiempos elementales, que corresponden a los 8 casos de cambio de información de posición, como se han referenciado en las columnas (3) y (4).

1550 Se ha admitido, para disponer los segmentos de la derecha que representan las posiciones de la señal I, que el cambio de información de posición se efectuaba a continuación de la coincidencia de la señal de referencia con un sólo tiempo elemental, y esto con un cierto retardo, de forma que la información de posición anterior existe todavía en el circuito 120 cuando la señal I se encuentra situada en función de la información de posición actual.

1555 El tiempo de lectura y de puesta a 0 de la báscula 123 debe escogerse en función de la información de posición anterior, para la parte de la señal I que se encuentra a la izquierda de la vertical (2) (región diferenciada IPAN en la fig.) y en función de la información de posición actual para la parte de la señal I que se encuentra a la derecha de la vertical (2) (región referenciada IPAC en la fig.). Estos tiempos se han referenciado en la fig. L y Z respectivamente.



En los pares de condiciones representadas en la columna (3), que corresponden a un defasaje de la señal de mensaje en el sentido positivo de las fases, se ve que la lectura y la puesta a 0 se efectúan de forma normal en los casos C'D y B'C.

1565 En el caso D'A se hacen dos puestas a cero de la báscula 123, en tiempos elementales sucesivos, lo que no presente ningún inconveniente. En el caso A'B se hacen dos lecturas sucesivas, en los tiempos elementales a y b, del contenido de la báscula 123, lo que no presenta igualmente ningún inconveniente, puesto que esta información inscrita en la báscula 139 (fig. 4) no es explotada más que en el tiempo elemental siguiente d.

1575 En los pares de condiciones representadas en la columna (4), que corresponden a un defasaje de la señal en el sentido negativo de las fases, se ve que la lectura y la puesta a cero se efectúan de forma normal en los casos D'C y C'B. En el caso B'A, la báscula 123 se pone a cero sin que se efectúe ninguna lectura y se pierde la señal de mensaje 8, lo que no presenta ningún inconveniente puesto que no está registrada en la memoria de palabra.

1580 Finalmente en el caso A'D, la información se lee en la báscula 123, pero ésta no se pone a cero durante el momento I asignado a esta operación. En consecuencia, en el momento I siguiente, la báscula se encontrará en el estado 1 y, si la cifra que se presenta en la entrada 13 del circuito 130 (figura 4), para ser registrada en ese momento, es un 0, la báscula permanecerá en el estado 1 y la información transferida a la báscula 151 (fig. 4) será errónea.

1590 Se notará que este caso se produce al corregir un error en la sincronización de los impulsos, de los que se ha descrito el proceso al estudiar la fig. 3. Esta corrección consiste en una operación de avance, a efectuar en el contador de pesos de la memoria de palabra durante el paso del código de sincronización, y se verá, en lo que sigue, que

322736



54.-

se hace cuando el contador de pesos fija el código 3'. Este avance del contador de pesos compensa el error, pero de una manera anticipada, puesto que, hasta el tiempo 7'b, la nueva información de posición no está fijada. De ello resulta que es la señal W25.7 la que es leída en la báscula 123 inmediatamente antes del cambio de información de posición. Siendo leída la señal W25.8 en el momento siguiente P, será la señal W1.1 la que se lea de forma errónea, si es igual a 0'.

Según una característica particular del invento, este inconveniente se atendía escogiendo un código de sincronización en el que, por lo menos, la señal W25.7 es una cifra 0.

El bloque de puesta en hora 120 cuyo funcionamiento acaba de estudiarse de forma detallada, permite, pues, registrar todas las señales de mensaje en la báscula 151 en el mismo tiempo elemental δ . Pero se ha mostrado en la figura 3 que, si se tenía después de un cambio de información de posición uno de los pares de condiciones A' y D ó D' y A, se tenía un error en la inscripción en la memoria de palabra 160. Igualmente se ha demostrado que este error indicaba la necesidad de ejecutar una operación de avance o una operación de retardo en el descodificador de momentos de dicha memoria, cuya descripción detallada se dará posteriormente.

Después de esta descripción de la función de sincronización de los impulsos, se va a poder exponer el programa I que se detalla en el cuadro III.

Siendo seleccionado el enlace p por el selector 331, la información de posición actual está elaborada entre los tiempos $tn.1$ a $tn.5$ (operaciones 1 a 3). Si no se ha detectado ningún error, se lleva a cabo el programa 1a, y la nueva información de posición actual se inscribe en el circuito 120 para la condición $t(n+1) \times \overline{R_0} \times 7'ab$ (operaciones 4 y 5). En el tiempo $t(n+2)$, el código $p+1$ del enlace siguiente se inscribe en el descodificador 331.



Si se ha detectado un error, se ejecuta el programa Ib y la operación 7 sobreviene después de la operación 3, haciendo pasar la báscula 216 a la condición Ro. En t (n+2) no se modifica el contenido del contador 331 y se selecciona siempre el enlace p. En el tiempo C3 x V25 siguiente, se corrige el error y la nueva información de posición actual se transfiere al circuito 120, en el tiempo V25.7'ab (operación 10). Esta transferencia está autorizada por la apertura, en V25, del circuito ET-227. Las operaciones 11 y 12 están situadas como recordatorio de las operaciones II-9 y II-10 del programa II, que se describirá ulteriormente. Estando entonces la báscula 216 en condición $\overline{R0}$, se vuelve a la parte común del programa, y en tn.1, las informaciones fijadas en los decodificadores 292 y 366 son borradas (operación 13).

Cuadro III

	1	2	3	4	5
1635					Programa I.- Parte común Operación que se ejecuta sobre el enlace p seleccionado por el selector 331 (fig. 7)
	1		tn.1 a tn.4		Elaboración de la señal de referencia en el formador 282 (fig. 6)
1640	2		tn.2 a tn.4		Transferencia de la señal S a las básculas 284a a 284d (figs. 6 y 11)
	3		tn.5		Elaboración y fijación de la información de posición actual sobre el decodificador 366 (fig. 11)
1645					Programa Ia.- Sin información de error, condición $\overline{R0}$
	4		t(n+1)		Transferencia del código del enlace p en el bloque lógico 334 y fijación del código p+1 en el registro 331-2 (fig.7)
1650			t(n+1)x $\overline{R0}$		Autorización de transferencia de informa-

322736

56.-



				ción de posición actual en el circuito 150 (fig. 4)
	5	$7'ab \quad t(n+1)x\overline{R}o$	$7'ab$	Transferencia e inscripción de la información de posición actual en el circuito 150
1655				
	6	$t(n+2) \quad t(n+2)x\overline{R}o$		Fijación del código del enlace p+1 en el registro 331-1
				Programa Ib.
				Una información de error. Condición Ro.
1660	7	$tn.6 \quad (A'D+D'A)xtn.6=Ro$		Inscripción de la condición de error en la báscula Ro (circuito ET 296) (fig. 6)
	8	$t(n+2) \quad t(n+2)xRo$		El registro 331 fija siempre el código del enlace p.
1665	9	C3 V25		Autorización de la transferencia de información de posición actual en el circuito 150 mientras se ejecuta la corrección del error (circuito ET 227) (fig.6) Ver II.7.
1670	10	C3 7'ab		Ver programa 1.5
	11	C3 V1.3 C3xV1.3xR'o=C1		Ver programa 11.8
	12	C1.C2t23.5 C2xt23.5 $\rightarrow \overline{R}o$		Ver programa II.9.10
				Programa I.- Parte común
1675	13	$tn.1 \quad tn.1x\overline{R}o$		Borrado de las informaciones de posición actual y anterior antes fijadas en los descodificadores 292 (fig. 6) y 366 (fig. 11).

Se ha visto al estudiar la fig. 2, que las señales de mensaje, dadas por el bloque de puesta en hora 120 sobre el conductor 11, no podían inscribirse sin error en la memoria 160 más que si los contadores



de dirección de dicha memoria fijaban las direcciones correspondientes; es decir, avanzaban en sincronismo con las señales. Así, el sincronismo es correcto, si la señal que aparecía en un instante dado en el conductor 11 era la señal W5.3 y los contadores de dirección seleccionan la
1685 dirección V'5.3'.

Si se admite que en un instante dado se cumplen estas condiciones, las correcciones introducidas por los circuitos de sincronización de impulsos, que acaban de estudiarse, son suficientes para mantener indefinidamente, por lo menos teóricamente, el sincronismo de las
1690 vías.

Sin embargo, éste puede perderse, por una parte, cuando el dispositivo se pone en marcha y por otra parte si, en el curso de la explotación, la transmisión ha sufrido perturbaciones importantes. Es pues necesario verificar periódicamente el sincronismo de las vías, y en su
1695 caso, restablecerlo, operaciones estas regidas por el programa III.

Para hacer esto, se dispone de un elemento de comparación particular: el código de sincronización transmitido sobre la vigesimo quinta vía del enlace y que es siempre idéntico en el tiempo. Como todos los otros mensajes, este código lleva 8 momentos y se llamará cifra
1700 de orden 1 a la que ocupa el momento menos significativo, cifra de orden 2 a la que ocupa el momento inmediatamente más significativo, etc.

La fig. 7 lleva, en particular, el esquema detallado del bloque 230, detector de coincidencia, que se utiliza para comprobar el mensaje que llega durante el tiempo reservado al código de sincronización
1705 y, eventualmente, para buscar dicho código. Se supondrá que este mensaje se transmite con la cifra más significativa en primer lugar.

El bloque lleva los registros 232 y 238, cada uno de los cuales lleva 3 básculas, el descodificador 233 y el codificador 237, el bloque lógico 240, los circuitos ET 231, 236, 239, 242, 244, el circuito
1710 OU 231, los inversores 241 y 243, los circuitos ET multiplex 234 y 235

322736

58.-



cada uno de los cuales lleva 8 circuitos ET simples referenciados 1 a 8. Su funcionamiento está controlado por el tiempo C3 dada por el contador 319 del reloj 310 (fig. 8) y por el tiempo V25 elaborado en dicho reloj únicamente durante. este tiempo C3.

1715

Se supondrá que el dispositivo acaba de ponerse en marcha y, que el selector 341.1 fija el código del enlace v, para examinar el sincronismo de las vías sobre dicho enlace. Aparece una señal en el conductor 34 afecto a este enlace y, en particular, los circuitos ET 101 y 107 (fig. 5) se activan. El circuito ET 101, está intercalado en el conduc-

1720

tor 11, que puede transmitir así las señales de mensaje extraídas eventualmente en los tiempos elementales a y b definidos por el circuito ET 152 de la báscula 151 (fig. 4) hacia el bloque 230. El circuito ET 107, está intercalado en el conductor 16 en el que aparece una señal durante todo el tiempo de fijación de la posición de tiempo V'25 en la me-

1725

memoria 160. Se ha visto, al estudiar el reloj local 310 (fig. 8), que a partir de este tiempo se elaboraba una señal V25, que dura de V'25.1b a V'25.8b. Se supondrá que, a la puesta en marcha, el contador de vías de la memoria 160 (figs. 4 y 5) fija una posición de tiempo distinta de V'25. En estas condiciones no hay señal V25, y si no se tiene en cuenta

1730

provisionalmente el conductor 26, el circuito OU 231 no da ninguna señal en su salida 23.

1735

El inversor 243 da entonces una señal que se aplica al circuito lógico 240 y que está realizada, de forma que dé, en estas condiciones, una señal en su salida 46-8. Esta señal pasa al codificador 237 que da el número binario 0000 = 0 u 8 decimal, y este número se fija en el registro 238. En el primer tiempo elemental b el circuito ET 244 es pasante y este número 8 se fija en el registro 232 y aparece una señal en la salida 45-8 del descodificador 233.

1740

Cuando aparece la señal V25, el circuito OU231 da una señal en su salida 23 que se aplica, en los tiempos b siguientes delimitados



por medio del circuito ET 242, a la primera entrada de los circuitos ET 239 y 236. Además, el inversor 243, no da más señales, lo que provoca la supresión de la señal 46-8.

1745 El estado de la báscula 151 del bloque 120 (fig. 4), que caracteriza la ausencia o la presencia de una señal de mensaje y que está disponible para utilización en los tiempos a y b, se aplica directamente al circuito ET 239 y en su forma complementaria (por el inversor 241) al circuito ET 236. Para cada tiempo elemental b, uno sólo de estos circuitos ET da pues una señal, que caracteriza una cifra 1, cuando aparece en su salida 43 (presencia de una señal de mensaje), y una cifra 0 cuando aparece en su salida 44 (ausencia de una señal de mensaje).

Estos conductores 43 y 44 están conectados respectivamente a la primera entrada de cada uno de los circuitos ET de los grupos 234 y 235.

1755 La segunda entrada de cada uno de estos grupos ET está conectada a la salida del descodificador 233, al que lleva, como cuarta cifra, el número de orden. Así, las segundas entradas de los circuitos 234-8 y 235-8 están conectadas a la salida 45-8 del descodificador.

1760 Luego los circuitos ET 234 están activados cuando existe una señal en el conductor 43, y los circuitos ET 235 están activados cuando existe una señal en el conductor 44.

1765 Volviendo al ejemplo precedente, el registro 232 fija el número 8 y es seleccionada la salida del descodificador 233. En el primer tiempo b del tiempo V25 (es decir en V'25.1'b) uno de los circuitos ET 234.8 ó 235.8 se hace pasante caracterizando un tiempo reservado a la cifra más significativa del código de sincronización o cifra de orden 8, y se aplica una señal al bloque lógico 240, que está concebido de forma tal que si esta primera señal es idéntica a la que debía existir en ese momento del código de sincronización, da una señal en su salida 46-7. En 1770 el caso contrario, da una señal en su salida 46-8.

./..

322736

60.-



Si hay una señal en 46-7, el registro 238 fija la cifra 7, obtenida a través del código 237, y esta cifra se inscribe en el tiempo d siguiente de V25 (es decir en V¹25.1d) en el registro 232. Entonces aparece una señal en la salida 45-7 del descodificador 233. En el primer
1775 tiempo b siguiente, (es decir en V25.2b) uno de los circuitos ET 234-7 ó 235-7 se hace pasante y se aplica una señal al circuito lógico 240.

Ahora se va a estudiar de forma más detallada el funcionamiento de este circuito 240 con la ayuda del cuadro IV.

En la columna 1 se han representado los números de orden 45-8
1780 a 45-1 de las salidas que pueden ser seleccionadas sucesivamente en el descodificador 233.

La columna 2 representa una de las cifras 1 ó 0 que se puede recibir en cada uno de los tiempos b, sucesivos, y la columna 3 las cifras que se debían recibir en esos tiempos, si la sincronización era buena, estando representado el conjunto del código de sincronización en la cabeza
1785 del cuadro con la cifra más significativa en primer lugar.

La columna 4 representa el número constituido por las cifras recibidas precedentemente, más la cifra recibida en el tiempo considerado.

La columna 5 representa el número que se debía haber recibido en ese tiempo, si las vías estuvieran en sincronismo.
1790

La columna 6 representa la salida del circuito lógico 240 seleccionado después de la comparación con los números inscritos en las columnas 4 y 5.

La columna 7 representa el número restante, válido en ciertos casos de comparación, en los que la última cifra recibida es falsa.
1795

La columna 8 representa el caso en que el circuito lógico 240 da una señal en su salida 24.

Finalmente, la columna 9 representa las posiciones de los contadores de dirección de la memoria durante la comparación, cuando las
1800 vías están en sincronismo.

322736

61.-



Si se supone, primeramente, que las vías están en sincronismo, en cada tiempo de la columna 9, se recibirá una cifra exacta (la primera cifra de la columna 2) de cada una de las líneas del cuadro IV y cada vez, la salida 46 del orden inferior será seleccionada por el circuito lógico 240 como indica la columna 6 del cuadro IV.

Cuadro IV

Código de sincronización 00111100

	1	2	3	4	5	6	7	8	9
1810	45-8...	0	0	-	0	46-7			V'25.1'b
		1	0	-	0	46-8			
	45-7...	0	0	00	00	46-6			V'25.2'b
		1	0	01	00	46-8			
1815	45-6...	0	1	001	001	46-5	00		V'25.3'b
		1	1	000	001	46-6			
	45-5...	0	1	0011	0011	46-4	0		V'25.4'b
		1	1	0010	0011	46-7			
	45-4...	0	1	00111	00111	46-3	0		V'25.5'b
		1	1	00110	00111	46-7			
1820	45-3...	0	1	001111	001111	46-2	0		V'25.6'b
		1	1	001110	001111	46-7			
	45-2...	0	0	0011110	0011110	46-1	Nada		V'25.7'b
		1	0	0011111	0011110	46-8			
	45-1...	0	0	00111100	00111100		Nada	X	V'25.8'b
		1	0	00111101	00111101	46-8			

El paso de la cifra de orden 2 provocará la selección de la salida 45-1 y, si la cifra de orden 1 es exacta, aparecerá una señal en la salida 24 del circuito lógico, como indica la columna 8 del cuadro 4. Esta señal 24, que sobreviene al fin del tiempo V25, caracteriza el hecho de que el mensaje recibido durante este tiempo corresponde al código de sincronización y que la sincronización es correcta. La operación

./..

322736



62.-

que acaba de hacerse se llamará "Verificación de la sincronización".

1835 Cuando la sincronización es mala, no aparece ninguna señal 24 al final del tiempo V25 y, después de un cierto retraso que se definirá ulteriormente, se aplica una señal 26 al circuito CU 231 y desengancha una "busqueda libre de sincronización".

A continuación se va a estudiar el conjunto de las combinaciones de señales que pueden recibirse por el conductor 11. Estas combinaciones corresponden, en cada etapa, a las cifras y a los números llevados a la segunda línea.

1840 Se va a admitir, por ejemplo, que se recibe una cifra de orden 8 (salida 45-8 seleccionada en el descodificador 233). Comparando con la columna 3 se ve que esta cifra es exacta y en consecuencia, en el tiempo d siguiente, se verifica la cifra de orden 7 (salida seleccionada 45-7). Si se recibe una cifra 1 se ve, comparándola con la columna 3 que esta cifra es falsa y, además, que no puede constituir una cifra de orden 7 del código de sincronización, puesto que esta debe ser 0. Se debe pues volver en el tiempo d siguiente a la posición 45-8 en el descodificador 233, como indica la columna 6.

1845 Si se ha reconocido una serie de dos cifras, como pudiendo pertenecer al código de sincronización (número 00), el descodificador 233 selecciona la salida 45-6 en el tiempo V'25.2d. Si se recibe una cifra 0, se ve, comparando las segundas líneas de las columnas 2 y 3, que esta cifra es falsa. Se ve, columna 4, que el número así constituido es 000 en el que las dos últimas cifras pueden constituir las cifras de orden 8 y 7 de un código de sincronización. Quedará pues en el tiempo d siguiente en la posición 45-6 en el descodificador 233 como indica la columna 6.

1855 Se ve que, en el comparador de código que acaba de describirse, cada cifra se retiene o rechaza en función de las cifras que la preceden y que le siguen y que se detectará, en el caso más favorable, el

1860

./..



código de sincronización por el examen de las señales que se suceden durante por lo menos 200 momentos, o sea la duración de un periodo de repetición.

1865 En resumen, la verificación se pone en marcha por el paso del descodificador de vías de la memoria 160 (fig. 4 y 5) a la posición V'25, lo que, como se ha visto al estudiar el reloj 310, permite elaborar, a partir del tiempo central 1ª siguiente, una señal V25.

1870 Si la sincronización es buena, se ha visto que aparecía una señal al final de este tiempo V25 en el conductor 24. Si no es buena, no aparece ninguna señal en este momento y el comparador se bloquea hasta que aparece la señal V25 siguiente que inicia una nueva verificación.

1875 De esta forma se hace un cierto número de verificaciones hasta que tres verificaciones sucesivas hayan dado el mismo resultado: es decir tres sincronizaciones buenas o "coincidencias", o tres sincronizaciones malas o "no coincidencias".

En este último caso, se pone en marcha una operación de búsqueda.

La fig. 8 lleva en particular el esquema detallado del bloque 250, detector de sincronismo, que ejecuta estas operaciones.

1880 Lleve el contador de coincidencias y de no coincidencias 261 que lleva dos registros 261-1 y 261-2, cuyas cuatro posiciones se referenciarán 0", 1", 2", 3" y un descodificador 261-3, el circuito lógico asociado a este contador; las básculas 251 y 252 que se referenciarán igualmente S1 y S'1, las básculas 266 y 267 que se referenciarán igualmente S3 y S4 y un cierto número de circuitos ET y de circuitos OU.

1885 El funcionamiento de este bloque 250 está gobernado por una parte por el tiempo C3 dado sobre el contador 319 del reloj 310, y por otra parte por el tiempo V1 dado igualmente por el reloj solamente durante el tiempo C3 que dura de V'25.8b a V'1.6d.

1890 El contador 261 avanza de la misma forma que los selectores

322736



64.-

1895 de enlace del bloque 330 y utiliza igualmente un código cíclico. El código fijado en el registro 261-1 se hace, en el bloque 264, el código de la posición siguiente al tiempo V1.1c (circuito ET 263) y se fija en el registro 261-2. En el tiempo V1.2 (circuito ET 262) se transfiere al registro 261-1 en el que el descodificador 261-3 selecciona la salida correspondiente. Este contador se pone en posición 0" cuando el circuito CU 258 da una señal.

1900 Las básculas 251 y 252 están asociadas, a través de los circuitos ET a dos entradas 253, 254, 255. Si, por ejemplo, no aparece ninguna señal en el conductor 24 en el tiempo V25.8b y la báscula 251 está en el estado 0, en V1.4 la báscula 252 se vuelve a poner a 0, en V1.5 se activa el circuito ET 253, pero no viene ninguna señal de la báscula 251 y la báscula 252 permanece en el estado 0. En V1.6, se aplica una señal de puesta a 0 a la báscula 251 que sigue en el estado 0. Estando las dos básculas en estado 0, los circuitos ET 254 y 255 están bloqueados.

1905 Si aparece una señal en el conductor 24 en el tiempo V25.8b siguiente, la báscula 251 pasa al estado 1. En V1.a, estando las dos básculas en estado diferente, es pasante el circuito ET 255 y se pone a 0" el registro 261-1 del contador 261. En V1.1c se aplica este número al circuito lógico 264 y en V1.2 el descodificador 261-3 fija la posición 1". En V1.4 la báscula 252 recibe una señal de puesta a 0 que no modifica su estado. En V1.5, el circuito ET 253 es pasante y la báscula 252 pasa al estado 1. En V1.6, el circuito CU 259 da una señal que hace pasar la báscula 251 al estado 0.

1915 Si aparece una señal 24 en el tiempo V25.8b siguiente, la báscula 251 pasa al estado 1. En V1.1a, estando las dos básculas en el estado 1, no se modifica el funcionamiento del contador 261 y, en V1.2 pasa a la posición 2". En V1.4, la báscula 252 pasa al estado 0. En V1.5 el circuito ET 253 es pasante y la báscula 252 recibe una señal, pero se encontraba ya en el estado 1. En V1.6, la báscula 251 pasa al estado 0.

./..



1925 Por lo tanto la báscula 252 constituye una memoria de la última condición recibida: si está en el estado 1 es una coincidencia, si está en el estado 0 es una no coincidencia. La posición fijada por el contador 261 representa el número de condiciones idénticas recibidas sucesivamente, puesto que este contador se pone en 0 cada vez que en el tiempo V.1a los estados de las básculas 251 y 252 son diferentes y después en 1 en el tiempo V1.2 siguientes (circuito ET 262).

1930 Se ha visto al estudiar la fig. 2 que se admitía que tres coincidencias sucesivas, es decir la báscula 252 en el estado 1 en la posición 3" fijada en el contador, caracterizaban una sincronización correcta y que tres no coincidencias sucesivas, es decir la báscula 252 en el estado 0 en la posición 3" fijada en el contador, caracterizaba una mala sincronización.

1935 En el segundo caso, el circuito ET 265 recibe en sus dos entradas las señales $\overline{S} \overline{T} \overline{I}$ (báscula 252 en el estado 0) y 3". Este circuito se hace pasante en el tiempo V1.3c siguiente y la señal que da hace pasar las básculas 266 y 267 al estado 1. Estas básculas así como los circuitos 268, 269, 272, 273, 274 han sido situados en el circuito particular 270 que trabaja junto con el bloque 210 (figs. 5 y 6). Entonces aparece una señal en la salida 26 de la báscula 266, señal que se aplica al
1940 circuito OU 231 del bloque 230 y que permite comenzar una búsqueda de sincronización. Ulteriormente se verá que el paso de las básculas 266 y 267 al estado 1 ha bloqueado el avance de los descodificadores de dirección de la memoria 160.

1945 Cuando, después de un tiempo, a lo sumo igual, como se ha visto precedentemente, a la duración de un periodo de repetición, el bloque 234 da una señal 24, la báscula 251 pasa al estado 1 en el tiempo V'25.8b y el circuito ET 272 da en el tiempo V'25.8c una señal de puesta a 0 de la báscula 266, de forma que la búsqueda del código de sincronización se
1950 detiene y se empieza una verificación.

./..

322736



66.-

Cuando se han tenido tres coincidencias sucesivas se tiene en el reloj local 310:

$$S'1 \times 3'' \times V1.3 \times C3 = C1$$

1955 Durante el tiempo C1 no se hace ninguna operación en el bloque que 250 y se tiene:

$$C1 \times t23 = C2$$

Este tiempo está reservado a la puesta a 0 del contador 261 (por los circuitos CU 260 y 258) y las básculas S1 (por los circuitos CU 260 y 259), S3 y S4.

1960 Por lo tanto se tiene:

$$C2 \times t2 = C3.$$

1965 Se acaba de recordar que cuando se detectaban 3 no coincidencias sucesivas, el avance de contador de peso de la memoria 160 (figuras 4 y 5), estaba bloqueado en tanto que se efectuaba la búsqueda de código de sincronización que acaba de describirse. Esta operación así como las que le siguen, se hacen a través del bloque de mando de correcciones 210 (figuras 5 y 6) y del circuito 270 del bloque 250 cuyo funcionamiento global no se ha descrito todavía. Sin embargo, antes de hacerlo, se va a describir de forma detallada el bloque 160 de memoria de palabra.

1970 Las figuras 4 y 5 representan, en particular, el bloque de memoria de palabra 160. La matriz de memoria 165, en la que se hace la elección de un elemento unitario de memoria por coincidencia de dos señales de detección, está equipada con elementos que permiten ejecutar un ciclo de inscripción y de lectura o un intervalo de tiempo igual a la duración de un momento, o sea 500 ns.

1975 Las señales de selección de líneas son dadas por las salidas 1' a 7' del descodificador 161-3 alimentado por un contador de momentos que lleva los registros 161-1 y 161-2 y que está organizado de la misma forma que el selector de enlace 341 (figura 7).

1980 El descodificador 161-3 lleva igualmente una salida 8' que

./..

322736

67.-



1985 caracteriza el 8º momento de una vía que no se registra en la memoria y esta señal se utiliza para gobernar el avance del contador de vías 166-1. El descodificador 166-2 asociado a este contador fija las señales de selección de columnas V'1 a V'24. La salida V'25 de este descodificador, que caracteriza la vía de sincronización y que no está registrado en la memoria, está unida, por el conductor 16, figuras 5, 7 y 8, al reloj local 310 (figura 3).

1990 El avance del contador de momentos se hace de la forma siguiente: el código contenido en el registro 161-1 se transfiere en el circuito lógico 164 al tiempo a delimitado por el circuito ET 163, si no está presente una señal de bloqueo en la entrada 32r de dicho circuito. El circuito 164 elabora el código de la posición siguiente que se inscribe en el registro 161-2. En el tiempo c siguiente, delimitado por el circuito ET 162, se envía este nuevo código al registro 161-1 y la salida correspondiente del descodificador 161-3 es seleccionada durante los tiempos elementales d a b.

2000 Este proceso de elaboración del nuevo código de posición, está modificado cuando se aplica una señal a la entrada 32a del circuito lógico 164. En este caso el nuevo código salta una posición: así, si por ejemplo, el código contenido en el registro 161-1 era 3', el código 5' se fija en el registro 161-2 en vez del código 4'.

2005 Un circuito ET múltiple 168 está situado cortando las salidas 1' a 7' del descodificador 161-3, y se hace pasante cuando está presente una señal de mensaje en el conductor 11 en el tiempo elemental b. Igualmente está situado un circuito ET múltiple 169 cortando las salidas V'1 ó V'24 del descodificador 166-2 y se hace pasante en los tiempos elementales a y b. Este circuito ET define el intervalo de tiempo reservado al registro y, la señal dada por el circuito ET 168 cuando aparece una señal de mensaje, provoca, efectivamente, el registro en el tiempo b.

2010 A título de ejemplo no limitativo, se ha descrito una memo-

./..

322736

68.-



ria que puede utilizarse según los principios que acaban de exponerse en la petición de patente P. V. nº 831.208 y su primera adición P. V. nº 848.275 tituladas "memoria capacitiva de disposición matricial".

2015 La salida 7' del descodificador 161-3 está conectada a la primera entrada de un circuito ET 167 que recibe en su segunda entrada las señales elementales a y b de forma que da en su salida 49, la señal 7'ab aplicada a los grupos de circuitos ET 152 dispuestos en el circuito 150 de la figura 4.

2020 Las entradas 32a y 32r de la memoria de palabra 160, afecta al enlace considerado están conectadas al circuito común de sincronización, cuando los circuitos ET 105a y 105r están activados por la señal dada por el descodificador 341 sobre el conductor 34 afecto a este enlace.

2025 Las figuras 5 y 6 llevan en particular, el bloque 210 de mando de las correcciones al que están asociados los circuitos 290 (figura 6) y 270 (figura 8).

2030 Este bloque controla la ejecución de las modificaciones introducidas en el avance del contador de momentos de la memoria de palabra 160, en función de los errores detectados, por una parte en circuitos de sincronización de los impulsos y por otra parte en los circuitos de sincronización de las vías.

2035 Se ha visto, al estudiar la figura 2, que estas modificaciones de la cadencia de avance consistían en avanzar o retardar una posición (sincronización de impulsos) o en retardar una duración variable (sincronización de vías) y que se hacían siempre durante el tiempo de paso de la vía de sincronización definida por el tiempo V25 dado por el reloj 310.

2040 Antes de empezar el estudio global de la función de mando de las correcciones, se va a estudiar la forma de ejecutar esas correcciones.



Los circuitos que entren en juego en este mando son, por una parte, un contador auxiliar de momentos 211 situado en el circuito común que da señales referenciadas 1 a 8 y por otra parte los circuitos lógicos 224, 225 y 226 (figura 6). El contador auxiliar de momentos 211 es
2045 idéntico al contador de momentos 161 dispuesto en el circuito de enlace que lleva los elementos 211-1, 211-2, 211-3, 212, 213, 214. La elaboración del código de la posición siguiente se hace en el tiempo b y su inscripción en el registro 211-1 se hace en el tiempo d de forma que se encuentra disponible en la salida correspondiente del descodificador 211-3 du-
2050 rante los tiempos abc. Sin embargo, esta inscripción no puede hacerse más que si no se aplica una señal de bloqueo a la entrada 47 del circuito ET múltiple 212. Esta señal de inhibición es dada por un circuito ET 222 que recibe por su primera entrada una señal transmitida por el conductor 26 y por su segunda entrada una señal cuando el contador 211 está en posición
2055 3.

En tanto que coinciden estas dos señales, el circuito 222 da la señal de inhibición 47 que bloquea el avance del contador 211 en la posición 3.

Además, el registro 211-1 está unido por el conductor 27 a la salida 1' del descodificador 161-3 de la memoria 160 a través de los circuitos ET 106 y 215, siendo este último pasante en cada tiempo a. Este enlace permite hacer una sincronización de los dos contadores a partir de la posición 1' del descodificador 161-3 cuya selección hace pasar el contador 211 a la posición 1.
2060

Las señales dadas por este contador 211 llevan las mismas referencias que las dadas por el descodificador 312-1 situado en el reloj 310 (figura 8). Sin embargo, no puede producirse ninguna confusión entre estos dos tipos de señales dado que, como se ha señalado en la descripción del bloque 310, las señales dadas por el descodificador 312-1 no se utilizan más que en combinación con las señales de posición de tiempos t1 a t25
2070

322736

70.-



dadas por el descodificador 312-2.

2075 La ejecución de una operación de avance en el contador de momentos 161 está gobernada por el circuito ET 224 (figura 6), que transmite la señal presente en su entrada sobre los conductores 22a y 32a cuando se aplica una señal a su entrada 50 en el tiempo V25. Esta operación de avance se hace independientemente de la duración del tiempo de apertura del circuito ET 224.

La señal 50 caracteriza la condición R'0 en una báscula 217 del circuito 210. Ulteriormente se describirá su forma de elaboración.

2080 La ejecución de una operación de retardo de un momento está controlada por el circuito ET 225 (figura 6) de cuatro entradas. Los contadores de momentos 161 y 211 están sincronizados, como se ha visto precedentemente por lo que el contador 211 está en posición 4 en los tiempos abc y el contador 161 está en posición 4' en los tiempos dab.

2085 El circuito ET 225 transmite la señal presente en su entrada 12r al conductor 22r cuando las señales siguientes coinciden:

Tiempo V25;

Señal 50;

2090 Posición 4 del descodificador 211-3 durante los tiempos elementales abc, o sea una señal 4 abc.

2095 La duración de la señal sobre el conductor 22r está pues controlada por esta última señal que es la más corta de las tres y se aplica a la entrada de inhibición 32r del circuito ET 163 durante los tiempos elementales 4 abc. Dado que los contadores 161 y 211 están sincronizados, el contador 161 se encuentra en posición 4' durante estos tiempos elementales ab. Este código de posición 4' debía transmitirse al circuito lógico 164 durante este tiempo a (circuito ET 163) (figura 5), pero la señal de inhibición 32r impide esta transferencia. La inhibición se suprime en el tiempo ð siguiente y el código de la posición 4' puede llegar al circuito 164 en el tiempo a siguiente, de forma que el contador 161 se en-

2100

322736



71.-

cuentra en su posición 4' durante dos momentos consecutivos. La ejecución de una operación de retardo de duración variable para una operación de sincronización de vías, se efectúa de la misma forma, salvo que las señales 42r y 32r que la gobierna tiene una duración variable. El contador 2105 161 se bloquea siempre en la posición 4' después de la aparición, en V1.3d, de la señal 42r, efectuándose la operación en el circuito lógico 164.

Se ha visto, al estudiar el bloque 250 (figura 8), que las básculas 266 y 267 pasaban al estado 1 en el mismo instante. El estado 1 2110 de la báscula 267 está caracterizado por la presencia de la señal 42r cuya utilización acaba de describirse. El estado 1 de la báscula 266 está caracterizado por la presencia de una señal S3 en el conductor 26 que está conectado a la entrada del circuito ET 222 asociado al contador 211. Se recordará que una señal S3 caracteriza la detección de tres no coinci- 2115 dencias sucesivas. Luego, cuando aparecen las señales 42r y 26, el contador 161 (figuras 4 y 5) se bloquea en posición 4' y el contador 211 (figura 5) se bloquea en posición 3, como se ha visto precedentemente.

El desbloqueo de estos contadores es obtenido por la supresión de las señales 42r y 26.

2120 Como se ha visto al estudiar el bloque 250 (figura 8), la báscula 266 pasa al estado 0 cuando recibe una señal dada por el circuito ET 272, caracterizando esta señal una coincidencia entre las señales recibidas y el código inscrito en el circuito lógico 240 (figura 7). La señal 26 se suprime y el contador 211 arranca a partir de la posición 3. 2125 Cuando llega a la posición 6, el circuito ET 268 se hace pasante en el tiempo elemental t de dicha posición, y la señal que da, hace pasar la báscula 267 al estado 0. La señal 42r se suprime, pues, y el contador 161 arranca a partir de la posición 4'. Los dos contadores están, pues, desincronizados y esto dura hasta que el contador 161 se vuelve a encontrar en 2130 la posición 1'. En ese momento, se transmite una señal de sincronización

./..

322736



72.-.

por el conductor 27 que hace saltar el contador 211 a la posición 1.

La figura 16 representa el diagrama de las posiciones de los contadores 161 y 211 durante esta operación.

2135 La figura 16a representa el tiempo V25.8 a V2.1 necesarios para esta sincronización.

Las figuras 16b y 16d representan los estados de las básculas 266 y 267 simbolizados de la misma forma que en la figura 12.

Las figuras 16c y 16e representan respectivamente las posiciones fijadas por los contadores 211 y 161.

2140 Los tiempos de aplicación de las señales dadas por los circuitos ET 272 y 268 a las básculas 266 y 267 se han representado mediante flechas situadas en estos tiempos, haciéndose el cambio de estado de la báscula correspondiente con un retardo de alrededor de una mitad de tiempo elemental. La transferencia del nuevo código al contador 211 se hace en el tiempo elemental d, por lo que este contador arranca sin ningún retardo y pasa a la posición 4 en el tiempo V1.1a como indica la figura 16c. Por el contrario al hacerse la elaboración del nuevo código en el contador 161 en el tiempo elemental a y al no suprimir el bloqueo del circuito ET 268 más que en el tiempo c, la fijación del nuevo código se hace
2145 con un retardo de 5 tiempos elementales, como se puede ver en la figura 16e.

2150 Cuando el contador 161 está en la posición 1, el circuito ET 215 (figura 5) se hace pasante y el contador 211 vuelve a la posición 1, como se ha indicado con la flecha que une las figuras 16e y 16c, en el
2155 tiempo V2.1a.

La señal dada por el bloque 230 (figura 7) sobre el conductor 24 caracteriza el último peso W25.8 de la vía de sincronización. Hasta el tiempo V1.3 se ve que el descodificador de peso de la memoria de palabra fija el código 4' y que las direcciones seleccionadas son falsas.

2160 Se puede resumir como sigue el funcionamiento del contador

./..



auxiliar de momentos 211 situado en el circuito común. En la ejecución de un programa III, se sincroniza con el contador 161 del enlace seleccionado y avanza con un retardo de un tiempo elemental con respecto a éste (véanse figuras 16c y 16e). Cuando se detectan 3 no coincidencias, se bloquea en posición 3, mientras que el contador 161 se bloquea en posición 4'. Cuando una operación de verificación ha permitido volver a encontrar un código semejante al código de sincronización, este contador 211 se desbloquea en primer lugar y, después de tres tiempos de peso, gobierna el desbloqueo del contador 161 que se encuentra entonces en condiciones de fijar posiciones exactas para las señales de mensaje.

La inclusión en el circuito común de sincronización de este contador auxiliar de momentos, sincronizado por el contador de momentos situado en el enlace, sobre el que se acciona, permite reducir en una proporción importante el número de circuitos de enlace entre el circuito común y los circuitos de enlace. En efecto, el contador 211 no está unido a los circuitos de enlace más que por el circuito ET múltiple 106 (figura 5) en tanto que las posiciones 1 a 8 se utilizan en el circuito común como se indica en el cuadro V.

Cuadro V

Posición	Circuitos que utilizan esta señal		Bloque	Figuras	Descripción
2180	3	222	210	5	
		265	250	8	Cuadro VIII
		315	310	8	Cuadro VII
2185	4	225	210	6	
		252	250	8	
	5	269	250	8	Cuadro IX
		253			
	6	268	250	8	Cuadro IX
2190		259			

./..

322736



74.-

	7	323	310	8	
	8	321, 322	310	8	
	1	257	250	8	
		320	310	8	
2195		263	250	8	Cuadro VII
	2	262	250	8	

La economía hecha es pues para $n1 = 10$, de 70 circuitos ET.

Se ha determinado, al final del estudio del bloque 120 (figura 3) que la necesidad de hacer una corrección en el adelanto del descodificador de peso de la memoria 160 estaba determinado por la presencia de una de las condiciones A'D o D'A

La información de posición anterior se encuentra disponible en el bloque 280 de la figura 6 durante el momento $tn.2$ (activación de los circuitos ET 287 y 288 en $tn.2$, más un tiempo elemental para el cambio de estado de las básculas 289 y 291) y la información de posición actual lo más tarde durante el tiempo $tn.5$ (activación de los circuitos ET 362 y 363 más un tiempo elemental para el cambio de estado de las básculas 364 y 365, véase figura 11).

En consecuencia, a partir del tiempo $tn.6$ puede estar disponible un par de condiciones anterior y actual.

Estos pares de condiciones se elaboran en el circuito 290 del bloque 280. El circuito ET 293 está afecto a la detección del par de condiciones A'D y da una señal en su salida 12a cuando se hace pasante. El circuito ET 264 está destinado a la detección del par D'A y da una señal en su salida 12r cuando se hace pasante. Estos conductores están conectados respectivamente a una de las entradas de los circuitos ET 224 y 225 del bloque 210 que como se ha visto, controlan la ejecución de las correcciones.

Las salidas 12a y 12r están conectadas igualmente a través del circuito OU 295 al circuito ET 296 que se hace pasante en el tiempo

./..



tn.6 que, como se acaba de ver, es el primer tiempo en el que se está seguro que las informaciones de posición anterior y actual están efectivamente aplicadas a los circuitos ET 293 ó 294.

La señal dada por este circuito ET 296 se aplica a la báscula 2225 la 216 del bloque 210 (que se llamará igualmente Ro) para hacerla pasar al estado 1.

Las salidas 0 y 1 de esta báscula están conectadas, respectivamente, a las entradas 0 y 1 de una báscula 217 que se llamará igualmente R'o, a través de los circuitos ET 220 y 221. Estos dos circuitos 2230 están controlados por el circuito ET 219 que da una señal en el tiempo de la central t23.7, cuando el contador 319 del reloj 310 está en posición C2 (figura 8).

Finalmente, cuando la báscula 217 está en el estado 1, hace pasar a la báscula 216 al estado 0 si el circuito ET 218 es pasante lo 2235 que ocurre en el tiempo t23.5 de C2.

Se va a admitir que las dos básculas se encuentran inicialmente en el estado 0, lo que se escribirá $\overline{R_0}$ y $\overline{R'o}$.

Se sabe por una parte que como $n = 1-4-7-10-13-16-19-22$, el tiempo tn.6 es por lo menos igual al tiempo t1.6 y a lo sumo igual al 2240 tiempo t22.6 y por otra parte que, $C2=C1 \times t23$ y $C3 = C2 \times t2$.

Luego, si se aplica una señal de error al circuito ET 296, la báscula Ro pasa al estado 1 en tn.6. En $C2 \times t23.5$, el circuito ET 218 está activado pero, como se tiene la condición $\overline{R'o}$, no se modifica el estado de Ro. En $C2 \times t23.7$, los circuitos ET 220 y 221 están activa- 2245 dos y R'o pasa al estado 1. Las condiciones existentes en las dos básculas son pues en ese momento Ro y R'o.

Se han visto, al estudiar el programa IV (cuadro I) los descodificadores de enlace 330 que, mientras se tenía la condición $\overline{R_0}$ (bajo el programa IVa), el descodificador 331 avanzaba una posición a cada 2250 nuevo valor de n. Desde que se tiene la condición Ro, se pasa al progra-

322736



76.-

ma IVb (operaciones IVb-6-7-8) y el avance del descodificador 331 está
 bloqueado. La operación IVb-7 en el tiempo $C2 \times t25$ permite la selección
 del enlace sobre el que se tiene que efectuar la corrección del error. Se
 ha visto precedentemente que la ejecución de esta corrección estaba con-
 2255 trolada por los circuitos ET 224 y 225 que son activados por la condición
 $V25 \times R'o$.

El cuadro VI representa las operaciones que se hacen durante
 este programa II. Las columnas 1 a 5 tienen la misma significación que en
 el cuadro I pero se han indicado en este cuadro los tiempos de cambio de
 2260 las condiciones C1, C2, C3.

Las operaciones II-1, 2, 3, 4, 5 y 7 son las que acaban de
 describirse.

Cuadro VI

	1	2	3	4	5
2265					Programa II. Corrección del error elaborado por los circuitos de sincronización de impulsos.
	1		$tn.6$	$(A'D+D'A)tn.6=R'o$	Por los circuitos lógicos 295 y 296, bloque 290 (figura 6)
2270	2	C1	$t23$	$C1 \times t23 = C2$	
	3	C2	$t23.7$	$C2 \times t23.7 \times R'o = R'o$	Por los circuitos lógicos 219 y 221, bloque 210 (figura 6)
	4	C2	$t24, t25$	$C2 \times t24 \times R'o$	Ver programas IVb-6 y IVb-7 (cuadro I). Fijación en el descodificador 341-1 del código del enlace p-1 sobre el que se va a efectuar la corrección del error.
2275	5	C2	$t2$	$C2 \times t2 = C3$	
	6	C3			Entre las operaciones II.5 y II.7 se inicia un programa III de sincronización de las vías. Su resultado no se utiliza.
2280					



	7	C3	V25	$V25 \times R'0$	Ejecución del mando avance-retardo (apertura de las puertas 224 ó 225, bl bloque 280 (figura 6) y cambio de in- formación de posición actual.
2285	8	C3	V1.3	$C3 \times V1.3 \times R'0 = C1$	Ver descripción del reloj local 310 (figura 8)
	9	C1	t23	$C1 \times t23 = C2$	
	10	C2	t23.5	$C2 \times t23.5 \times R'0 = \overline{R0}$	Por el circuito ET 218, bloque 210 (figura 6)
2290	11	C2	t23.7	$C2 \times t23.7 \times \overline{R0} = \overline{R'0}$	Por los circuitos ET 219 y 220, bloque 210 (figura 6)
	12	C2	t24	$t(n+2) \times \overline{R0}$	Ver programa I (cuadro IV) y IVa.2 (cuadro I).

La operación II-6 que corresponde al tiempo puesto para pa-
2295 sar de la hora central t2 al tiempo V25 definido por la posición del con-
tador de pesos de la memoria 160 es un principio del programa III, cuyo
resultado no se utiliza (ulteriormente se estudiará dicho programa II).

Cuando se hace la corrección de error en III-7, se pasa al
tiempo C1 en V1.3 (II-8) y a C2 en t-23 (II-9).

2300 En el tiempo t23.5, el circuito ET 218 se hace pasante y R0
pasa al estado 0 (II-10). En el tiempo t23-7, los circuitos ET 219 y 220
se hacen pasantes y R'0 pasa al estado cero (II-11). Finalmente en el
tiempo t24, que corresponde al tiempo t (n+2) para n = 22 se hace la ope-
ración IVa - 2 del programa IV (cuadro I) que permite seleccionar el có-
2305 digo del enlace siguiente para la ejecución de un programa I.

Además, en II-7, la condición V25 x R'0, aplicada al circui-
to ET 227, permite la elaboración de una señal 40 que, a través del cir-
cuito CU 299 hace pasantes los circuitos ET 286, permitiendo la transfe-
rencia; al circuito 150 de la nueva información de posición actual A ó D.
2310 Se señalará que en ese momento se encuentra en condición $\overline{R0}$ en tanto que

./..

322736



la transferencia, cuando no había corrección de error, era gobernada por la condición Ro como se ha visto precedentemente.

2315 A continuación se va a estudiar de forma global el desarrollo del programa III que rige la verificación y la corrección de la sincronización de las vías.

Se ha visto al estudiar la figura 2 que se hacía en permanencia un programa III en permanencia excepto cuando debía hacerse el programa II

Cuadro VII

	1	2	3	4	5
2320					Programa IIIa.- Verificación del código de sincronización. Condición $\overline{R^0}$, 3 coincidencias sucesivas.
2325	1	C2	VI	$\overline{S1}, \overline{S1}, 0''$	Puesta a 0 de las básculas 251 y 252 del bloque 250 (figura 8) Puesta en 0'' del registro 261-1 a través de los circuitos CU 260 y 258 (figura 8)
2330	2	C2	t2	$C2xt2=C3$	
	3	C3	V25		Apertura de los circuitos ET 236 y 239 del bloque 230 (figura 7)
	4	C3	V25.1b a V25.8b		Examen, en el comparador de código 240, de las señales de mensaje que ocupan 8 pesos sucesivos.
2335	5	C3	V25.8b	S1	Primera coincidencia: el comparador 240 da una señal en su salida 24 y se tiene la condición
2340					



	6 C3	V1.2	0"xV1.2=1"	S1.	Contador 261 puesto en posición 1"
					(circuito ET 262)
	7 C3	V1.4	$\overline{S1}$		Puesta a cero de la báscula S'1.
2345	8 C3	V1.5	S1xV1.5=S'1		Posicionamiento por el circuito
					ET 253 (bloque 250, figura 8)
	9 C3	V1.6	$\overline{S1}$		Puesta a cero de la báscula S1
	10 C3	V1.7 a V25			No se hace ninguna operación.
	11 C3	V25			Ejecución de IIIa 3-4
2350	12 C3	V25.8b			Ver IIIa-5
	13 C3	V1.2	1"xV1.2=2"		Contador 261 puesto en posición 2"
					después de la segunda coincidencia.
	14 C3	V1.4 a V1.6	S'1, $\overline{S1}$		Ver IIIa 7-8-9.
	15 C3	V1.7 a V25			Ver IIIa-10.
2355	16 C3	V25 a V1.1	S1, S'1		Ejecución de IIIa 3-4-5.
	17 C3	V1.2	2"xV1.2=3"		Contador 261 puesto en posición 3"
					después de la 3ª coincidencia
	18 C3	V1.3	V1.3x3"xS'1xC3=C1		
		C1	V1.4	$\overline{S1}$	Tres coincidencias sucesivas detie-
2360					nen la comparación (circuito ET 315)
	19 C1	t23	C1xt23=C2		
	20 C2				Ver IIIa-1.

2365 Se acaba de ver al estudiar este programa II (cuadro VI) que empezaba a continuación del paso al estado 1 de la báscula 217 (condición R'o) en el tiempo C2 x t23.7.

2370 Además, la operación de verificación del código de sincronización descrito al estudiar el bloque 250 (figura 8) se termina después de la obtención de 3 no coincidencias sucesivas. La duración de la operación es pues como mínimo de tres periodos de repetición, pero como consecuencia de las perturbaciones o de la detección de un grupo de señales

./..

322736

80.-



idénticas al código de sincronización, esta duración puede ser más importante y el contador 261 (figura 8) no fija entonces la posición 3" más que después de una alternancia de coincidencias y no coincidencias.

El programa III se deberá estudiar pues para los casos siguientes:

2375

Programa IIIa representado en el cuadro VII, condición $\overline{R'0}$. 3 coincidencias sucesivas.

Programa IIIb representado en los cuadros VIII y IX, condición $\overline{R'0}$. 3 no coincidencias sucesivas.

2380

Programa IIIc representado en el cuadro X, condición $\overline{R'0}$, alternancia de coincidencias y no coincidencias.

Programa III d representado en el cuadro XI, condición $R'0$.

En todos estos cuadros, las cifras de referencia de las columnas tienen la misma significación que en el cuadro I.

2385

Los programas IIIa, b y c referentes a la condición $\overline{R'0}$ comienzan en el tiempo C2 durante el cual las básculas 251 y 252 están puestas en el estado 0 y el contador de coincidencias 261 está puesto en posición 0".

Cuadro VIII

2390

1	2	3	4	5
---	---	---	---	---

Programa IIIb.- Verificación del código de sincronización. Condición $\overline{R'0}$ 1ª parte: determinación de 3 no coincidencias sucesivas.

2395

1	C2	V1	$\overline{S1}, \overline{S'1}=0''$
---	----	----	-------------------------------------

2	C2	t2	$C2 \times t2 = C3$
---	----	----	---------------------

3	C3	V25	Ver IIIa-3
---	----	-----	------------

4	C3	V25.1b a V25.8b	Ver IIIa-4
---	----	-----------------	------------

2400

5	C3	V25.8b	$\overline{S1}$
---	----	--------	-----------------

Primera no coincidencia: el



comparador 240 no da señal en su salida 24. La báscula 251 permanece en la condición $\overline{S1}$.

	6 C3	V1.2	0"xV1.2=1"	
2405	7 C3	V1.3 a V25	$\overline{S1}$, $\overline{S11}$	No se hace ninguna operación
	8 C3	V25		Ver IIIb 3 y 4.
	9 C3	V25.8b	$\overline{S1}$	
	10 C3	V1.2	1"xV1.2=2"	Segunda no coincidencia
	11 C3	V1.3 a V25	$\overline{S1}$, $\overline{S11}$	Ver IIIb-7
2410	12 C3	V25		Ver IIIb-8
	13 C3	V25.8b	$\overline{S1}$	
	14 C3	V1.2	2"xV1.2=3"	Tercera no coincidencia
	15 C3	V1.3a	V1.3cx3"x $\overline{S11}$ =S3=S4	Para 3 no coincidencias sucesivas las básculas 266 y 267 pasan a las condiciones S3 y S4 (circuito ET 265).
2415				

En primer lugar se va a examinar el programa IIIa.

En el tiempo C2 x t2, se pasa al tiempo C3 (operación 2).

Las operaciones 3, 4 y 5 se han descrito al estudiar el bloque comparador 230 (figura 7) y en V25.8b se tiene la condición S1.

En V1.2 (operación 6), el contador 261 se pone en posición 1". En V1.4 (operación 7), la báscula 252 se pone en condición $\overline{S11}$, si no estaba en ella precedentemente. En V1.5 (operación 8), la báscula 252 se pone en condición S'1 y en V1.6, la báscula 251 se pone en condición $\overline{S1}$.

Durante los tiempos V1.7 a V25, siguientes, (operación 10) no se hace ninguna operación en los circuitos 230 y 250. En el tiempo V25, se inicia una nueva comparación (operación 11 a 14) y en V1.6, se tiene: 2", S'1, S1. En el tiempo V25 siguiente, la tercera comparación (operaciones 16, 17, 18) establece en V1.2 las condiciones S1, S'1, 3".

./..

322736



82.-

En el tiempo V1.3 (operación 18) el circuito ET 315 (figura 8) da una señal que hace pasar al tiempo C1, lo que caracteriza el final del programa.

Refiriéndonos al programa IVa (cuadro I), relativo al caso R0 (es decir sin tener que hacer corrección de error de sincronización de impulsos) se ve que en el tiempo C2 x t25 siguiente (operación IVa-4) del programa IV, el selector 341 selecciona el enlace siguiente para la ejecución de un nuevo programa III.

El programa IIIb, se ha representado en dos cuadros; el cuadro VIII se refiere a la verificación del código de sincronización y la detección de las 3 no coincidencias y el cuadro IX a la búsqueda libre d del código de sincronización.

Cuadro IX

	1	2	3	4	5
2445					Programa IIIb.- Segunda parte: Búsqueda libre del código de sincronización
	15	C3	V1.3o	V1.3ox3"xS ¹¹ =S3=S4	Relación de la operación 15 cuadro VIII.
2450				S3	Una señal presente en la entrada 26 del circuito CU 231, desengancha la búsqueda libre del código de sincronización
2455	16		V1.3d		Una señal presente en la entrada 26 del contador de pesos 211 (figura 5) bloquea este en la posición 3.
2460	17		V1.4		Una señal presente en la entrada 42r del circuito



			CU 226 bloquea el contador de pesos 161 desde que alcanza la posición V'1.4'.
18			Búsqueda libre durante por lo menos la duración de un periodo de repetición.
2465			
	19 C3 (V'25.8b)	S1	Cuando el comparador de código da una señal en su salida 24 se encuentra virtualmente en el tiempo V25.8b.
2470			
	20 C3 (V'25.8c)	S1x0=S3	Por el circuito ET 272, figura 8, que se hace pasante. La señal 26 se suprime y el contador 210 se desbloquea (ver figura 16)
2475			
	21 C3 (V'1.2a)	S4x5xS3=0''=S7	Por el circuito ET 269 que se hace pasante.
	22 C3 (V'1.3c)	S3x0x6xS4	Por el circuito ET 268 que se hace pasante. La señal 42r se suprime y el contador 161 se desbloquea (figura 16)
2480			
	23 C3 (V'2.1a)		Los contadores 211 y 161 están sincronizados (ver figura 16).
	24 C3 (V'2.1b) a (V'25.1)		No se hace ninguna operación.
2485	25 C3 V'25.1b=V25		Ver IIIa.3, IIIb.3, IIIc.3

Las operaciones 1, 2, 3 y 4 de este programa son las mismas que las del programa IIIa.

En V25.8b, se tiene la condición $\overline{S7}$ (operación 5) y en V1.2, el contador 261 pasa a la posición 1" (operación 6). Entre los tiempos 2490 V1.3 y V25 se tienen las condiciones $\overline{S7}$ y $\overline{S7}$ y no se ejecuta ninguna

./..

322736



84.-

operación (operación 7). Las operaciones 8 a 11 representan la segunda no coincidencia y las operaciones 12 a 14, la tercera. En el tiempo V1.3c se tiene la condición $\overline{S7}$, el circuito ET 265 se hace pasante y las básculas 266 y 267 pasan a la condición S3 y S4.

2495 Como se ha visto precedentemente, al estudiar el circuito 210, (figura 5), los contadores de momentos 161 y 211 se bloquean y se inicia una búsqueda libre de sincronización (operaciones 16, 17 y 18). Estando bloqueado el contador 211, en posición 3, están siempre presentes las señales V25 y V1.

2500 Cuando el comparador de código da una señal en su salida 24 estableciendo la condición S1 (operación 19), esto significa que se encuentra en el tiempo (V'25.8'b) del enlace, tiempo caracterizado por los paréntesis. (Véase el cuadro X)

2505 Durante las operaciones 20, 21, 22, 23, los contadores de peso están desbloqueados y resincronizados como se ha descrito precedentemente. Del tiempo (V'2.1b) al tiempo (V'25.1'b), no se hace ninguna operación. En el tiempo V'25.1'b), el reloj local 310 elabora el tiempo V25 que permite hacer la verificación de la posición de código de sincronización que acaba de determinarse.

2510 Se ve pues que:

La verificación de un código de sincronización ocupa en el mejor de los casos tres períodos de repetición, es decir, cuando no se detectan alternancias de coincidencias y de no coincidencias.

2515 Si no hay perturbación en la transmisión, la búsqueda libre del código ocupa, al máximo, un período de repetición para detectar el código más un período de repetición para volver a poner en marcha los contadores del circuito de tiempo 320, a 323 del reloj 310 (figura 8).



Cuadro X

	1	2	3	4	5
2520					Programa IIIc.- Verificación del código de sincronización. Condición $\overline{R\overline{10}}$. Alternancia de coincidencias y no coincidencias.
	1	C2		$\overline{S1}, \overline{S11}, 0''$	
2525	2	C2	t2	$C2xt2=C3$	
	3	C3	V25		Ver IIIa-3.
	4	C3	V25.1b a V25.8b		Ver IIIa-4.
	5	C3	V25.8b	S1	Una coincidencia. Ver IIIa-5.
	6		V1.1a a V1.6	$1'', \overline{S11}, \overline{S1}$	Ver IIIa-6 a 10
2530	7		V1.7 a V25		No se hace ninguna operación.
	8		V25.1b a V25.8b		Ver IIIa-4.
	9		V25.8b	$\overline{S1}$	Una no coincidencia. Ver IIIb.5.
	10		V1.1a	$\overline{S11}x\overline{S1}=0''$	Puesta a cero del contador 261 por los circuitos lógicos 255 a 258 (bloque 250, figura 8).
2535	11		V1.2	$1''$	Ver IIIb-6.
	12		V1.3 a V25	$\overline{S1}, \overline{S11}$	Ver IIIa-9-10.
	13				Para las verificaciones siguientes, programa IIIa o IIIb según que el resultado sea una coincidencia o una no coincidencia.
2540					

Luego, después de un retraso de por lo menos dos períodos de repetición después del principio de la iniciación de la búsqueda libre, consecutiva a una mala sincronización, la memoria de palabra registra las informaciones recibidas. El registro es correcto si la verificación que sigue detecta 3 coincidencias; si no el proceso vuelve a comenzar.

En el programa IIIc, las operaciones 1 a 7 son las mismas que

./..

322736

86.-



las operaciones 1 a 10 del programa IIIa puesto que se refieren a una coincidencia.

2550 En el período de repetición siguiente (operaciones 8 y 9), se detecta una no coincidencia caracterizada por la condición $\overline{S1}$. En el tiempo V1.1a (operación 10), la condición $S'1 \times \overline{S1}$ hace que el contador 261 se ponga en la posición 0".

2555 En V1.2, el contador 261 está en posición 1" (operación 11) lo que equivale a las operaciones IIIb-6 y IIIb-7. Simultáneamente se tienen las condiciones $\overline{S'1}$ y 1" que caracterizan una no coincidencia. La operación vuelve a comenzar así según los programas IIIa o IIIb hasta que el contador 261 llega a la posición 3". (Ver cuadro XI)

2560 Finalmente se va a estudiar el programa IIIId relativo a la condición R'o. Las operaciones 1 a 5 se refieren a operaciones ya descritas en los programas I, II, III y IV. En el tiempo C2 x t25 (operación 4), se tienen las condiciones S1, S'1, 0", R'o y el código del enlace p sobre el que se debe ejecutar un programa II está fijado en el selector 341. En el tiempo t2 siguiente, se está en el tiempo C3. El tiempo V25 de ejecución de correcciones, al venir antes que el tiempo V1 y estando condicionada su elaboración por la presencia del tiempo C3, será siempre la primera señal que aparecerá en el tiempo C3 (operación 6). En el tiempo V25, (operación 7), se corrige el error por el programa II y se hace una verificación de código de sincronización. En el tiempo V25.8b (operación 8), 2570 este da una de las condiciones S1 o $\overline{S1}$ y en el tiempo V1.2 (operación 9), el contador 261 está en posición 1". En el tiempo V1.3 (operación 10), se vuelve al tiempo C1, después al tiempo C2 en el curso del cual se establecen las condiciones $\overline{S1}$, $\overline{S'1}$, 0" (operaciones 11 y 12) de forma que el resultado de esta verificación de código de sincronización no se utiliza.

2575

Cuadro XI

1 2 3 4 5

Programa IIIId.- Condición R'o

./..



	1	tn.6	(A'D+D'A)xtn.S=Ro	Ver I-7 y II-1
	2	C1 t23	C1xt23=C2	Ver IIIa-2 ó IIIb-2 ó IIIc-2.
2580			$\bar{S}\bar{1}$, $\bar{S}\bar{1}\bar{1}$, 0"	
	3	C2 t23.7	C2xt23.7xRo=R'o	Ver II-3.
	4	C2 T24, t25		Ver II-4, IVb-6, IVb-7. Fijación en el registro 341-1 del código del enlace p sobre el que se va a hacer la corrección del error
2585				
	5	C2 t2	C2xt2=C3	
	6	C3 V'25.1'b		Principio del tiempo V25.
	7	C3 V25		Ejecución de la corrección del error. Ver II.7
2590				Verificación del código de sincronización. Ver, por ejemplo, IIIa-4.
	8	C3 V25.8b	S1 ó $\bar{S}\bar{1}$	Ver IIIa-5 (cuadro VII) ó IIIb-5 (cuadro VIII)
	9	C3 V1.2	0"xV1.2=1"	Ver IIIa-6 (cuadro VII) ó IIIb-6 (cuadro VIII)
2595				
	10	C3 V1.3	R"oxV1.3xC3=C1	Ver II-8 (cuadro VI)
	11	C1 t23	C1xt23=C2	
	12	C2	$\bar{S}\bar{1}$, $\bar{S}\bar{1}\bar{1}$, 0"	

2600 Los circuitos de sincronización que acaban de describirse evitan toda pérdida de información, al registrar las señales de mensaje en la memoria de palabra 160 (figuras 4 y 5). Sin embargo, se va a ver en el estudio que sigue que se pueden producir pérdidas de información en la lectura de la memoria, pero que éstas están repartidas de forma tal que los errores se reducen al mínimo.

2605 La fluctuación lenta de la posición en el tiempo de las señales de mensaje con relación a la hora central corresponde a un defasaje, función del tiempo y en relación con la figura 3, se ha estudiado

322736

88.-



de acuerdo con este punto de vista. Así se la puede considerar como una
diferencia entre la frecuencia de repetición media F_e de las señales de
2610 mensaje recibidas a la entrada de la central y la frecuencia F_c de las
señales de los momentos ($t_{1.1}$ a $t_{25.8}$) elaboradas en la central si se
supone, por comodidad de exposición que cada momento con la hora enlace
lleva una señal de mensaje.

Se recordará que cuando no se ejecuta ninguna corrección, el
2615 contador de momentos de la memoria de palabra avanza una posición en ca-
da tiempo c de la central.

La expresión $f = |F_e - F_c|$ (1) que representa la frecuencia
de batido entre las dos escalas de tiempo significa que durante un se-
gundo se han recibido f señales de mensaje en más o en menos que momentos
2620 han sido elaborados por el reloj 310 (figura 8) según, respectivamente,
que se tenga $F_e > F_c$ ó $F_e < F_c$.

Si se llama γ la frecuencia de aparición del código de sin-
cronización ($\gamma = 10 \text{ KHz}$) se supondrá que $f < \gamma$, lo que significa, como
se ha expuesto al principio de la descripción, que la frecuencia de ba-
2625 tido debida a la fluctuación lenta es muy pequeña. De hecho, como depen-
de principalmente de la temperatura (acción sobre los relojes y sobre la
transmisión) y de la diferencia de frecuencia entre los relojes, su va-
riación es lenta y no cambia de signo más que muy raramente. En otros
términos, las correcciones se harán en el mismo sentido (avance o retar-
2630 do) durante lapsos de tiempo muy largos: Así se podrá ver, por ejemplo,
varios centenares de operaciones de avance, sucesivas sobre un enlace
dado.

Se ha visto, al estudiar los circuitos de sincronización, que
la pérdida de información que podía ocasionar el batido en el registro,
2635 se refería al tiempo de paso de la vía de sincronización que no está re-
gistrada en la memoria de palabra y que las señales de mensaje de las
vías W1 a W24 se registraban en la dirección exacta que tenían asignada.

./..



Sin embargo, esta operación se hace a costa de una modificación de la cadencia de avance del contador de momentos de la memoria de palabra, cadencia que se hace $F'c = Fc \pm f$; correspondiendo el signo "+" a la ejecución de una operación de avance y el signo "-" a la ejecución de una operación de retardo. Se puede decir que $F'c$ es la frecuencia media de la central en el registro.

Se ha visto, al describir la figura 2, que se ha reservado en la memoria de palabra, los tiempos elementales a y b para el registro y los tiempos elementales c y d para la lectura. Como el circuito común de conmutación de una central trata las informaciones procedente de n_1 enlaces entrantes, para repartirlas en n_2 enlaces salientes, todas las informaciones sobre las que trabaja deben estar situadas en la misma escala de tiempos y, en consecuencia, los tiempos de lectura deben estar calados sobre la hora central Fc .

Las frecuencias $F'c$ de registro y Fc de lectura son diferentes, por lo que el problema de la diferencia entre la hora enlace y la hora de inscripción en la memoria es en lo que se ha convertido el problema de la diferencia entre la frecuencia de inscripción y la frecuencia de lectura.

Durante el tiempo reservado a la lectura en la memoria de palabra, se extraen las informaciones referentes a una vía y que están situadas en una columna dada. La elección de esta columna está determinado por las informaciones elaboradas en un circuito de redistribución de los enlaces como el que se describe en la patente francesa nº 1.212.984, titulada "Sistemas de conmutación entre vías de comunicación multiplex".

Esto significa que la lectura de una señal W7.1, por ejemplo, puede tener lugar en un tiempo de la central cualquiera, con relación al tiempo de la central en el que se inscribe dicha señal en la memoria.

Se admitirá, que durante el periodo considerado, el tiempo de lectura de la vía examinada no es modificado por una operación de re-

322736

90.-



disposición.

2670 Se considerarán además, dos tipos de ejecución diferentes, de la memoria de palabra 160. En el primer tipo cuando la cifra 1 se inscribe en uno de sus elementos unitarios, la inscripción de una nueva cifra 1 ó 0 no modifica el estado y cuando está allí inscrita la cifra 0, la inscripción de una nueva cifra 1 la hace pasar al estado 1, es decir que perturba la información que estaba allí contenida. En consecuencia se
2675 pondrá que en una memoria de este tipo, el contenido de una columna se perturba totalmente si se hace allí un registro antes de la lectura de la información que estaba precedentemente registrada.

En el segundo tipo la inscripción de una cifra en un elemento unitario borra la información que estaba allí inscrita para sustituirla por la nueva de forma que la nueva cifra es exacta.
2680

A título de ejemplo se considerará la cuarta señal de mensaje de la vía 13 referenciada W13.4j; indicando j el período de repetición sobre el enlace.

Como se ha explicado en relación con la descripción del circuito de puesta en hora, la señal W13.4.j está siempre almacenada en la casilla V'13.4' de la memoria, que tiene asignada o en otros términos los contadores 166 y 161 de la memoria 160 (figuras 4 y 5) marcan respectivamente la columna 13 y la línea 4 cuando la señal de mensaje W13.4 está aplicada a la memoria para ser registrada allí. Esto se obtiene con el
2685 juego de los circuitos de avance y de retardo.
2690

Si debe hacerse una orden de avance entre el registro de la señal W13.4.j y el registro de la señal W13.4 (j+1), se aprovecha el tiempo durante el que se reciben a la entrada de la memoria, las señales de sincronización que no están registradas (contador 166 en posición V'25)
2695 para provocar el paso del contador 161 de la posición 3' a la posición 5'. La señal W13.4 (j+1) se registra así en la casilla de la memoria 161 que tiene asignada 199 momentos después del registro de la señal W13.4.j.

./..



2700 En el caso de una orden de retardo ejecutada entre el registro de la señal W13.4.j y el registro de la señal W13.4 (j+1), se bloquea durante la recepción de las señales de sincronización el contador 161 en la posición 4' durante dos momentos sucesivos de forma que la señal W13.4 (j+1) se registra 201 momentos después de la señal W13.4.j.

La lectura de la casilla de la memoria V'13.4' asignada a la señal W13.4.j se hace regularmente cada 200 momentos.

2705 El intervalo de tiempo que hay entre el registro de una señal y su lectura puede estar comprendido entre 0 y 200 momentos; lo mismo ocurre para las siete señales de un mensaje tales que W13.1.j a W13.7.j.

2710 Los intervalos de tiempo que separan dos lecturas sucesivas en una misma casilla de la memoria son constantes y los intervalos de tiempo que separan dos registros sucesivos en la misma casilla, de señales tales que W13.4.j y W13.4 (j+1) son disminuidos o aumentados un momento respectivamente cuando se efectúa una operación de avance o de retardo comprendiéndose que se pierde una señal en dos casos:

2715 Cuando el registro de la señal (W13.4.j por ejemplo) se hace en el tiempo elemental b del momento t (referido a la hora central) y que se lee inmediatamente después, es decir en el tiempo elemental d, t-d si interviene una operación de retardo (cuando los descodificadores 166 y 161 fijan respectivamente las posiciones V'25 y 3''), la señal W13.4 (j+1) se registra en el tiempo (t+20)-a; o la casilla correspondiente de la memoria ha sido leída en el tiempo (t+200d) en tanto que su contenido se había borrado en la operación de lectura precedente en el tiempo t-d. Entonces se lee un 0. Cuando el registro de la señal (W13.4.j, por ejemplo) se hace en el tiempo t-b y se lee en el tiempo (t+199)-d, si interviene una operación de adelanto (descodificadores 166 y 161 respectivamente en posiciones V'25 y 4') la señal W13.4 (j+1) se registra en el tiempo (t+199)-b leyéndose la casilla correspondiente en el tiempo (t+199)-d. En este caso se hacen los dos registros en un mismo compartimiento antes de la lec-

322736



92.-

tura en (t+199)d y se lee una señal errónea salvo en casos particulares de pares de señales W13.4.j, W13.4 (j+1) a saber 00 y 01.

2730 De forma general, una operación de avance aumenta en un momento el tiempo que transcurre entre el registro y la lectura de una señal en un caso dado y una operación de retardo la disminuye en un momento. Cuando se hace sucesivamente un gran número de correcciones idénticas (avance o retardo), cada vía está pues perturbada cada 200 correcciones y en este caso las siete señales de la vía están perturbadas y se pierde el mensaje.

2740 En ciertos sistemas conocidos de sincronización de impulsos, se perdería una señal en 7 mensajes en sucesión temporal. Se vé pues que se tienen 7 veces menos errores en el dispositivo objeto del invento. Si por ejemplo, la fluctuación lenta corresponde a una diferencia de 10^{-5} entre la hora enlace y la hora central, para $F_e \approx F_c \approx 2 \times 10^6$ Hz, se tiene $f = 20$ Hz, es decir 20 correcciones de error por segundo. Como para perder un código hacen falta una media de 200 correcciones sucesivas esta pérdida ocurrirá cada 10 segundos. Como se transmiten 10^4 códigos, relativos a una vía dada, por segundo se tendrá, en esta vía un código perdido cada 10^5 lo cual es muy poco.

2750 La presente descripción se ha dado a título de ejemplo no limitativo de una forma preferida de realización del invento y las modificaciones en el agrupamiento la denominación o el número de circuito no alteran el alcance del invento.

----- N O T A -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de diez años son los siguientes:

2755 1 - Un sistema de sincronización para sistemas de telecomunicación de transmisión por impulsos caracterizado en éste porque permite la inscripción de las señales de los mensajes transmitidos por un enlace multiplex de división en el tiempo asociado a una central conmutadora



múltiplex codificada, en una memoria de datos asociada a dicho enlace teniendo que hacerse esta inscripción sin ninguna pérdida de las señales de información cualquiera que sea la amplitud de las fluctuaciones lentas sufridas por las señales.

2760

2 - Un sistema de sincronización para sistemas de telecomunicación de transmisión por impulsos caracterizado en éste porque se puede aumentar al máximo la amplitud admisible de fluctuaciones rápidas sin que haya pérdida de información.

2765

3 - Un sistema de sincronización para sistemas de telecomunicación de transmisión por impulsos caracterizado porque se reducen al mínimo las pérdidas de informaciones al hacer la lectura en la memoria de palabra estando provocadas estas pérdidas por el hecho de que la hora enlace es diferente de la hora central.

2770

4 - Un sistema de sincronización para sistemas de telecomunicación de transmisión por impulsos caracterizado porque cada enlace está conectado de manera cíclica a un circuito común de sincronización, elaborándose, cada vez que se establece esta conexión, en un circuito común, una señal de referencia a partir de las señales de mensaje recibidas por dicho enlace que caracteriza la hora de enlace que presenta una relación de fase constante con la posición media teórica de las señales de mensaje, y porque una información de posición actual de la señal de referencia respecto a la hora central se obtiene midiendo la posición en el tiempo de esta señal en el interior de un intervalo de tiempo de momento de la hora central, poniéndose dicha información en la memoria en el circuito de enlace, que representa una información de posición anterior y porque cuando la diferencia de información de posición actual medida en este ciclo, permite poner en evidencia en magnitud y signo la variación del defasaje entre los dos ciclos de medida, de las señales de mensaje con relación a la escala de los tiempos de la hora central.

2775

2780

2785

5 - Un sistema de sincronización para sistemas de telecomu-

322736



94.-

2790 nicación de transmisión por impulsos caracterizado porque deben inscri-
birse las señales de mensaje en sucesión temporal en una memoria de datos
establecida en forma matricial, dispuesta dicha memoria en el circuito
de enlace y cuyos emplazamientos se seleccionan por coincidencia de las
2795 señales dadas por un selector de momentos cuyo avance se hace a la hora
central y un selector de vías cuyo avance está sincronizado con el del
selector de momentos, haciéndose la inscripción de una señal de mensaje
en el elemento unitario que le está reservado en una primera fracción de
momento cuya segunda fracción está reservada a la lectura llevándose la
2800 posición en el tiempo de todos las señales de mensaje a dicha primera frac-
ción para lo que un dispositivo situado en el circuito de enlace hace su-
frir a cada señal de mensaje un retardo variable comprendido entre cero
y un momento, siendo dicha duración función de la información de posición
anterior, de forma que un retraso nulo corresponde a una información de
posición actual de referencia y un retardo máximo a una información de po-
sición actual extrema.

6 - Un sistema de sincronización para sistemas de telecomuni-
cación de transmisión por impulsos caracterizado porque cuando se detecta,
2805 en el circuito común citado, por la comparación de las informaciones de
posición anterior y actual que el defasaje alcanza un momento, es decir
cuando se pasa de la información de posición de referencia a la informa-
ción de posición extrema o inversamente, el retardo variable pasa de su
valor mínimo a su valor máximo o inversamente y se actúa sobre el selec-
2810 tor de momentos de la memoria de datos, consistiendo esta acción, en el
primer caso en detener el avance de dicho selector durante un momento, y
en el segundo caso en hacer avanzar este selector dos posiciones durante
un momento haciéndose estas operaciones durante el tiempo de fijación en
los selectores de vías del código de la vía reservada a la sincronización
2815 cuyas informaciones no están inscritas en la memoria de datos de forma
que no se pierde ninguna información.

./..



7 - Un sistema de sincronización para sistemas de telecomu-
nicación de transmisión por impulsos caracterizado porque en el circuito
común mencionado se elabora a partir de la señal de referencia una señal
2820 par y una señal impar cada una de las cuales tiene una duración de un mo-
mento y que aparecen de forma alterna, eligiéndose la posición en el tiem-
po de estas señales de forma que su medio coincida con el medio de la po-
sición media teórica de la señal de mensaje gobernando la inscripción al-
ternada de las señales de mensaje en el primer y segundo elemento unita-
2825 rio de memoria de una memoria intermedia situada en el circuito de enla-
ce, antes del circuito de retardo variable, permitiendo esta operación
admitir señales afectadas por fluctuaciones rápidas cuya amplitud a una
parte y otra de la posición media teórica de la señal es ligeramente in-
ferior a la mitad de la duración de una señal par o impar, estando defi-
2830 nida dicha amplitud como el intervalo de tiempo que separa la posición me-
dia teórica de la señal de la posición en el tiempo del centro de la se-
ñal de mensaje, y porque están exentas de fluctuaciones rápidas las seña-
les extraídas de esta memoria intermedia y porque se aplican a los circui-
tos de retardo variable.

2835 8 - Un sistema de sincronización para sistemas de telecomu-
nicación de transmisión por impulsos caracterizado porque las modifica-
ciones introducidas en el avance de los selectores de dirección de la me-
moria de datos correspondiente a la memoria de datos correspondientes a
realizar la inscripción de las señales de mensaje a la hora enlace y por-
2840 que por leerse los datos a la hora central se producen pérdidas de infor-
mación durante dicha lectura, que están agrupados de forma que si un men-
saje está constituido por p cifras se pierden al mismo tiempo las p ci-
fras de un mensaje en lugar de perder una cifra por mensaje en p mensa-
jes.

2845 9 - Un sistema de sincronización para sistemas de telecomu-
nicación de transmisión por impulsos caracterizado porque para asegurar

322736



96.-

la inscripción correcta de cada señal de mensaje en el elemento unitario de la memoria de datos que tiene asignado, se verifica periódicamente, en el circuito común mencionado, que el código de sincronización es recibido durante el intervalo de tiempo durante el que los selectores de dirección de la memoria de datos fijan el código de esta vía, porque cuando el código de sincronización no se ha detectado durante este intervalo de tiempo se vuelve a empezar dos veces la operación y si se han obtenido tres no coincidencias sucesivas se bloquea el avance de los selectores de dirección y se pone en marcha un dispositivo de búsqueda de código de sincronización, y porque cuando dicho circuito de búsqueda ha detectado una sucesión de cifras idénticas al código buscado se detiene su operación y se desbloquean los selectores de dirección ya sincronizados sobre la posición de referencia definida por el código de sincronización y porque cuando se detectan tres coincidencias sucesivas se supone que la sincronización es buena.

10 - Un sistema de sincronización para sistemas de telecomunicación de transmisión por impulsos caracterizado porque se dispone de tantos circuitos de enlace como enlaces entrantes y otro circuito común que se conecta de forma cíclica a cada uno de los enlaces de forma que se consigue una considerable reducción de equipo.

11 - Un sistema de sincronización para sistemas de telecomunicación de transmisión por impulsos.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los efectos oportunos.

322736

97.-



Esta memoria consta de noventa y siete hojas escritas por una sólo cara.

MADRID, 8 FEB. 1966



Eugenio Barrosq
EUGENIO BARROSQ
Secretario General



322736

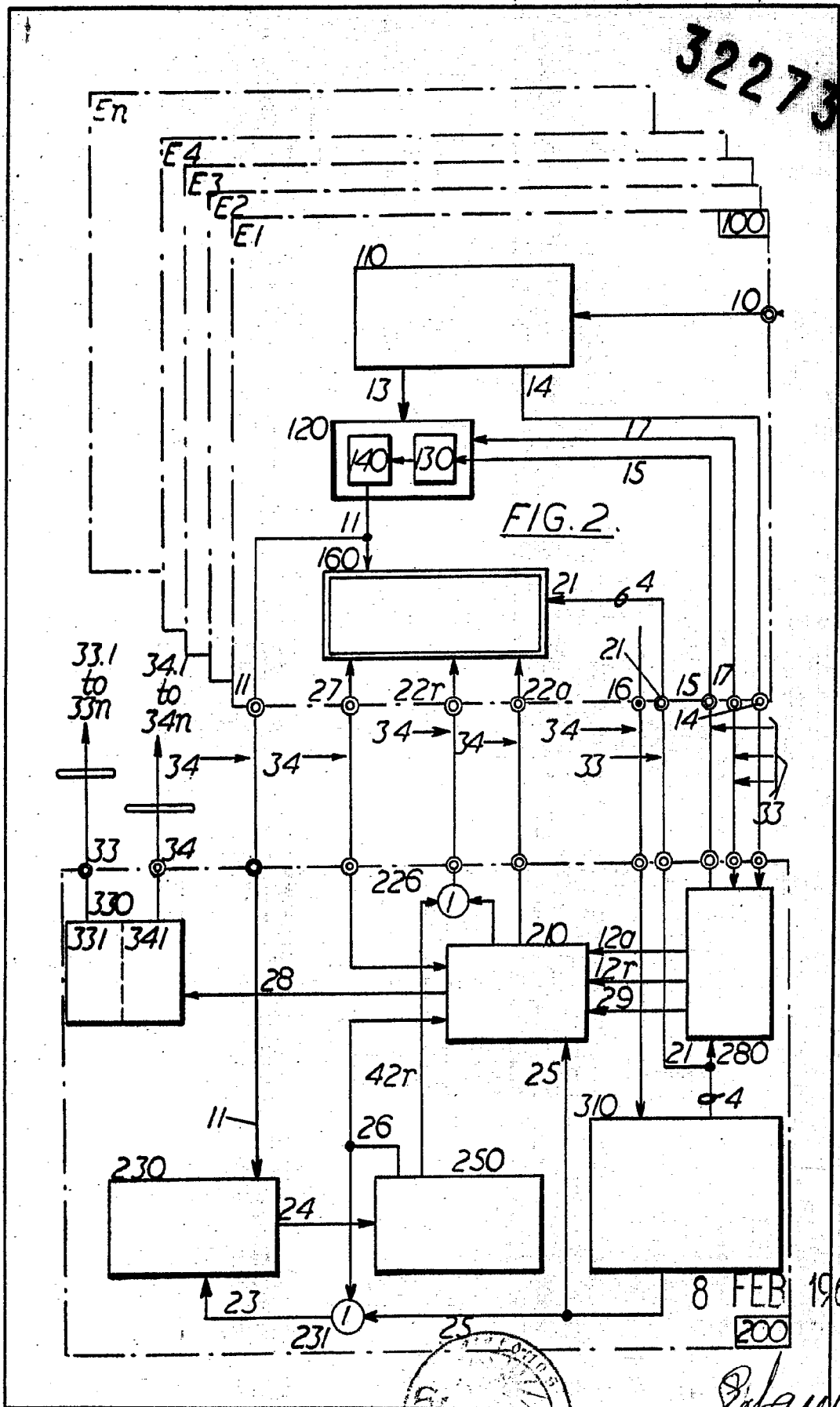
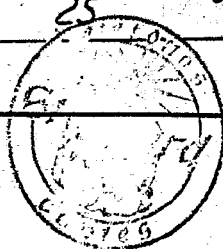


FIG. 2.

8 FEB 1966



Eugenio Barros

EUGENIO BARROS
Secretario General

**POOR
QUALITY**

322735

STANDARD ELECTRIC

13/2

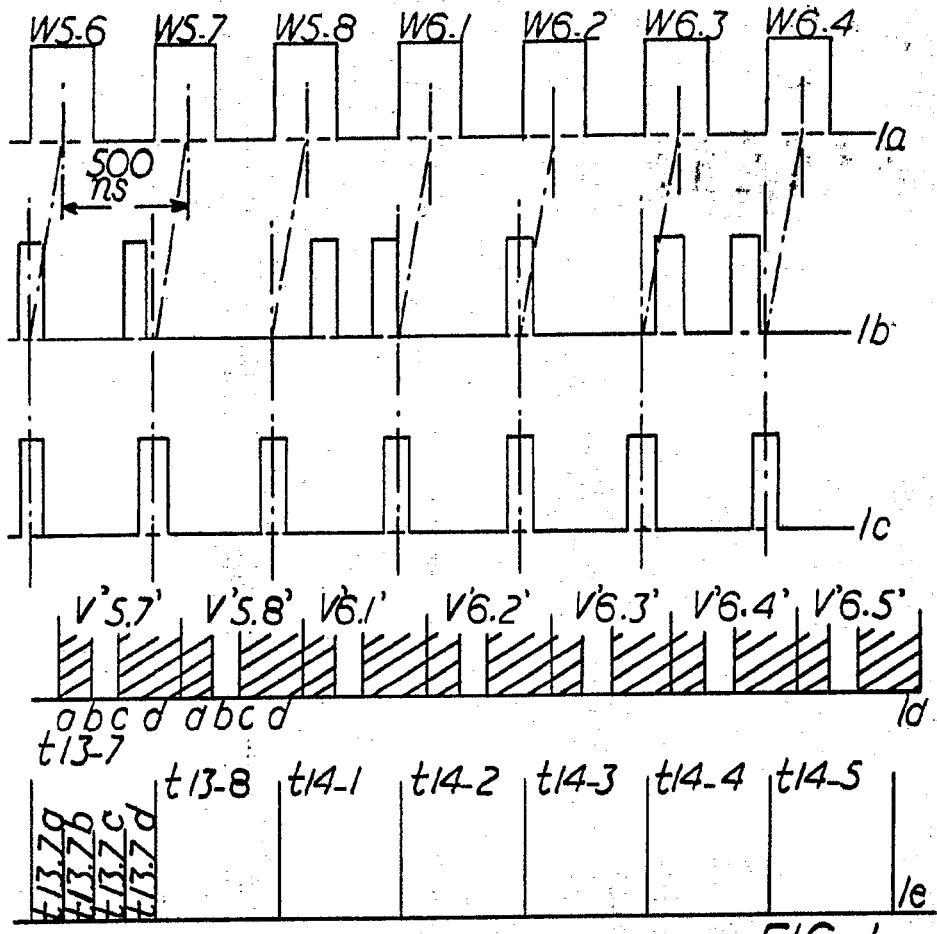


FIG. 1.

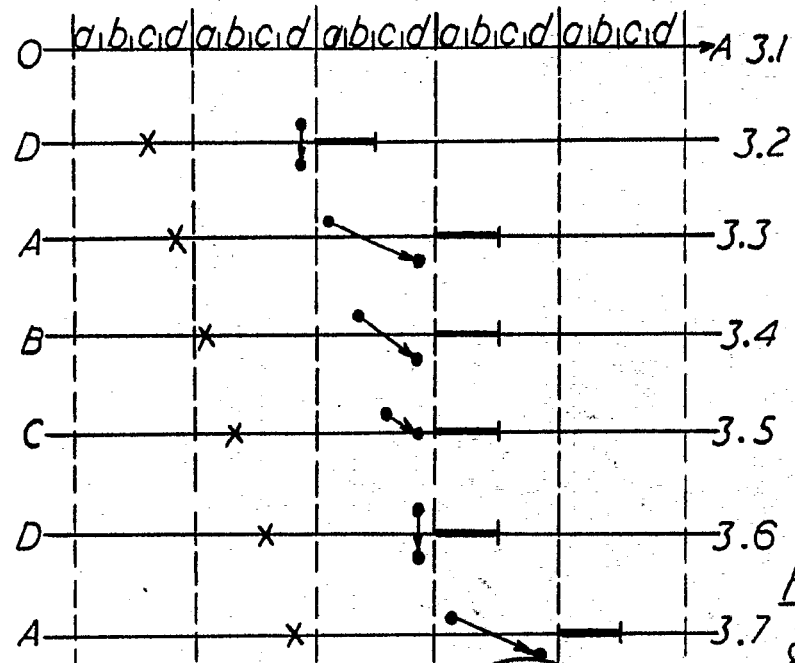


FIG. 3.

8 FEB. 1966



Eugenio Barroso
EUGENIO BARROSO
Secretario General

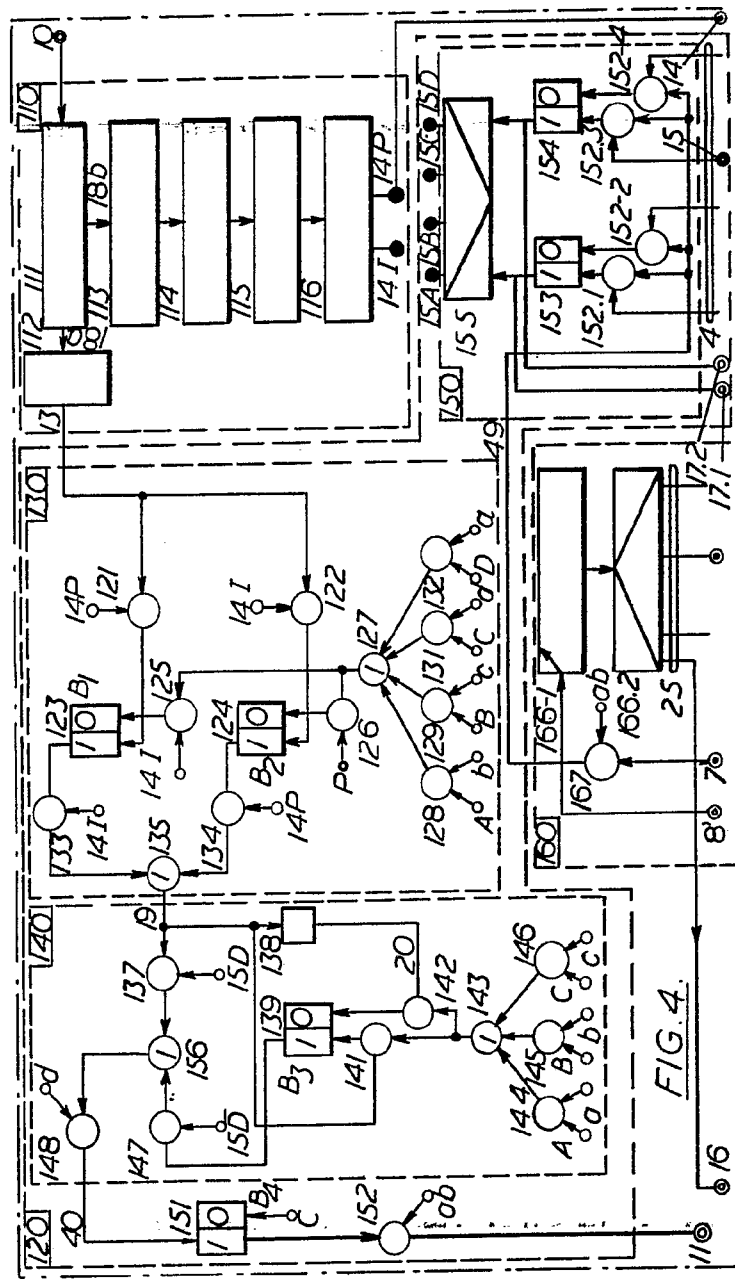
**POOR
QUALITY**



1612

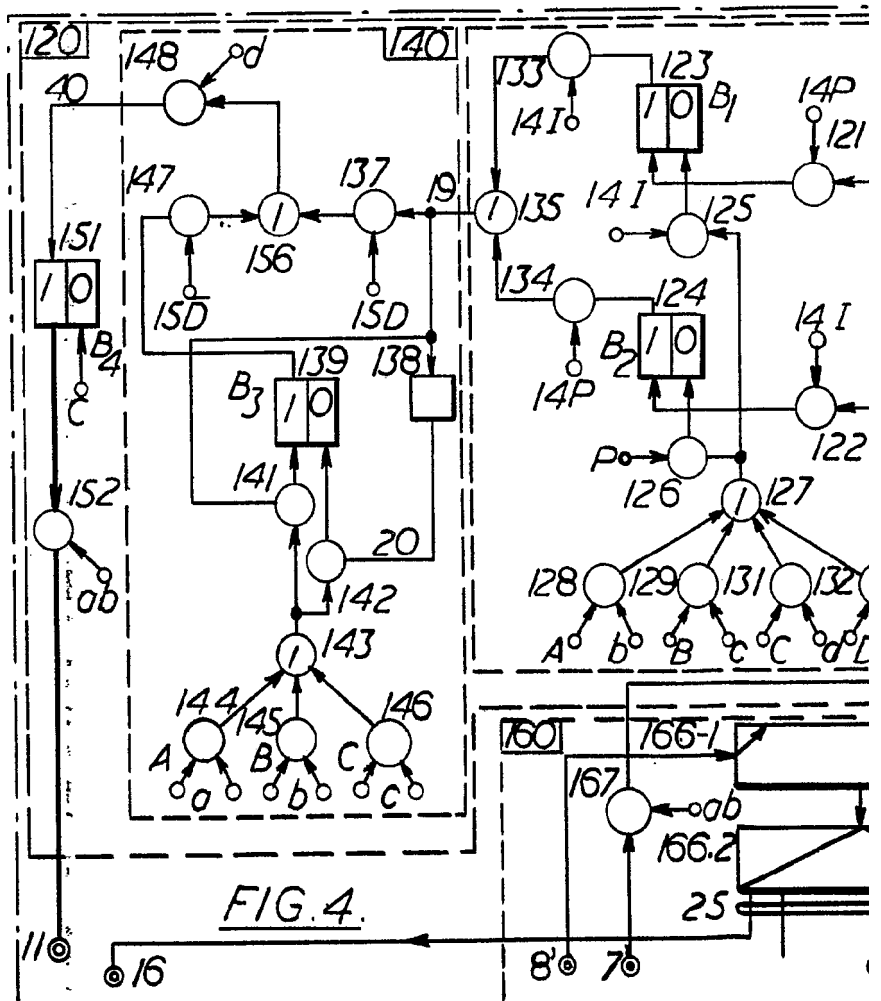
STAND UNIT

322738

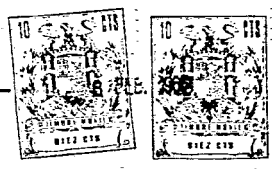


8 FT

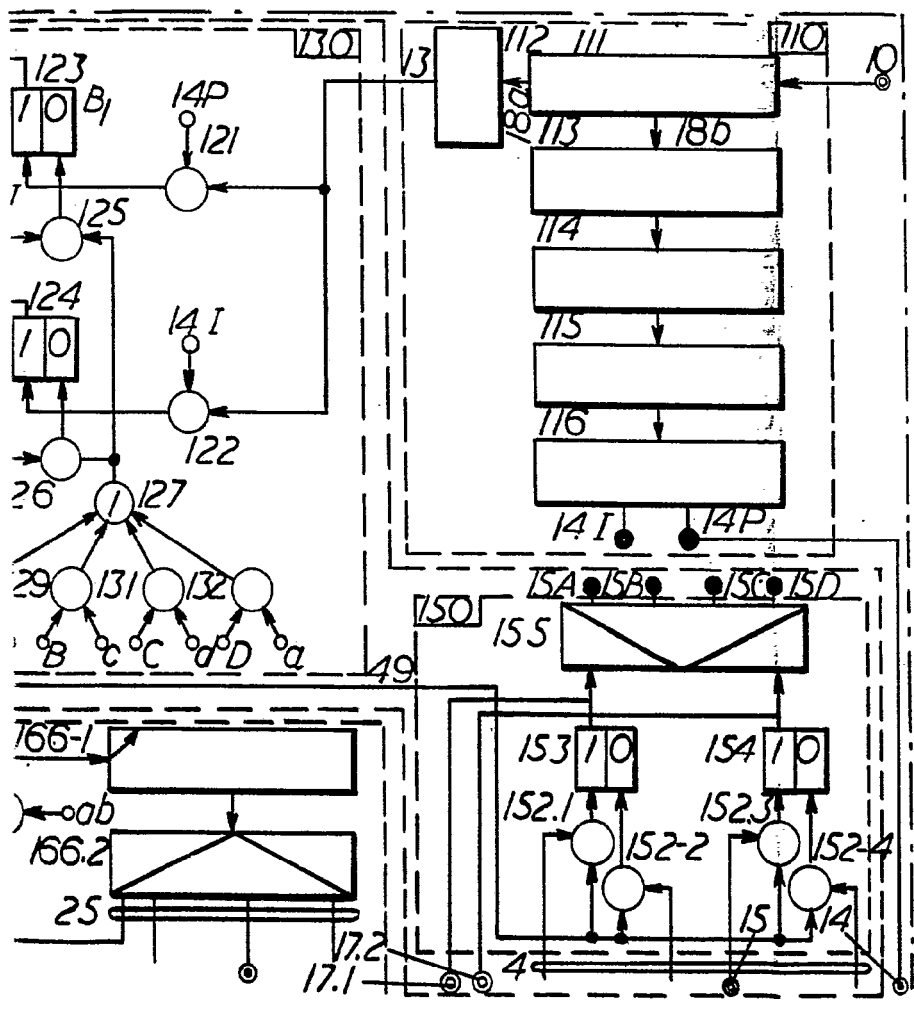
Stewart



15/3



322738

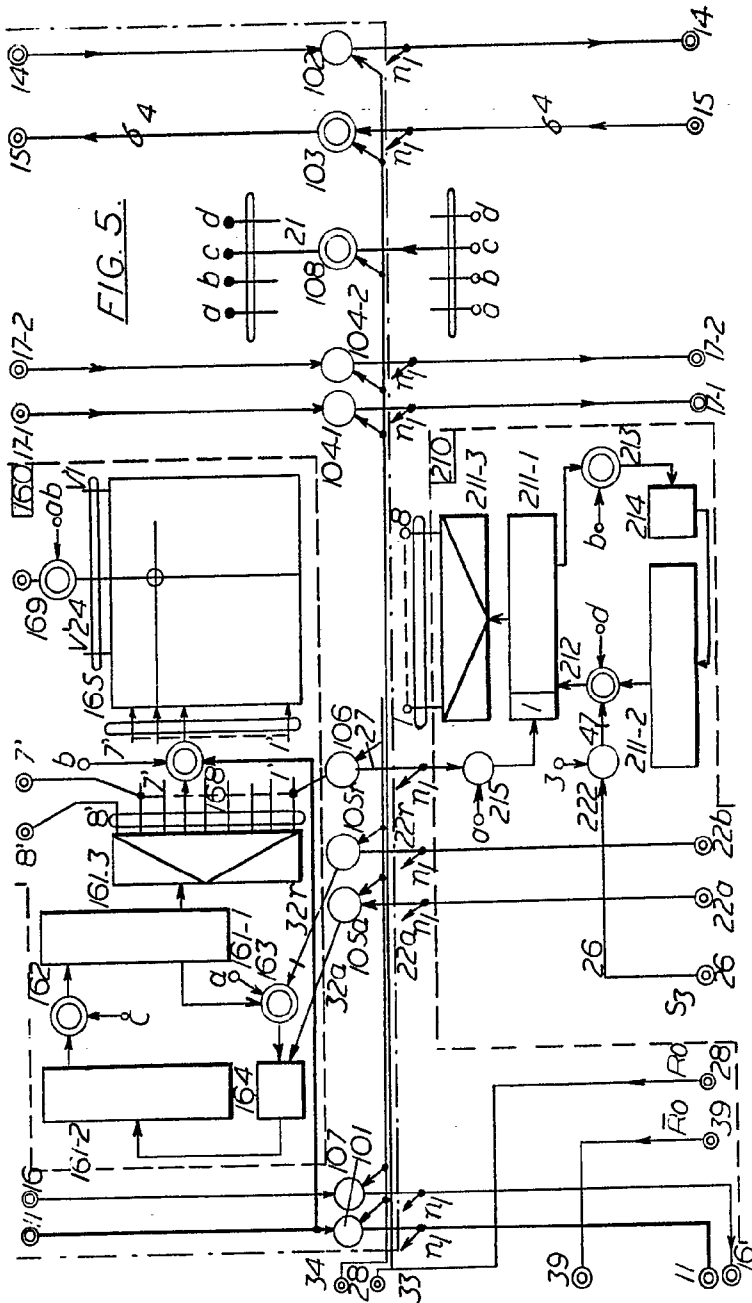


8 FEB 1950

Stamm

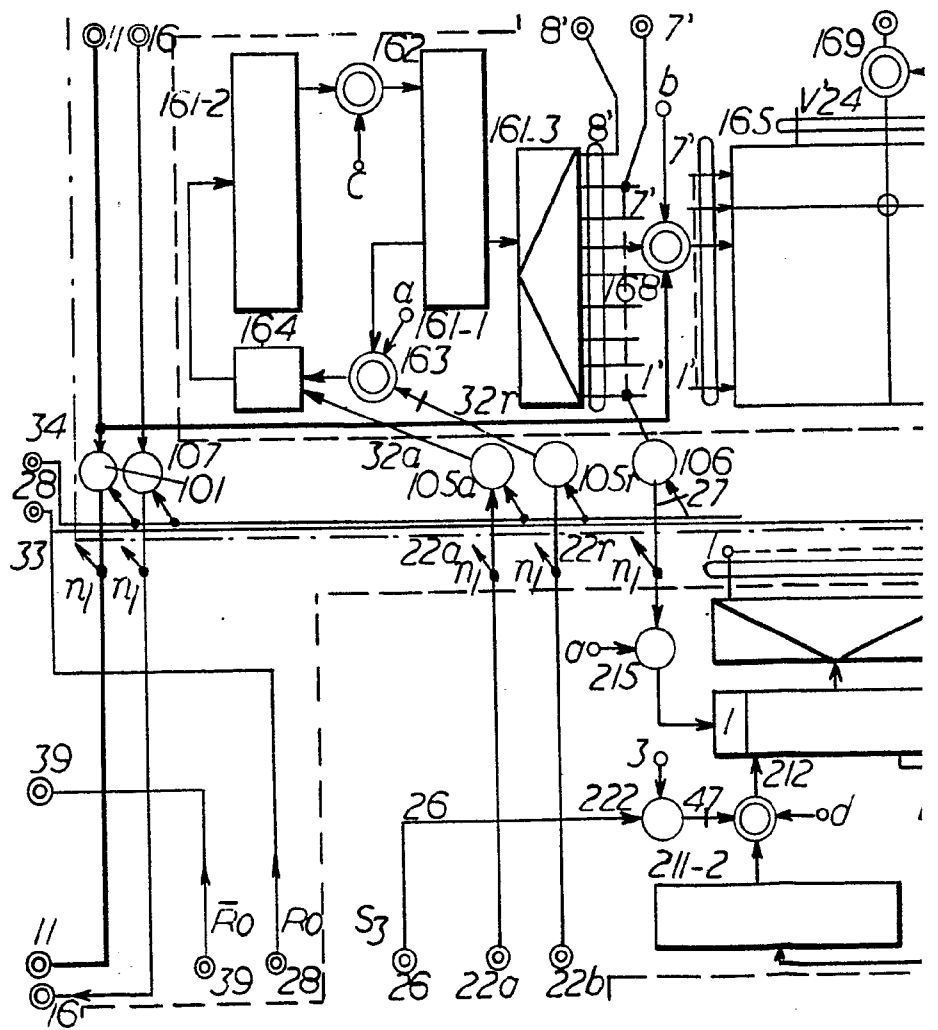


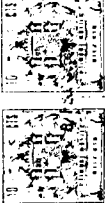
322736



8 115

FIG. 5.





322730

Serial

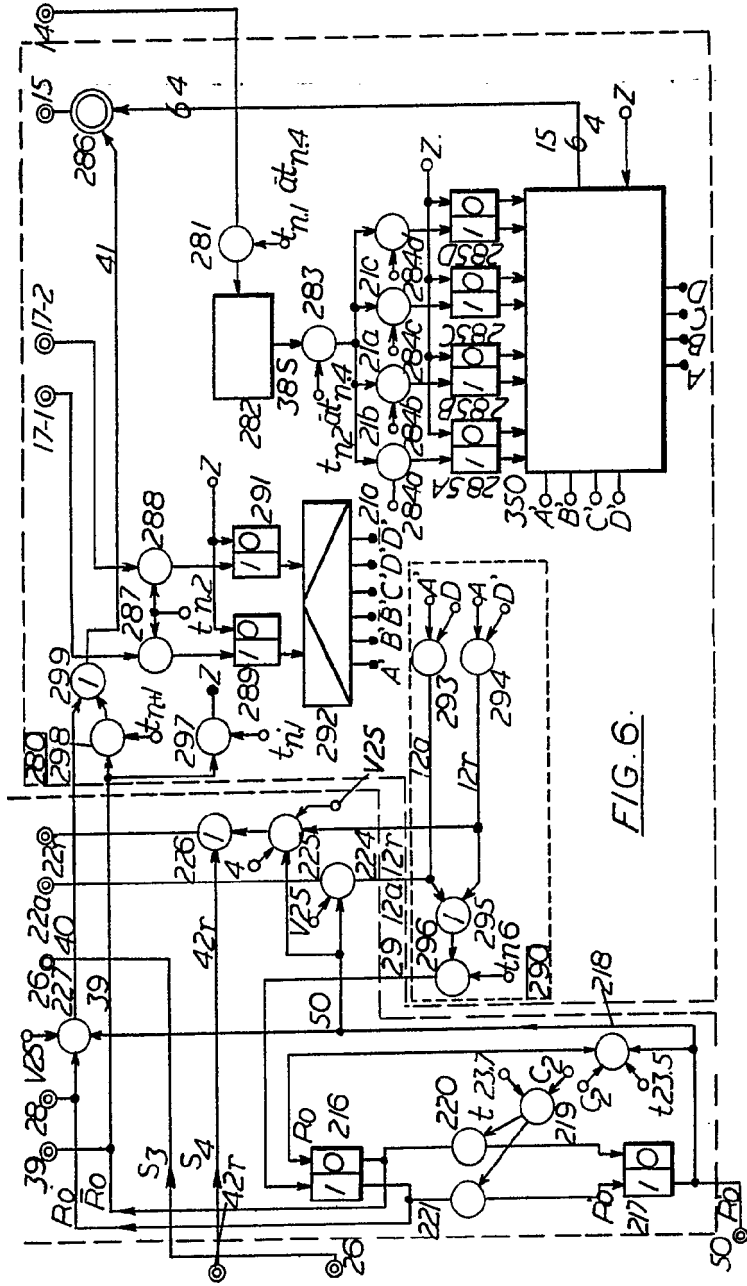


FIG. 6.

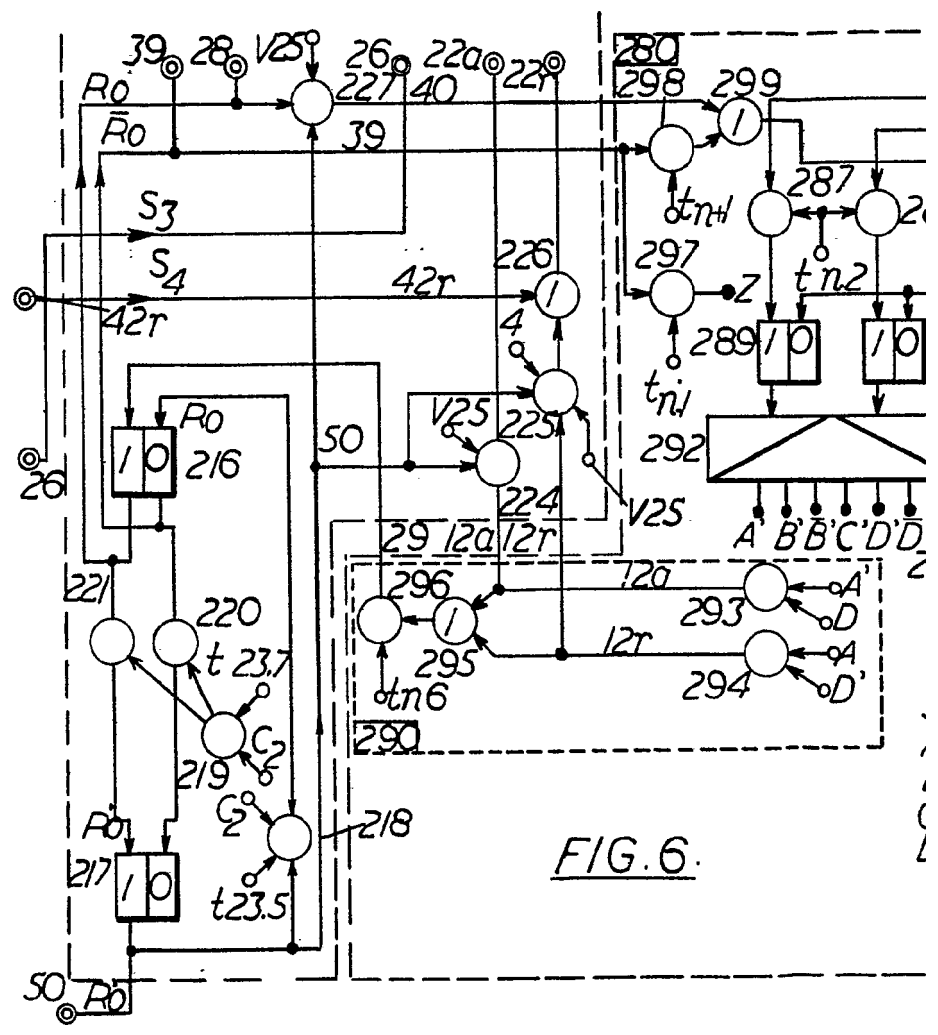
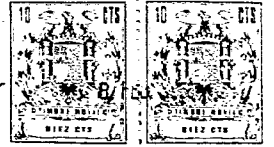
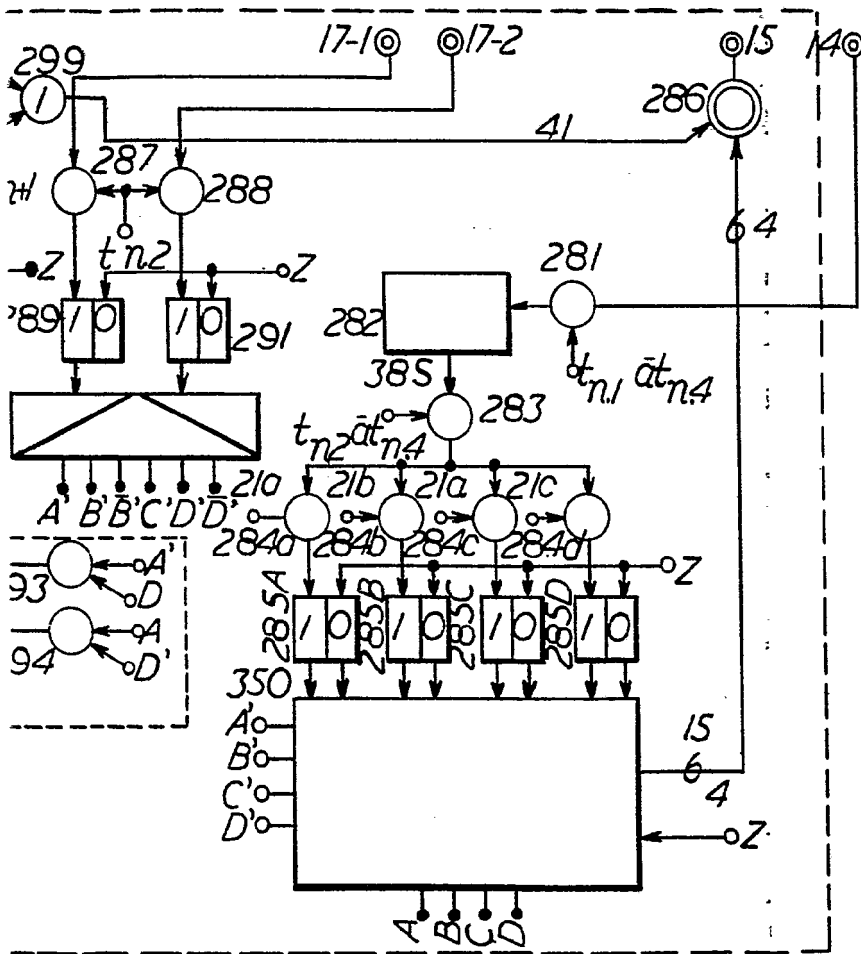


FIG. 6.



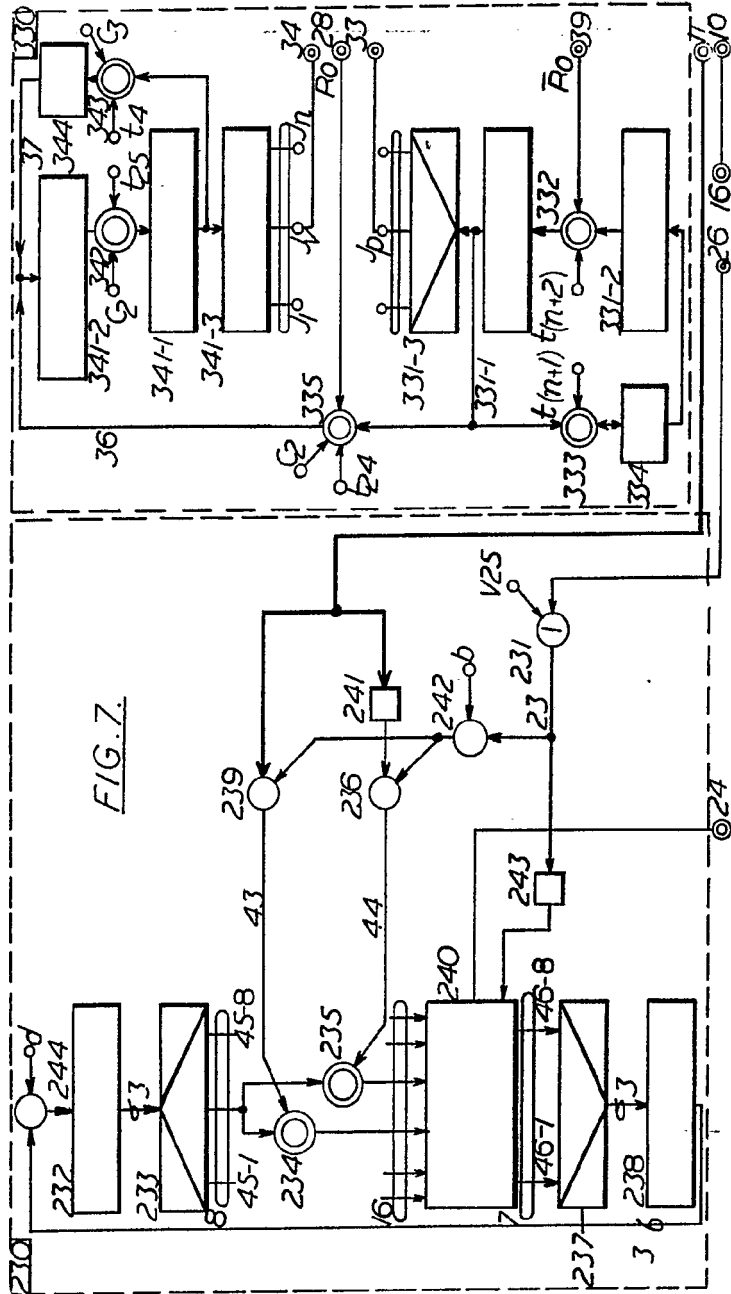
322730



8 FEB 1954

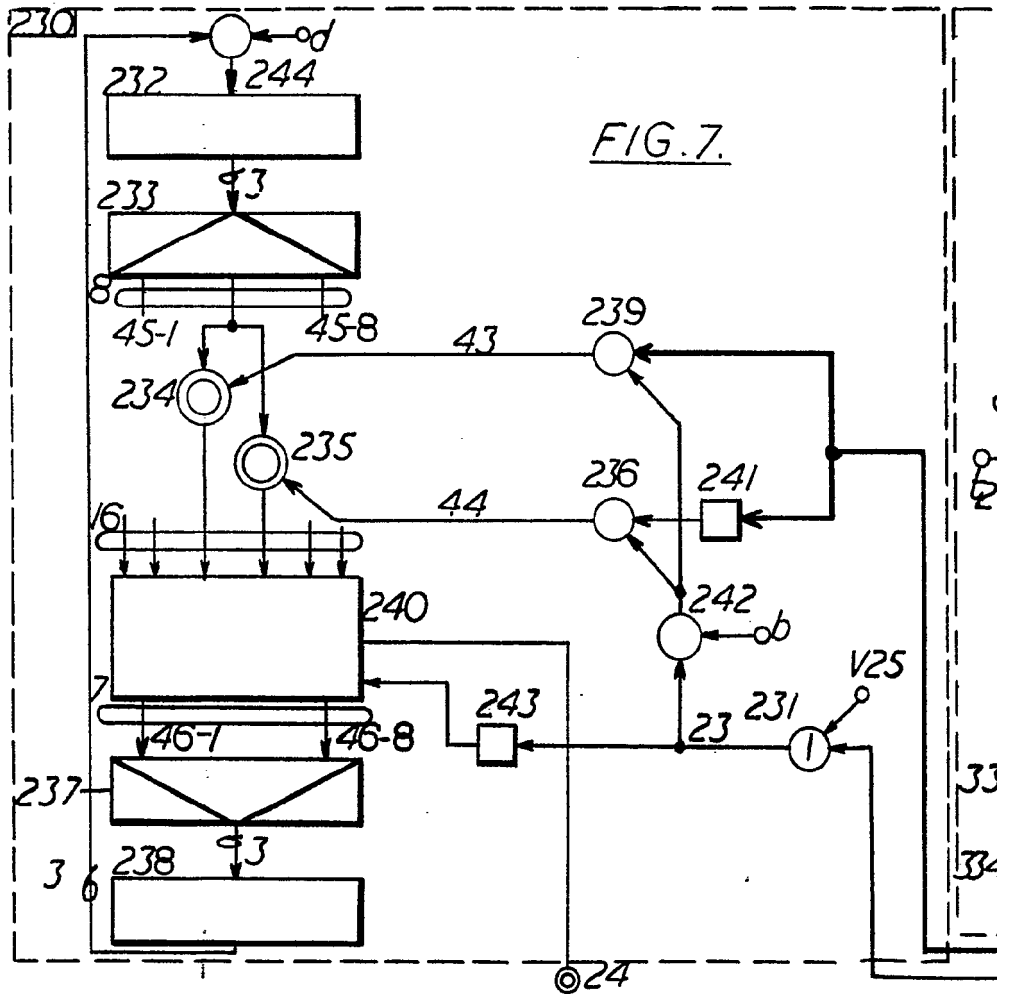
S/Ham

322736

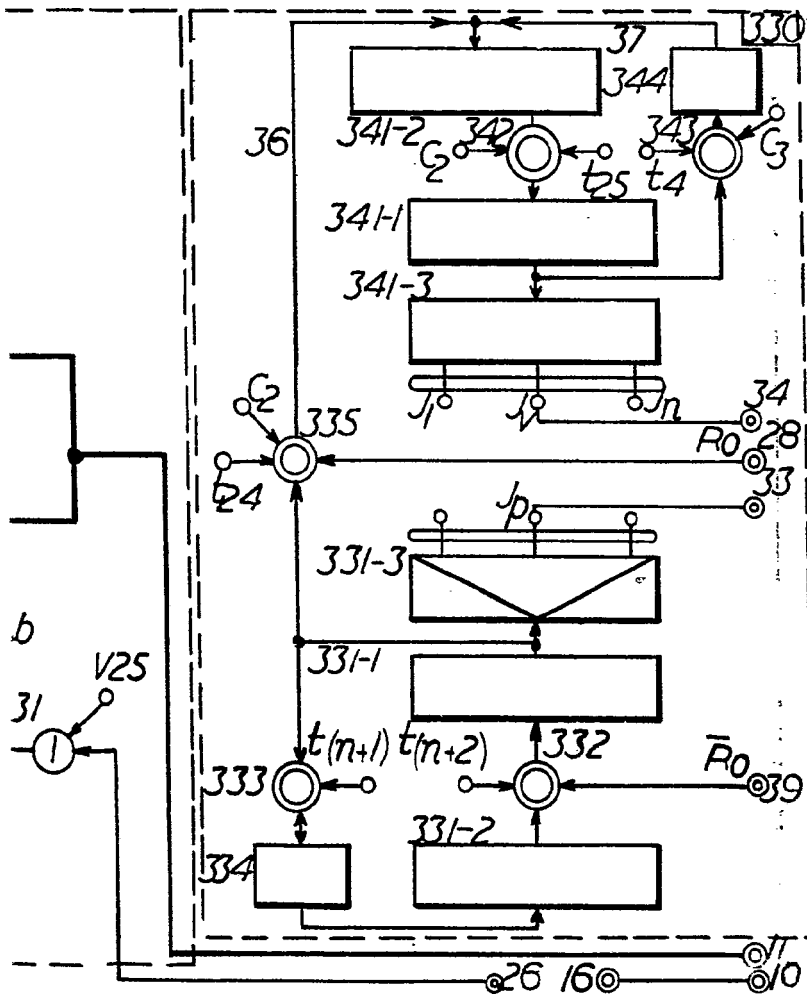


8 FEB

Standard



322736



8 FEB

Shawil

322730

Siemens

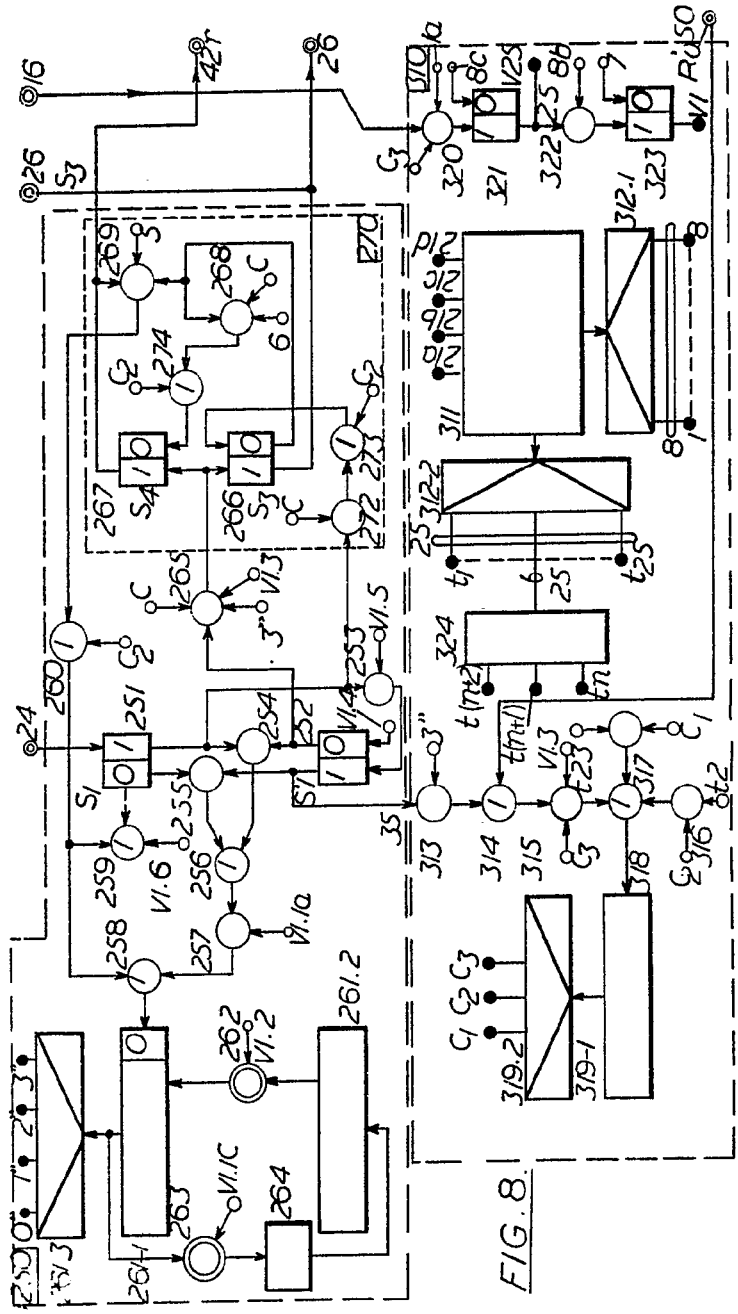


FIG. 8.

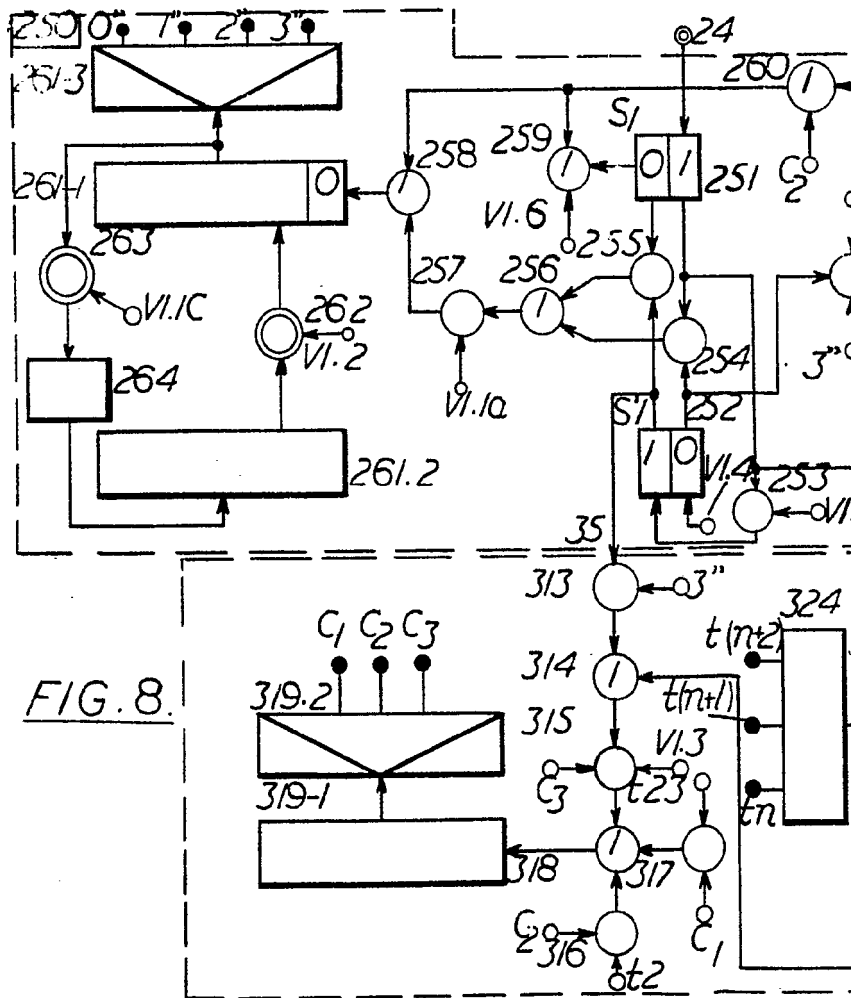
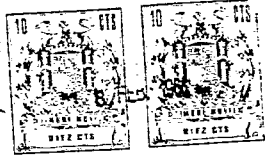
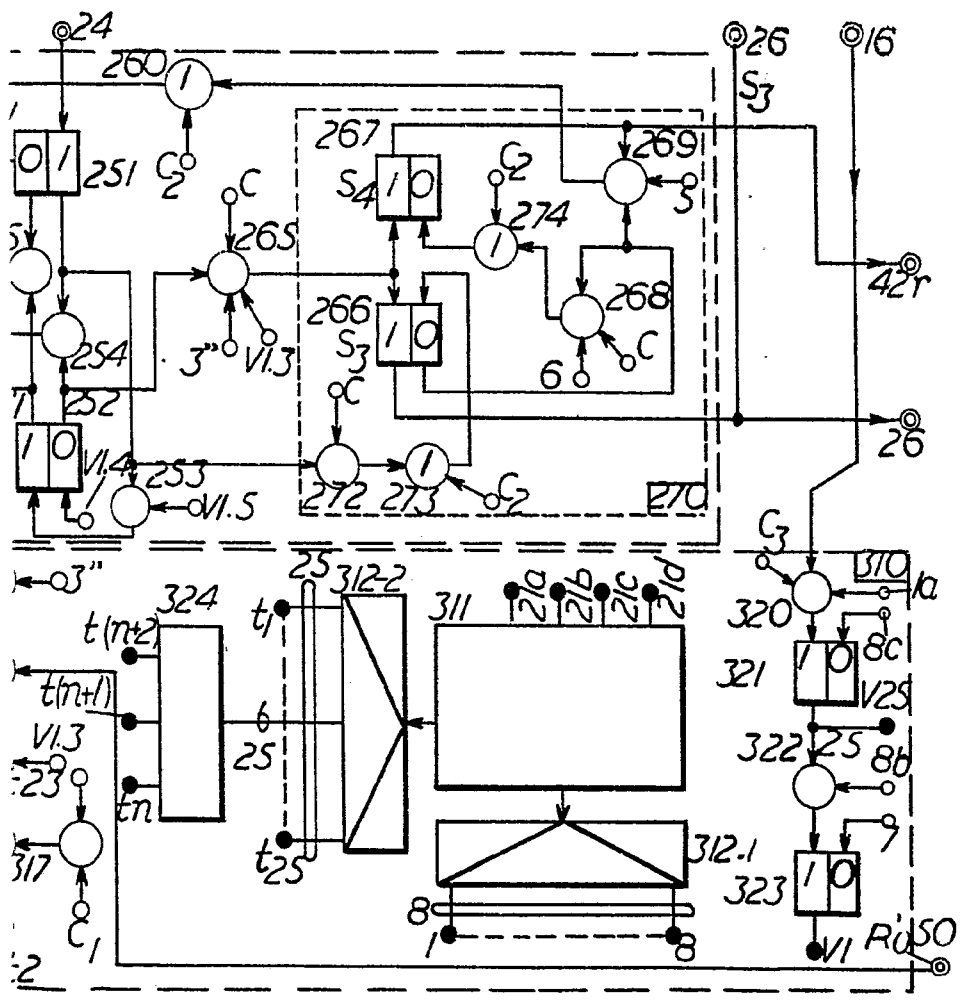


FIG. 8.



322730



8 FEB 1950

S. C. Allen



322736

FIG. 9.

FIG. 4.

FIG. 7.

FIG. 5.

FIG. 8.

FIG. 6.

(3)
C'D
D'A
A'B
B'C [

(4)
A'D
B'A
C'B
D'C [

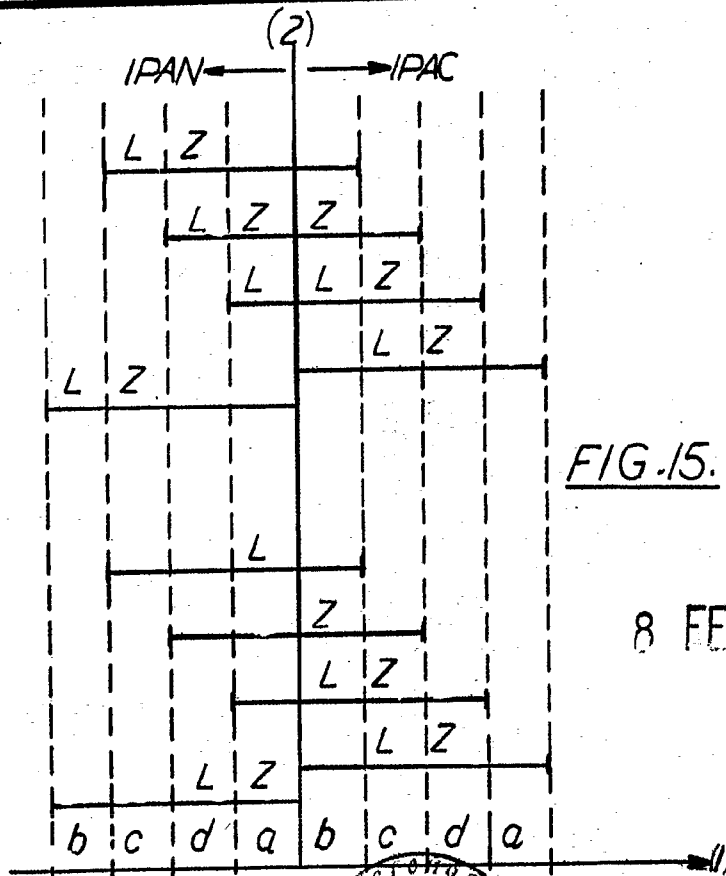


FIG. 15.

8 FEB 1966



Eugenio Barroso
 EUGENIO BARROSO
 Secretario General

**POOR
 QUALITY**



322738

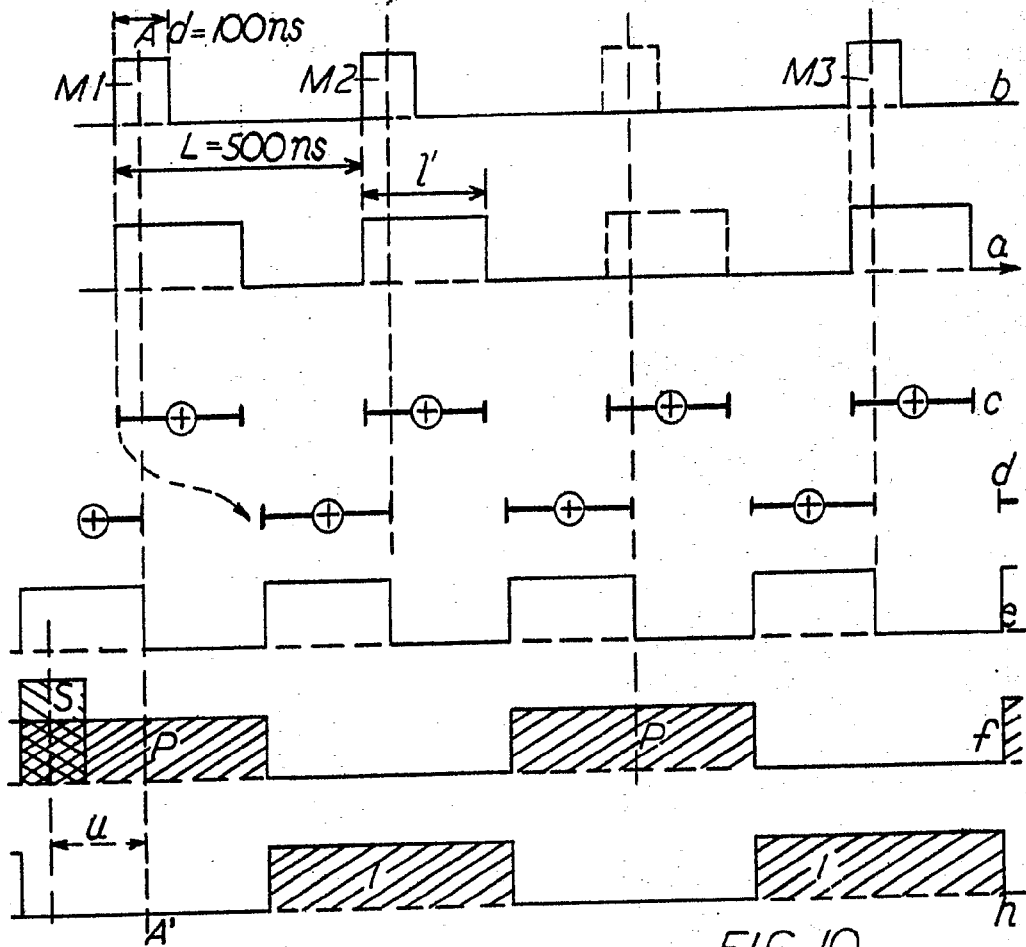


FIG. 10.

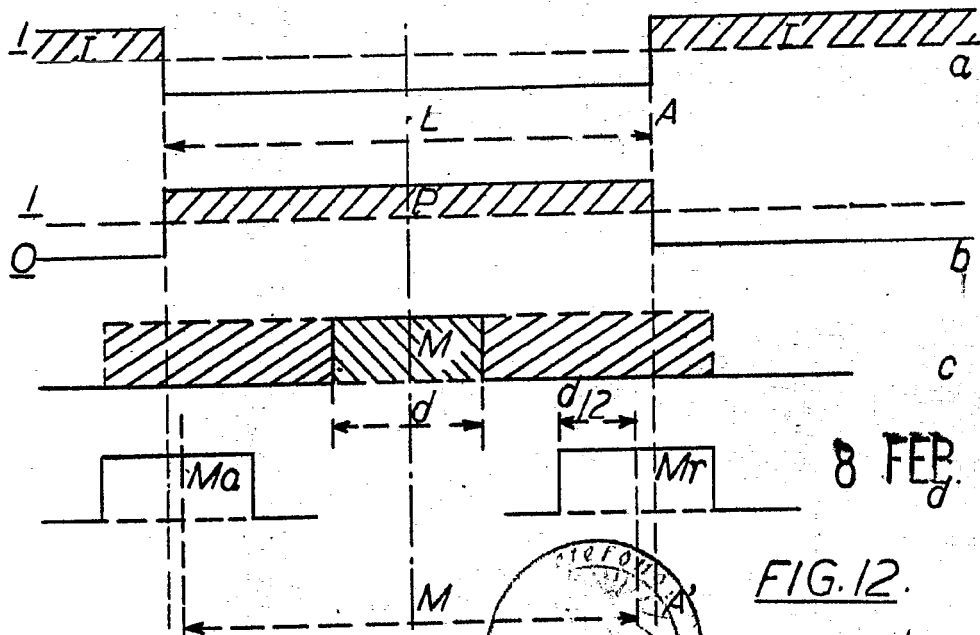
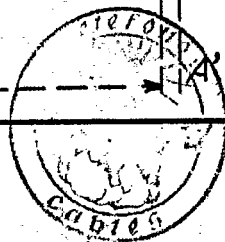


FIG. 12.

8 FEB. 1965



EUGENIO BARROSO
Secretario General

POOR
QUALITY



322736

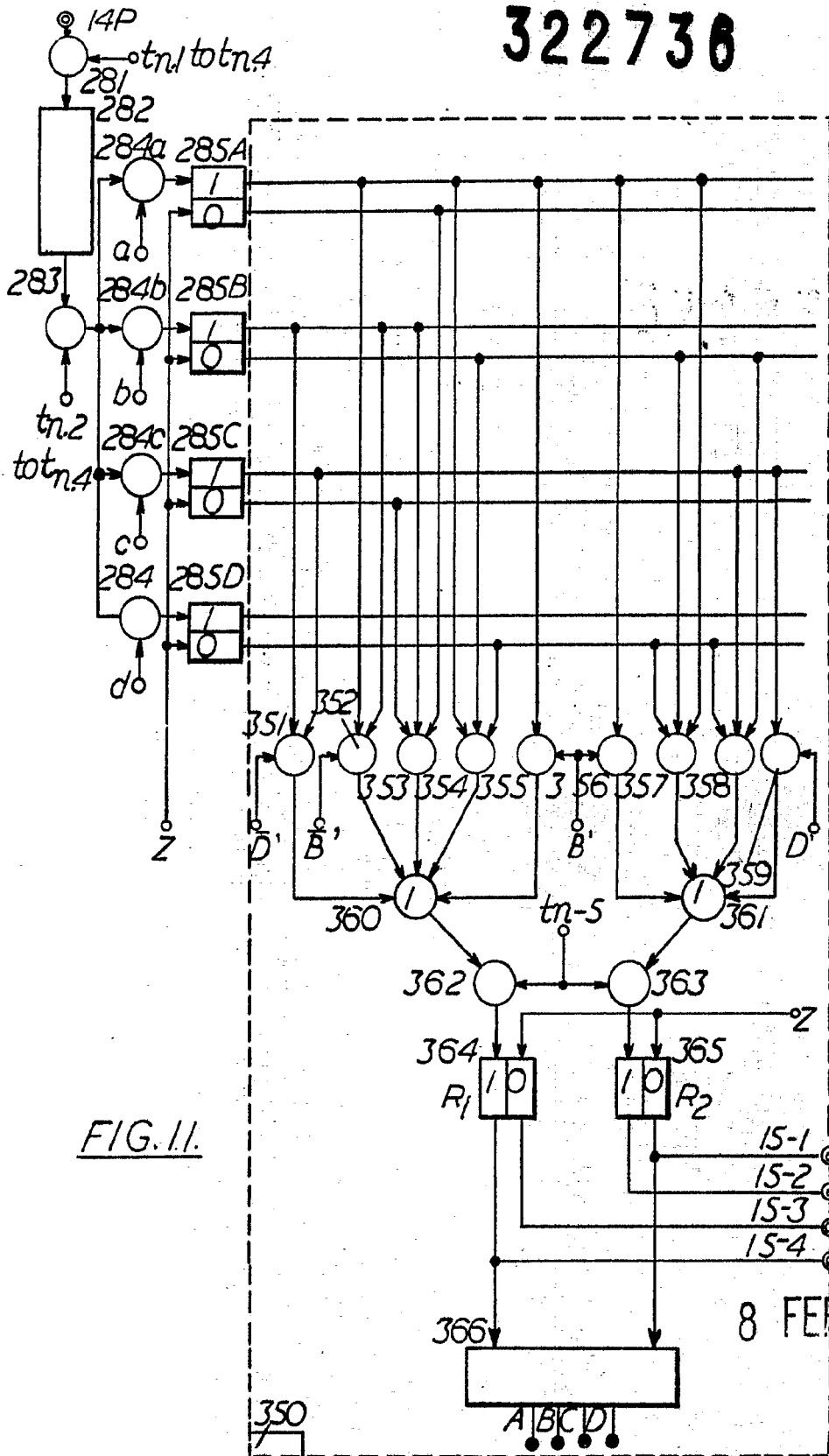


FIG. II.

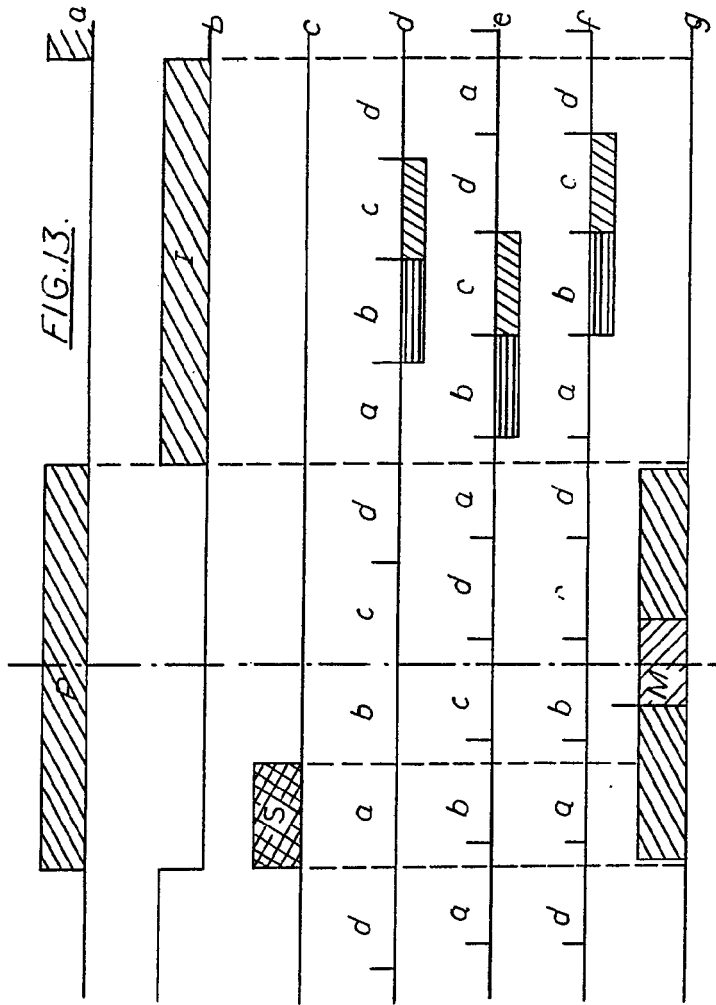
8 FEB 1966



E. Barroso
EUGENIO BARROSO
Secretario General

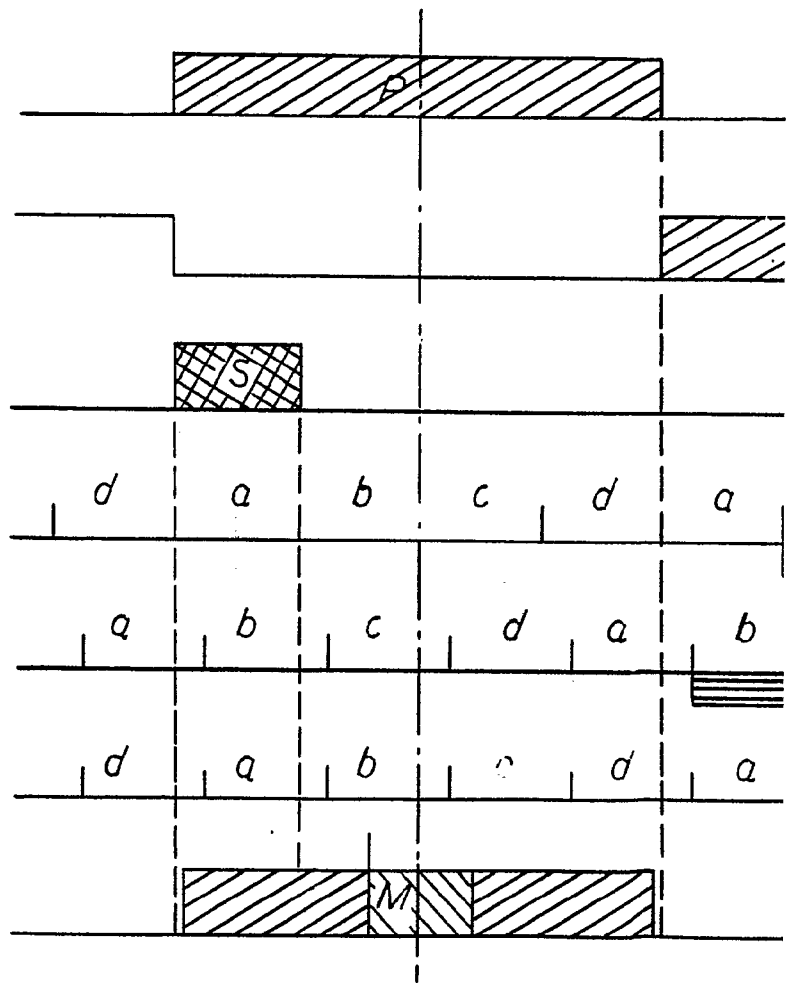
**POOR
QUALITY**

322730

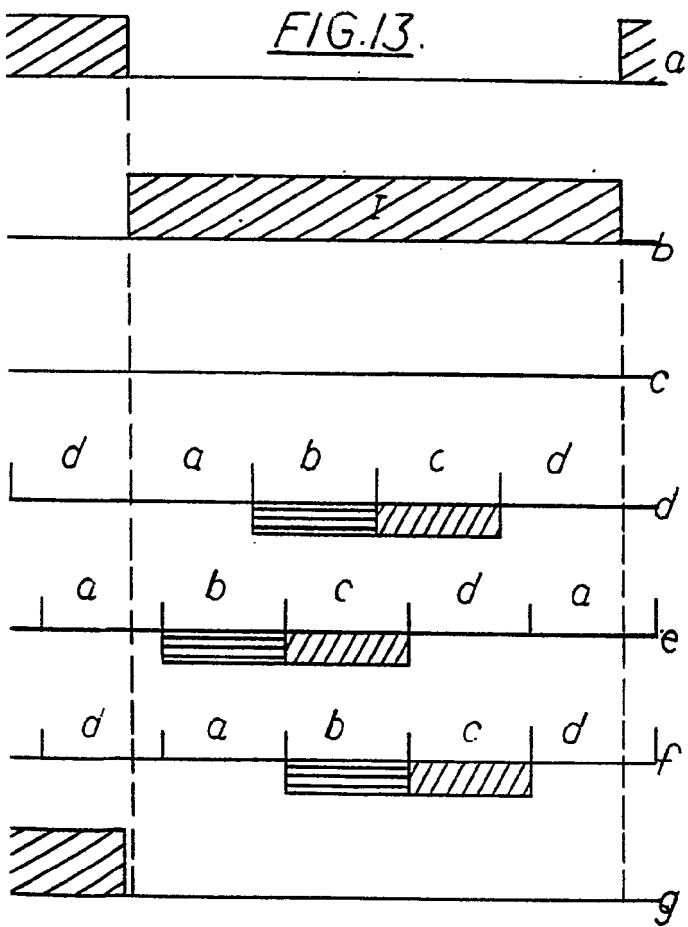


P. 1111

11/11/11



322730



8 FEB 1911

Stamm



322730

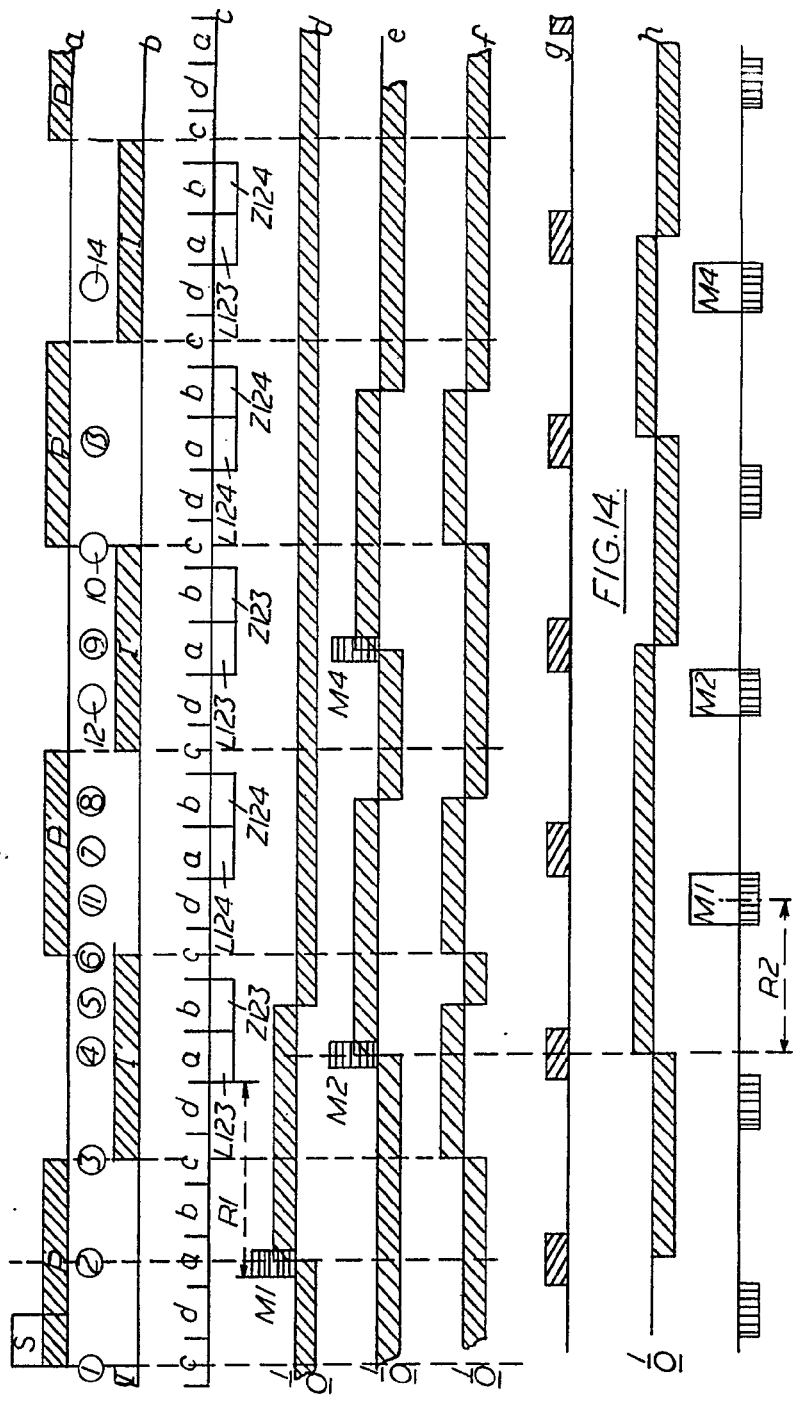
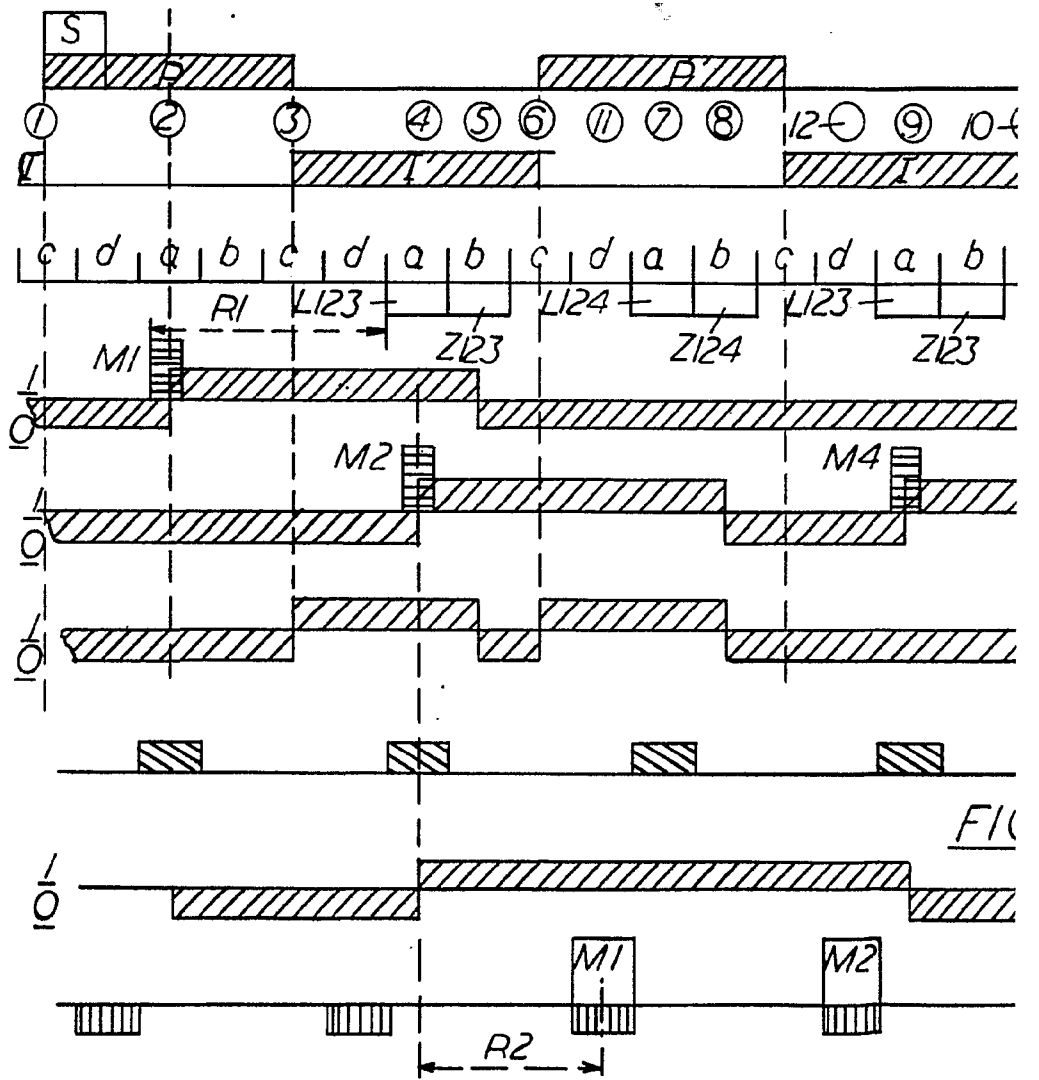


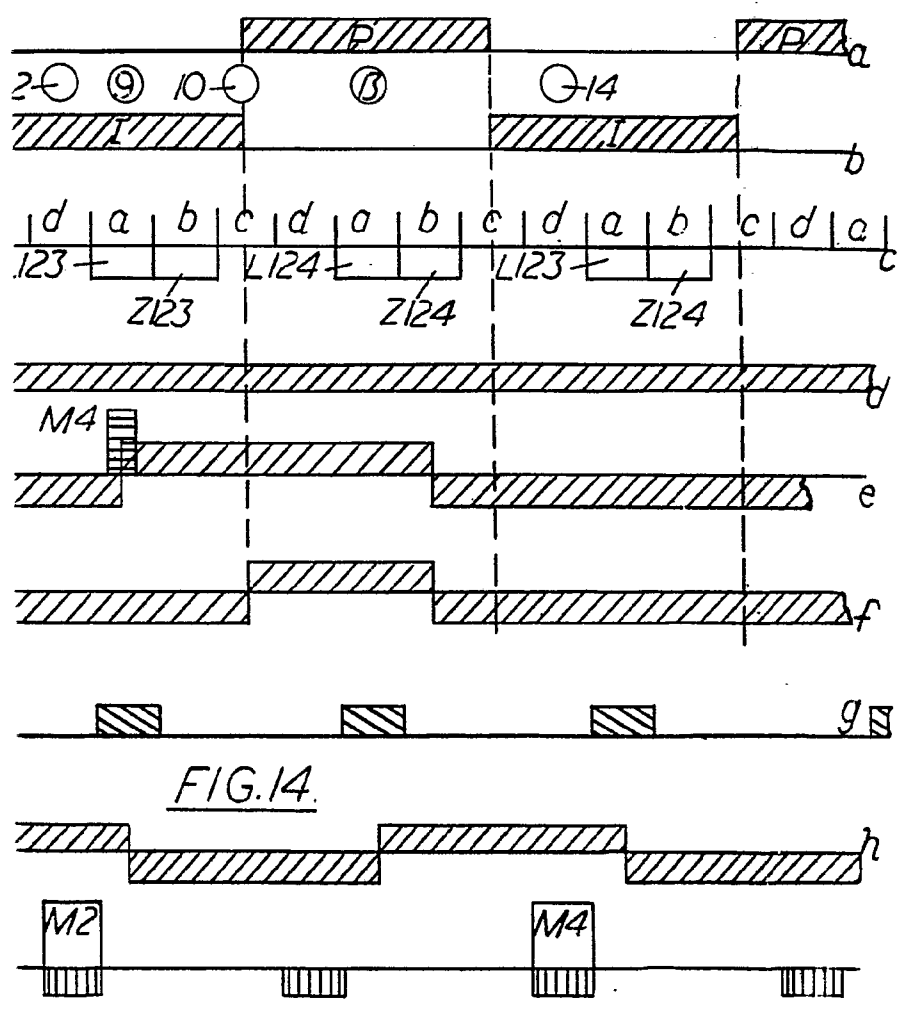
FIG. 14.

Stewart



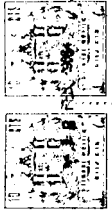


322730



8 FEB 1951

Stewart



322736

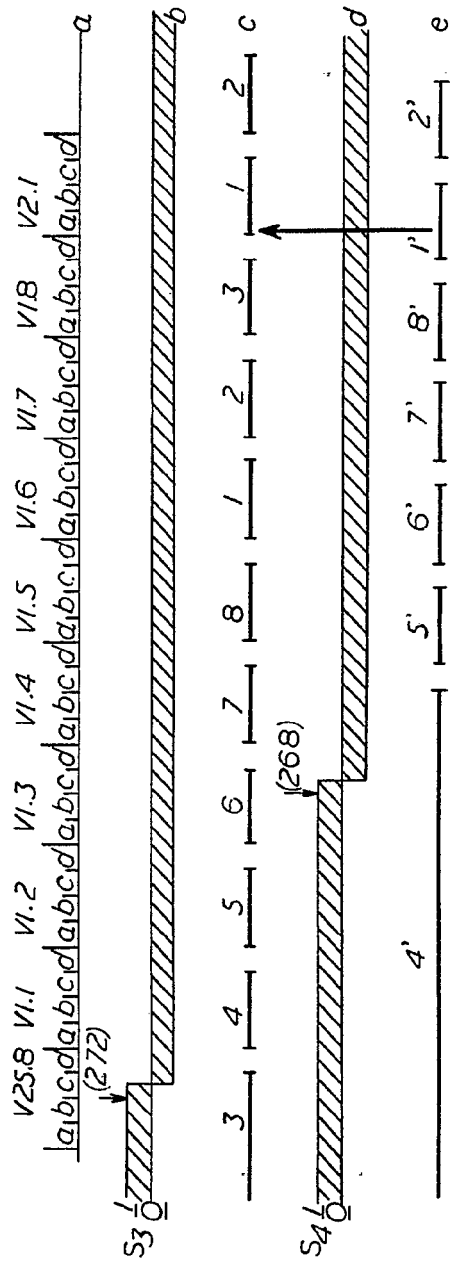


FIG. 16.

© Patent No. 3,227,366

Stallin

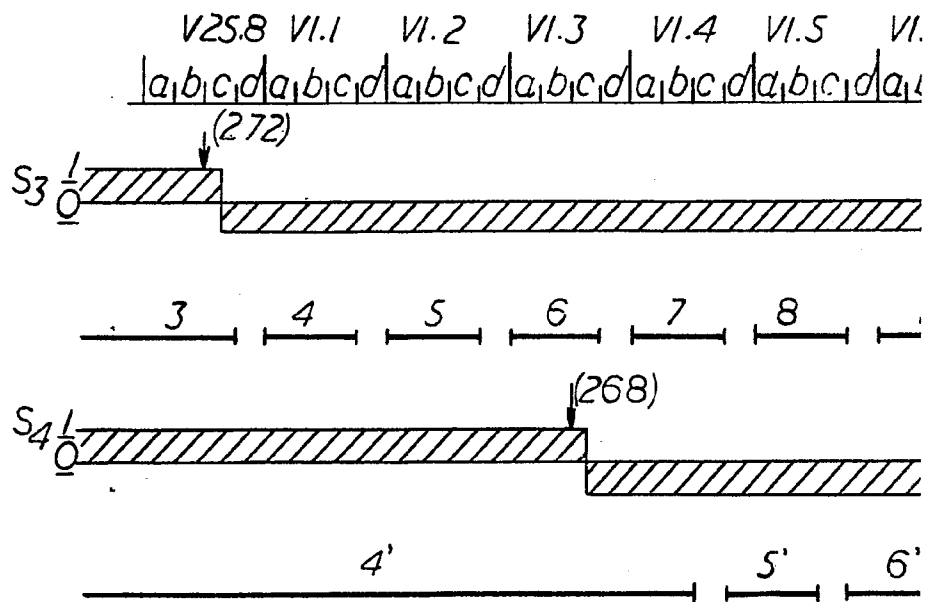
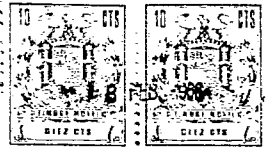


FIG.16.



322736

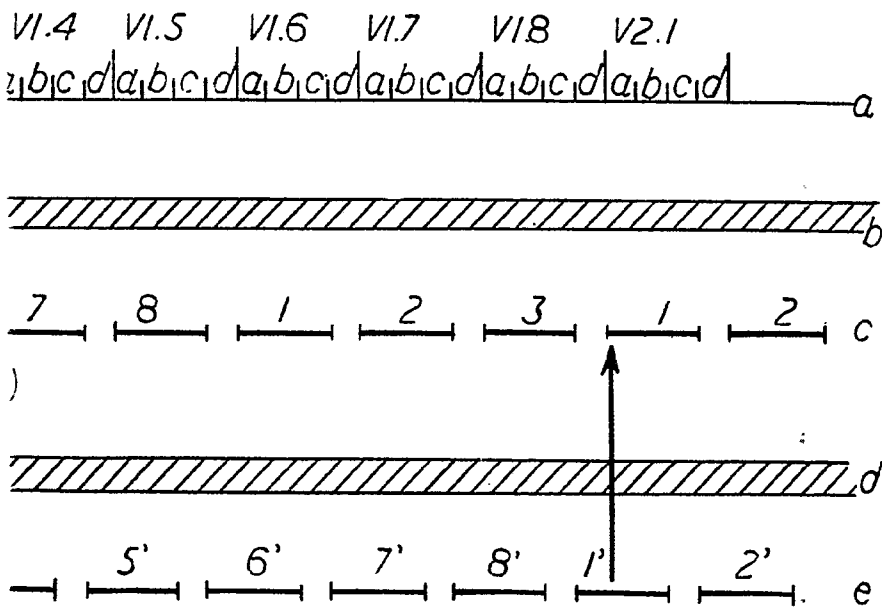


FIG. 16.

8 FEB 1956

H. Stiller