

10 ENE 1960

321587

MEMORIA DESCRIPTIVA

para solicitar

PATENTE DE INVENCION

en

ESPAÑA

por VEINTE años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION, entidad norteamericana, establecida en Armonk, Nueva York, Estados Unidos de América, por:

"DISPOSICIÓN DE VERIFICACION PARA LOCALIZAR AVERIAS O FALLOS EN UN SISTEMA DE TRATAMIENTO DE DATOS, DOTADO DE MEMORIA"

La presente invención se refiere a sistemas de diagnóstico, y especialmente a un sistema de diagnóstico para la memoria de control de un sistema de tratamiento de datos.

El sistema de diagnóstico de la invención localiza -
5 las averías del tipo que produce errores de doble lectura, en los cuales hay un vocablo espurio superpuesto sobre el vocablo seleccionado. Estos errores de doble lectura no son satisfactoriamente localizables por medio de los sistemas ordinarios de comprobación o verificación. Un error de doble lectura producido por un transistor que se haya cortocircuitado, por ejemplo -
10



podría a veces pasar desapercibido por las verificaciones de paridad ordinarias. El transistor cortocircuitado podría ser difícil de identificar, entre los varios capaces de producir el error.

5 CARACTERISTICAS DE LA INVENCION

Generalidades

Los sistemas de tratamiento de datos son capaces de realizar rutinas de diagnóstico, para localizar fallos o averías causantes de errores en el sistema, si se dispone -
10 de una estructura de control lo bastante segura, o exenta -
de fallos, para supervisar la operación. Ahora bien, no ha sido posible hasta ahora en general el autodiagnóstico de -
la propia estructura de control. En las calculadoras que -
funcionan bajo la supervisión de una memoria de control, que
15 proporciona microinstrucciones, este autodiagnóstico se viene echando de menos especialmente en el área de la memoria -
de control. La memoria de control es normalmente un dispositivo de almacenamiento de exclusiva lectura, que recibe las "direcciones" de, o es explorada por un método de explora -
20 ción a base de una memoria relativamente normal, con un excitador seleccionado y una barrera ("gate") seleccionada, a fin de completar el circuito de selección para la lectura (o extracción) de un vocablo seleccionado. La dirección es descodificada por los descodificadores de excitador y de -
25 barrera, que seleccionan el excitador y la barrera. La memoria de control, al ser seleccionada para la lectura, da unas señales de salida que se utilizan para controlar los caminos de datos del sistema.

Un sistema de memoria de control normal podría in

321587

10 EN



cluir un registro de direcciones de la memoria de control y cuatro descodificadores. Los descodificadores controlan a los excitadores y barreras individuales utilizados para tener acceso a un lugar determinado de la memoria de control.

5 Una avería o un fallo en los descodificadores podría dar origen a que se tuviera acceso a un lugar erróneo de la memoria de control, lo que pudiera ser causa de que un error pasara desapercibido.

Objetos

10

Es objeto de esta invención localizar los fallos y averías en los descodificadores de una memoria de control.

Otro objeto de esta invención consiste en ejecutar operaciones o procesos de diagnóstico en un dispositivo de memoria de exclusiva lectura.

15

Es objeto específico y concreto de la invención localizar los fallos o averías que produzcan errores de doble lectura, fallos que podrían tener su origen en elementos tales como los diodos o transistores excitadores o de barrera, puestos en cortocircuito.

20

Otro objeto de la invención es mantener una verificación de paridad sobre las direcciones, en un sistema de memoria de control.

Características y ventajas

25

Es característico de la invención un circuito que localiza fallos de doble lectura en una memoria, inhibiendo selectivamente y en una secuencia fija los descodificadores de barrera y luego de excitador correspondientes a la lectura del vocablo seleccionado, y reconociendo o señalando como



vocablo espurio todo resultado que no sea nulo. Otra característica de la invención es un generador de paridad que verifica una dirección en un primer ciclo y predice la paridad para un segundo ciclo, utilizando la obligación de que los vocablos guardados en lugares "pares" (en los lugares -
5 cuya dirección tiene paridad positiva, o par) tengan paridad negativa o impar, y viceversa.

La ventaja de la invención está en permitir la verificación del control básico de un sistema de tratamiento
10 de datos, y por tanto la autoverificación del propio sistema.

Los precedentes y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo de la siguiente descripción permenorizada de una forma preferida de
15 realización del invento, ilustrada en los dibujos adjuntos, cuya única figura es un esquema funcional del sistema de diagnóstico de la invención.

RESUMEN DE LA INVENCION

La presente invención es un sistema de diagnóstico para localizar averías o fallos en un sistema de memoria, inhibiendo para ello selectivamente y en secuencia fija los decodificadores de barrera y luego de excitador, y reconociendo como error producido por fallo toda salida que no sea nula.
20

A la memoria de control 101 se tiene acceso por medio de las barreras 102 y los excitadores 103. La salida de la memoria de control 101 pasa por unos amplificadores de percepción 105 a 108 inclusive hasta el registro de datos de la memoria de control (CMDR) 109. El CMDR 109 está conectado al
25

321587

10 E



5 generador de paridad 110, al circuito 111 de verificación de paridades, al circuito 112 de verificación de "microoperación no nula"; las partes del CMDR 109 correspondientes a las direcciones van conectadas al registro de direcciones de la memoria de control (CMAR) 113. El CMAR 113 controla directamente los descodificadores de barrera 114 y 115 y los descodificadores de excitador 116 y 117. La parte de microoperación del CMDR 109, bitios 1 a 9 inclusive, es útil para supervisar el sistema de tratamiento de datos (no indicado en la figura) mediante el control de sus caminos de datos. Las partes de dirección, bitios 10 a 15 y 16 a 21 inclusive, pasan respectivamente por los circuitos de coincidencia 124 y 125 al CMAR 113, para tener acceso a la microoperación sucesiva. El bitio 00 del CMAR 113 viene dado por el generador de paridad 110, y pasa al circuito 111 de verificación de paridades por medio del cerrojo de paridad 126.

20 Durante el trabajo en la modalidad de diagnóstico, los interruptores 151 permiten el ajuste del CMAR 113 a los valores particulares de las direcciones, y el interruptor 152 permite la repetición de la microoperación "actual" (que se esté efectuando en un momento dado) para la localización de los fallos intermitentes. Para detectar los fallos por transistores en cortocircuito, los interruptores 153 se conectan respectivamente al descodificador 117 de excitador, 25 al descodificador 116 de excitador, al descodificador 115 de barrera, al descodificador 114 de barrera, de manera que inhiben al descodificador en cuestión. Con los interruptores 153-1 y 153-2 en acción, el descodificador 114 de barrera y 30 el descodificador 115 de barrera quedan ambos inhibidos. To

321587 10



da salida de la memoria de control producirá una salida de dispositivo 112 de "microoperación no nula", por medio del circuito de coincidencia 155, para dar la señal de error a través del circuito 111 de verificación de paridades.

5 PROCEDIMIENTO DE DIAGNOSTICO

El procedimiento de diagnóstico tiende a verificar el mecanismo suficiente para que el mecanismo verificado pueda verificar a su vez el resto del sistema. Es necesario verificar la memoria de control para poder utilizar ésta, a su vez, para comprobar el resto del sistema.

Como la memoria de control está verificada en - paridad, la avería o fallo que con mayor probabilidad puede pasar desapercibido es el de que se ponga en cortocircuito un transistor de excitador o de barrera. Tal avería, y otras similares en diodos y resistencias, que pudieran dar lugar a que resultara seleccionado un excitador o barrera no elegido, pueden denominarse averías de cortocircuito. Uno de estos transistores en corto, por ejemplo, podría dar lugar a doble lectura. Esto es, se leería o tomaría un vocablo espurio, además del seleccionado, yendo entremezclados los bits o elementos de información de ambos. En algunas situaciones sería posible que esta doble lectura pasara desapercibida o sobreviviera a las verificaciones de paridad.

Otro fallo que podría ocurrir es el de abrirse o cortarse un circuito de transistor de excitador o de barrera, o un circuito de transistor de descodificador. Tal avería daría lugar a que no se "leyera" o tomara el vocablo de la memoria de control, y el código de microoperación resultara compuesto todo de ceros. Esto no pasaría la prueba ne-

321587

10 EN



cesaria de "microoperación no nula" incorporada al formato del código de microoperaciones.

La detección de fallos por circuito abierto no es difícil, ya que en muchos casos el sistema de tratamiento de datos dejaría, simplemente, de funcionar. La detección de los fallos por elementos en cortocircuito no se logra tan fácilmente con los procedimientos ordinarios de diagnóstico, no acompañados de circuitos adicionales. Por consiguiente se hace primero la prueba de elementos en corto, y después se efectúan varias pruebas, entre ellas las de aperturas o interrupciones de circuitos, utilizando los dispositivos o equipos normales de máquina de que se dispone.

La prueba de los excitadores y barreras de la memoria de control también verifica los amplificadores de percepción de la memoria de control y los circuitos de paridad. Terminada la prueba de la memoria de control, es entonces posible utilizar la memoria de control para supervisar una rutina de diagnóstico, y verificar el resto del sistema.

SISTEMA DE LA MEMORIA DE CONTROL

El sistema incluye la memoria de control 101, a la que se tiene acceso por medio de las barreras 102 y los excitadores 103 para dar salidas a los amplificadores de percepción 105 a 108 inclusive. La salida de la memoria de control 101 es un código de microoperación que incluye los bitios 1 a 9 inclusive, y una dirección en dos secciones compuestas por los bitios 10 a 15 inclusive y 16 a 21 inclusive. Esta salida pasa al registro de datos de la memoria de control, CMDR 109, que está conectado al generador de paridad 110, al circuito 111 de verificación de paridades y al circuito 112



de verificación de si la microoperación no es nula. Las partes de direcciones del CMDR 109 se unen al registro de direcciones de la memoria de control (CMAR) 113, que directamente controla los descodificadores de barrera 114 y 115 y los descodificadores de excitador 116 y 117. El CMAR 113 controla -
5 asimismo el franqueo de paso por el amplificador de percepción, por medio del circuito lógico 118 de éste y de las barreras 119 a 123 inclusive. La selección del amplificador de percepción permite explorar (enviándole "direcciones" de -
10 identificación) una memoria de control de 56 bitios, que da una salida de 22 bitios al CMDR 109. La parte de microoperaciones del CMDR 109 (bitios 1 a 9 inclusive) es útil para -
supervisar el sistema de tratamiento de datos (no representado) mediante el control de sus caminos de datos. Las partes -
15 de direcciones, bitios 10 a 15 y 16 a 21, pasan respectivamente por los circuitos de coincidencia 124 y 125 al CMAR 113, dando la dirección para la microoperación siguiente. El bitio Q0 del CMAR 113 viene dado por el generador de paridad 110, y pasa al circuito 111 de verificación de paridades por medio del cerrojo de paridad 126. El generador de paridad 110
20 es necesario, porque la parte de direcciones del contenido del CMDR no incluye designaciones de paridad.

SISTEMA DE DIAGNOSTICO

El mecanismo analizado se utiliza durante los ciclos ordinarios de funcionamiento de la memoria de control.
25 Para comprobar la memoria de control, se necesita hacerla funcionar en una rutina de diagnóstico. Los interruptores 151 permiten el ajuste del CMAR 113 a los valores particulares de dirección que exija la rutina de diagnóstico. Es -

321587

10



5 tos valores podrían, por ejemplo, ser todos cero. El interruptor 152 de repetición de microoperaciones permite repetir la que se esté efectuando en un momento dado, lo cual resulta particularmente útil para localizar fallos intermitentes.

10 Para la detección de averías por transistores en cortocircuito se incluyen los interruptores 153, el circuito disyuntivo 154 y el circuito de coincidencia 155. También interviene el circuito 112 de "microoperación no nula". Los interruptores 153 pueden ser manuales, o bien pueden estar
15 bajo el control de un anillo marcador u otro dispositivo similar de regulación de tiempo. Las cuatro salidas de los interruptores 153 están respectivamente conectadas al primer descodificador de excitadores (117), al segundo descodificador de excitadores (116), al primer descodificador de barreras (115) y al segundo descodificador de barreras (114),
20 de manera que se inhiben los correspondientes descodificadores. Toda salida de la memoria de control 101 que no sea cero (esto es, no nula) durante la inhibición de los descodificadores seleccionados indica que hay un fallo por cortocircuito.

25 El 2º descodificador de excitadores (116) sólo se muestra en detalle representativo. El interruptor 153-2 está conectado por medio del diodo 161 de modo que da una señal inhibitoria, de potencial de masa, al circuito de coincidencia 162. El circuito de coincidencia 162 recibe entradas asimismo de los bitios de dirección 15 y 18 del UMAR 113. Con el interruptor 153-2 activado, el circuito de coincidencia 162 se inhibe de dar toda señal de salida, a menos que
30 sea precisamente el averiado y esté en cortocircuito. Si no



se pone en acción el interruptor 153-2, el circuito de coincidencia 162 puede ser seleccionado por la combinación de valores "1" en los bitios 15 y 18 del CMAR 113, y condicionar a su vez el transistor 163 para dar una entrada de condicionamiento al excitador correspondiente. Para otros valores -
 5 de bitio se incluyen circuitos similares.

FUNCIONAMIENTO

Prueba de descodificador o barrera de CMAR en corto

El cuadro que sigue indica la sucesión de cuatro
 10 etapas o escalones principales para localizar una avería en el sistema;

<u>Etapas</u>	<u>Interruptor</u>	<u>Error</u>	<u>Ausencia de error</u>
	1	153-3 y 153-4	Barreras 102 en corto Barreras 102, bien
15	2	153-4	Descodificador 114 de barreras Descodificador 114 de barreras, bien
	3	153-3	Descodificador 115 de barreras Descodificador 115 de barreras, bien
20	4	153-1 y 153-2	Excitadores 103 en corto Excitadores 103, bien
	5	153-2	Descodificador 116 de excitadores Descodificador 116 de excitadores, bien
	6	153-1	Descodificador 117 de excitadores Descodificador 117 de excitadores, bien
25	7	-	Presentar CMAR CMAR, bien
	8	Examen del sistema y verificaciones	
	9	Prueba del sistema	

Los interruptores 3 y 4 se ponen en acción para la
 etapa 1a. Inhiben el descodificador 114 de barreras y el des-
 30 codificador 115 de barreras, de modo que no pueden utilizar-



se las barreras 102 para tener acceso a la memoria de control. Al propio tiempo, un ciclo normal de trabajo trata de explorar la memoria de control con arreglo a la "dirección" puesta en el CMAR. El descodificador 106 de excitadores y el descodificador 107 de excitadores entran en acción, seleccionando un excitador de entre el grupo de ellos incluido en el dispositivo o conjunto 103. Como para tener acceso a la memoria de control 101 se necesitan normalmente un excitador y una barrera, no habrá salida en ese instante a menos que la barrera tenga una avería por cortocircuito. La salida (todos ceros) de la memoria de control 101 pasa al amplificador de percepción que se haya seleccionado, y a los amplificadores de percepción 119 a 123, El CMDR 109 se prueba, en cuanto a ausencia de ceros, por el circuito 112 de microoperación no nula, que puede ser sencillamente un circuito disyuntivo de muchas entradas. Si la microoperación da cualquier cosa que no sea cero, este circuito 112 (de microoperación no nula) da al circuito de coincidencia 155 una entrada que, combinada con una salida procedente del circuito disyuntivo 154, que indica que están en acción uno o más de los interruptores, envía una señal al dispositivo 111 de verificación de paridades, que da a su vez una señal de error.

Una señal de error en este momento indica que en la barrera 102 hay un fallo por cortocircuito. Una avería por cortocircuito en uno de los descodificadores 114 y 115 de barreras, pero no en ambos, no activaría la barrera 102 ni, por lo tanto, daría salida distinta de cero. Si la etapa 1 indica que no hay dificultades en la barrera 102, se pasa a la etapa 2, con el interruptor 153-4 activado, bloqueando el descodificador 114 de barreras. Los interruptores 151 se han activado previamente, a "todos ceros". Toda

321587

10 EN



salida no indicativa de cero envía una señal al dispositivo
111 de verificación de paridades, designando el error como
localizado en el descodificador 114 de barreras. El conoci-
miento del contenido de datos de la memoria de control 101
5 permite localizar el fallo en el circuito de barrera concre-
to y exacto, comparando las salidas con el contenido conoci-
do de cada lugar de la memoria de control 101. Si no tiene -
lugar error alguno, el fallo no está en el descodificador -
114.

10 La tercera etapa consiste en bloquear solamente el
descodificador 115 de barreras, cerrando el interruptor 153-3,
y tomar un ciclo. Si entonces se produce un error, el fallo
está en ese descodificador 115 de barreras.

15 Si las etapas 1 a 3 de la rutina de diagnóstico se
han completado con éxito, esto es, indicando que las barreras
102 y los descodificadores 114 y 115 de las mismas no tienen
fallo o avería por cortocircuito, se pasa a la etapa o esca-
lón 4. La etapa 4 es la de prueba de cortocircuito de excita-
dores, y se hace bloqueando los descodificadores 116 y 117
20 de los excitadores. Se ponen en acción los interruptores 153-1
y 153-2 para inhibir los descodificadores de excitadores e -
impedir así que cualquiera de los excitadores 103 se dirija a
la memoria de control 101. Ahora bien, si algún transistor de
excitador está en cortocircuito, habrá acceso a la memoria de
25 control, pasándose un valor distinto de cero, por medio los
amplificadores de percepción o lectura, al CMDR 109. Tal mi-
crooperación de resultado distinto de cero es detectada por
el circuito 112 de microoperación no nula, por medio del cir-
cuito de coincidencia 155, condicionado por el disyuntivo 154,
30 dando una señal de error proveniente del verificador de pari-



dades 111.

Si la rutina de diagnóstico ha transcurrido com -
pletando las etapas 1 a 4 sin que se acusen fallos por cor-
tocircuito en el sistema de barreras 102, 114, 115 ni en los
5 excitadores 105, puede pasarse a las etapas 5 y 6. Son éstas
semejantes a las etapas 2 y 3 relacionadas con los descodi-
ficadores de barreras. Intervienen en ellas los interrupto-
res 153-1 y 153-2, como se indica en el cuadro. Los interrup-
tores 151 permanecen puestos en "todos ceros".

10 Si las etapas 1 a 6 se han recorrido sin detectar-
se el fallo, se ensaya la etapa 7. De sospecharse todavía que
el fallo esté en el sistema de barreras y excitadores, es -
aconsejable modificar la posición de ajuste de los interrup-
tores 151, y volver a recorrer las etapas 1 a 6.

15 La etapa 7 es una prueba del CMAR 113. Como el CMAR
113 normalmente está provisto de posibilidades de presenta-
ción en consola, los interruptores 151 pueden proporcionar
una sencilla prueba del funcionamiento del CMAR. En la etapa
7, los interruptores 151 se activan o ponen a diversos valo-
20 res de "dirección" o exploración del contenido de la memoria
de control 101, para leerlo en un corto período de ciclos y
comparar los valores leídos con los aceptables. La presenta-
ción del CMAR permite verificar los bitios 10 a 21 de direc-
ciones.

25 De haberse completado con éxito (sin acusar fallo)
la etapa 7, puede hacerse funcionar el sistema de tratamien-
to de datos bajo el gobierno de la memoria de control. Si la
memoria de control 101, durante esta prueba de funcionamiento,
diera "todos ceros" como salida, esta salida de "todos ceros"
30 sería detectada como error de paridad en la verificación nor-



mal del CMDR 109 por el circuito lll de verificación de pa-
ridades, que señala el error. La avería causante del error
puede ser un fallo por apertura de circuito en un descodi-
ficador de barreras o de excitadores, una barrera, un exci-
5 tador, un diodo o un elemento componente de la memoria.

Efectuada esta serie de pruebas, se acepta la me-
moria de control como en completo estado de funcionamiento,
y útil para controlar una rutina de diagnóstico para el res-
to del sistema.

10

SISTEMA DE PARIDAD

Es ventajoso mantener una verificación del funcio-
namiento adecuado de la memoria de control 101 mediante el
recurso de controlar la paridad de la totalidad del vocablo
con arreglo al número de bitios de la dirección de ese voca-
15 blo. Los vocablos almacenados en lugares pares tienen pari-
dad impar, y los guardados en lugares impares tienen la pa-
ridad par. Esta obligación no constituye problema alguno en
una memoria de control del tipo de lectura exclusiva, en la
cual pueden controlarse cuidadosamente los valores de datos
20 puestos en la memoria de control. El circuito lll de verifi-
cación de paridades está dispuesto para comparar la paridad
efectiva de la parte de direcciones del registro de datos
"actuales" de la memoria de control con la paridad predicha
por la dirección o lugar, de la memoria de control de la cual
25 vino el contenido de datos del registro de datos de la memo-
ria de control. Si la dirección tenía paridad par el conte-
nido de la posición de la dirección debe ser de paridad im-
par. El circuito lll de verificación de paridades acepta un
bitio de paridad interino, procedente del generador de pari-

321587

10 EN



5 dades acepta un bitio de paridad interino, procedente del generador de paridad 110 y las partes de microoperación PO, 1, 2.... 9 del CMDR 109 y la salida del disparador 126 de almacenamiento de paridad, dando la paridad de todos ellos y una señal de error cuando la paridad del contenido del - CMDR 109 no sea la predicha por la dirección.

10 Por ejemplo, supóngase que se va a derivar el vocablo 6 de la memoria de control 101. El seis es una dirección par, ya que contiene un número par de bitios "1" al estar expresada en forma de binario 0110. Las limitaciones u obligaciones de paridad están indicadas por la ecuación siguiente;

paridad de dirección contra paridad de los datos contenidos en ella = 1.

15 Como la dirección del lugar 6 es de paridad par, el contenido de ella debe ser forzosamente de datos de paridad impar. La naturaleza par de la dirección 6 da lugar a que se guarde un bitio "0" en el disparador 126 de almacenamiento de - paridad, en el ciclo en que el CMAR 113 se dirige al lugar 6 de la memoria de control. En el ciclo siguiente, el lugar 6 de su contenido al CMDR 109, contenido que, de no haber habido error, es de paridad impar en todos sus bitios. El contenido del CMDR 109 en su totalidad es aplicado al verificador 111 de paridades, en unión del contenido del disparador 126 de almacenamiento de paridad. El verificador de paridades 111 indica error si no se conservan las obligaciones de paridad. El generador de paridad 110 sirve como parte del verificador de paridades 111, y sirve también para - 25 dar la designación de paridad para el CMAR 113.

INTERRUPTORES

Los interruptores 151 y 143 pueden ser manuales, del tipo más sencillo. Para el funcionamiento automático, se usan interruptores electrónicos, gobernados éstos por un dispositivo programador, tal como un anillo o marcador de tiempos. También es aceptable un interruptor o conmutador automático giratorio por escalones (paso a paso).

RESUMEN CONCLUSIVO

La invención es un sistema de diagnóstico para verificar y localizar fallos en un sistema de memoria de control.

El método utilizado consiste en inhibir la toma o lectura seleccionada de manera tal que una lectura no nula (esto es, no compuesta de ceros) sólo pueda ser producida por un fallo o avería de cortocircuito, y probar si se da esta salida no nula.

Si bien la invención se ha ilustrado y descrito de modo particular con referencia a una forma preferida de realización de la misma, las personas versadas en la materia comprenderán fácilmente que en la misma pueden efectuarse los indicados y otros cambios de forma y de detalle sin por ello salirse del ámbito ni apartarse del espíritu de la invención.

La presente solicitud que corresponde a la presentada en los Estados Unidos de América, con fecha 12 de Enero de 1965, bajo el Nº 425.008, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

321587 10 EN



- N O T A -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

5 1.- Disposición de verificación para localizar averías o fallos en un sistema dotado de una memoria que da una salida seleccionada en relación con unas entradas seleccionadas y que, en caso de avería, pudiera dar también una salida espuria que se mezclara de modo indistinguible con la salida seleccionada, estando dicha disposición caracterizada por:

10 (a) unos medios para inhibir las entradas seleccionadas en relación con una salida seleccionada, con lo cual la salida espuria, de existir, queda sin mezclar con la salida seleccionada; y (b) unos medios de prueba de salida no nula, para
15 reconocer una salida espuria.

20 2.- Disposición de verificación para localizar averías o fallos en un sistema dotado de (a) una memoria de control, (b) un grupo de barreras y un grupo de excitadores para tener acceso a dicha memoria de control al condicionarse
25 en coincidencia una sola barrera y un solo excitador, (c) medios descodificadores de excitadores para seleccionar un solo excitador, (d) medios descodificadores de excitadores para seleccionar un solo excitador, (e) medios de registro de direcciones de la memoria de control para controlar dichos medios descodificadores de excitadores, (f) medios de toma o lectura conectados a dicha memoria de control para aceptar la salida de dicha memoria de control, y (g) medios de paridad conectados a dichos medios de lectura para vigilar la paridad de dichos medios de lectura y ver si es correcta; estan
30



do dicha disposición caracterizada por: (h) unos medios de interruptor o conmutador conectados a dichos medios descodificadores de barreras y a dichos medios descodificadores de excitadores, y que se pueden hacer funcionar selectivamente para inhibir el funcionamiento de dichos medios descodificadores de barreras y de excitadores de manera tal que durante el control ejercido por dichos interruptores se dispone de un grupo o juego de excitadores de barreras solamente en el caso de que haya fallo o avería por cortocircuito, con lo -
10 cual una salida no nula, o que no tenga todos ceros, de dicha memoria de control indica la presencia de dicha avería; e (i) medios para detectar como error la lectura de un valor no nulo, tomada de dicha memoria de control, mientras dichos interruptores están en la condición de accionados.

15 3.- Disposición de verificación para localizar ave rías en un sistema para una red de transmisión de datos, que da una salida normalmente seleccionada mediante combinaciones de condiciones, caracterizada dicha disposición por tener unos medios primeros y segundos en serie para tener acceso -
20 a la red en respuestaaa una combinación de condiciones; (a) medios para inhibir selectivamente dichos primeros medios de acceso a la red y dichos segundos medios de acceso a la red; y (b) medios, conectados a dichos medios para inhibir, y a la salida de la red, para identificar la presencia de -
25 un fallo o avería mediante una salida que tiene lugar de dicha red durante el funcionamiento de dichos medios para inhibir.

30 4.- Disposición de verificación para un sistema que tiene un verificador de paridades y una pluralidad de re

321587 10



gistros, entre los que se incluyen unos registros primero y segundo, cada uno con una designación de paridad, estando dicha disposición caracterizada por: (a) unos medios generadores de paridad; (b) unos medios de conexión de una primera parte de dicho primer registro a dichos medios generadores de paridad, con lo cual dichos medios generadores de paridad dan como salida una designación de paridad para la parte conectada de dicho primer registro; (c) unos medios de conexión de dicha primera parte de dicho primer registro al citado segundo registro; (d) unos medios de conexión de dichos medios generadores de paridad a dicho segundo registro, con lo cual se da una designación de paridad a dicho segundo registro; (e) unos medios conectados a dicho segundo registro para guardar la designación de paridad durante un tiempo limitado; y (f) unos medios para conectar dichos medios generadores de paridad, la segunda parte de dicho primer registro y la parte de designación de paridad del citado segundo registro, a dicho verificador de paridades.

5.- La disposición de verificación del punto 4, caracterizada además por: (g) unos medios conectados a dicho primer registro y que responden a la condición de salida no nula de dicho primer registro dando a su vez una salida; (h) unos medios para controlar la operación de diagnóstico, que incluyen un juego o grupo de interruptores; e (i) unos medios de conexión de dichos medios (g) respondientes a la condición no nula de dicho primer registro con dicho verificador de paridades, durante el funcionamiento de los citados medios (h) de control de la operación de diagnóstico.

321587

10 EN



6.- La disposición de verificación del punto 4, caracterizada además por la obligación de que los vocablos guardados en lugares cuyas direcciones tengan paridad par poseen paridad impar, y los vocablos guardados en aquellos
5 lugares cuyas direcciones tengan paridad impar poseen paridad par.

7.- Disposición de verificación para localizar averías o fallos en un sistema de tratamiento de datos, dotado de Memoria.

10 Tal y como se ha descrito en la Memoria que antecede, representado en el dibujo que se acompaña y para los fines que se han especificado.

La presente Memoria consta de veinte hojas, escritas a máquina por una sola cara.

Madrid, 10 ENE 1966

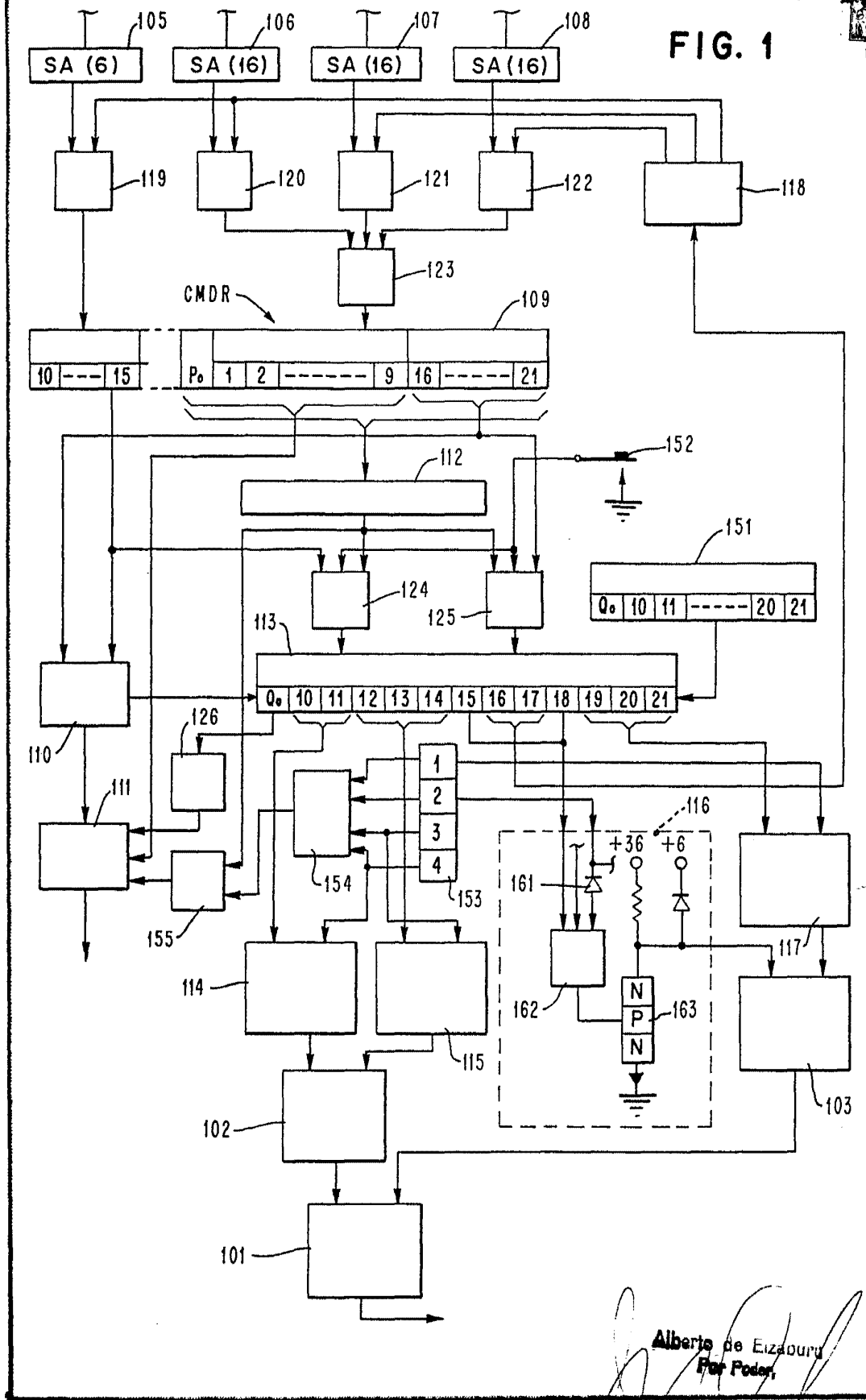
Alberto de Elizabeta
Por Poder

PPR.

3215870



FIG. 1



Alberto de Eizaburu
For Poder