



321002

P-30.681

IBM Docket 18.219

21 DIC. 1965

MEMORIA DESCRIPTIVA
 para solicitar
 PATENTE DE INVENCION
 en
 ESPAÑA
 por VEINTE años

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION, entidad norteamericana, establecida en Armonk, N.Y., Estados Unidos de América, por:

"UNA DISPOSICION DE CIRCUITO NUMERICO POR DIGITOS PARA EJECUTAR OPERACIONES ARITMETICAS"

=====

La presente invención se refiere a circuitos de decisión para sistemas numéricos de tratamiento de datos, y en particular a un sumador binario de tipo paralelo que puede utilizarse para llevar a efecto funciones tanto aritméticas como lógicas.

Las calculadoras numéricas modernas, por dígitos, se basan en circuitos capaces de desempeñar funciones aritméticas, tales como las de adición y sustracción, y funciones lógicas tales como las de coincidencia, las disyuntivas tanto inclusivas como exclusivas, las de permuta, las de desplaza-

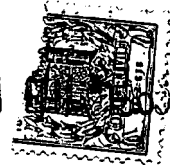
321002



miento a la izquierda y otras similares. Los circuitos para estas funciones han de ser lo más económicos y rápidos que resulte factible, por ser ellos quienes determinan en gran parte el coste y la velocidad de un sistema
5 dado de tratamiento de datos. El desarrollo y estudio de los principios en que se basa el proyecto de circuitos para desempeñar algunas de las mencionadas funciones pueden hallarse en el libro de R.K. Richards titulado
10 "Arithmetic Operations in Digital Computers" ("Operaciones aritméticas en calculadoras numéricas"), editado por D. Van Nostrand Co., 1955. Por ejemplo, en el capítulo 4 del texto citado se estudian las funciones de adición y sustracción binarias. En la técnica se conocen ya unas disposiciones de circuito especiales para ejecutar tanto la suma como la resta de números binarios, mediante una adecuada modificación de un sumador binario
15 en paralelo, de modo que éste puede efectuar la resta mediante la adición del complemento de uno de los números. Un circuito de este tipo se expone, por ejemplo, en la
20 patente de E.G. Wagner, U.S. 3.056.552. Ahora bien, los circuitos de este género ya conocidos tienden por lo general y principalmente a la ejecución de sólo una, o quizá dos, de las diversas funciones aritméticas y lógicas llamadas a ser efectuadas con una calculadora. Así,
25 el uso de tales circuitos en una calculadora numérica binaria exige una pluralidad de circuitos de usos especiales, para dar acomodo a las diversas funciones a desempeñar. Esto implica de modo conveniente y multiplica los circuitos a emplear, y en algunos casos acrecienta el tiempo
30 necesario para que la calculadora efectúe un ciclo de tra

321002

21



bajo.

Por todo ello, es objeto general del presente invento un circuito perfeccionado, del tipo que puede utilizarse en las calculadoras para efectuar una pluralidad de funciones aritméticas y lógicas.

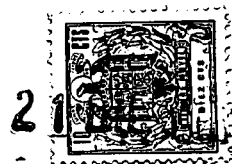
Un objeto particular del presente invento consiste en un sumador binario en paralelo, simplificado y perfeccionado, que puede utilizarse para efectuar sumas y restas trabajando a base de sumas parciales o diferencias parciales.

Otro objeto del presente invento consiste en un sumador binario en paralelo, capaz de efectuar funciones tanto aritméticas como lógicas respecto a un par de números binarios.

Otro objeto de la presente invención reside en un sumador binario en paralelo con una cantidad reducida de circuitos individuales para ejecutar operaciones de sumar y restar.

En resumidas palabras, las particulares disposiciones conforme al presente invento se refieren a un sumador binario en paralelo para obtener la suma de dos números significativos mediante uno o más de una serie de ciclos de cambio de registro, según el diseño de distribución de dígitos de pase ("lleva") que se genera. Las disposiciones pueden usarse también en unión de circuitos de franqueo de paso ("gating") para efectuar las funciones de sustracción, coincidencia, disyuntivas con inclusión o exclusión, permuta y desplazamiento a la izquierda. Un ejemplo particular de esta invención comprende un primer registro (Y) para recibir un augendo, y

321002

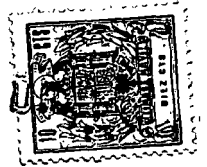


un segundo registro (X) para recibir un adendo, con los registros interconectados y controlados cíclicamente de modo que en cada ciclo sucesivo la suma parcial de dos números primitivamente colocados en los dos registros sustituye al número antes almacenado en el registro Y, y los dígitos de pase, si han sido generados, sustituyen al número guardado en el registro X. Mientras se generan dígitos de pase, se siguen usando ciclos adicionales para sumar estos dígitos a las sumas parciales. Para reducir el equipo necesario se utiliza un método de pase por ondulación ligera o residual; sin embargo, a semejanza de muchos de los sistemas de pase por ondulación residual ya conocidos, el número de ciclos de pase aquí empleado no es constante, sino que depende por entero del diseño de distribución de los dígitos de pase generados. En el momento en que dejan de generarse dígitos de pase, se termina el ciclo de sumar por bloqueo de los impulsos de control de suma que seguirían, de manera que la adición queda terminada y la suma final se encuentra en el registro Y.

Con arreglo a otro de los aspectos de la invención, se habilita, utilizando el mismo sistema de registros X e Y, una disposición para obtener un restador binario en paralelo, que desempeñe la función de sustracción o resta por diferencias parciales, sin necesidad de recurrir a la conversión a complementos. En esta particular disposición, conforme al presente invento, las operaciones de restar por diferencias parciales se ejecutan en ciclos sucesivos bajo el control de una señal cíclica de restar que es bloqueada, o suprimida, al llegar al punto en que dejan de generarse dígitos de toma (del orden superior), y la di-

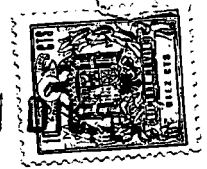
321002

21



ferencia final queda guardada en el registro Y.

Con arreglo a otro aspecto más del presente invento, se habilitan circuitos lógicos individuales, a base de utilizar la misma disposición de registros X e Y arriba citada, para desempeñar respectivamente las funciones lógicas de coincidencia, disyuntivas tanto inclusivas como exclusivas, de desplazamiento binario a la izquierda, y de permuta o cambio, respecto a un par de números binarios. Estos circuitos individuales se combinan, en una determinada disposición especial, conforme al presente invento, en un circuito compuesto capaz de ejecutar la totalidad de las funciones aritméticas y lógicas arriba citadas, a la demanda efectuada por un solo circuito. De la inclusión de este circuito conforme al presente invento en una calculadora numérica binaria se deriva una considerable ventaja, ya que este circuito proporciona las citadas posibilidades o aptitudes, con la adición de muy pocos elementos de circuito, sobre los ya incluidos en los registros numéricos. Por ejemplo, el registro X de la presente invención corresponde al registro regulador o separador de la memoria, que suele incluirse por lo general como elemento calculador, y el registro Y de la invención corresponde al registro acumulador, también incluido por lo general como elemento de cálculo. Así, como puede verse, mediante el uso del presente invento puede darse a las etapas registradoras de la calculadora una considerable flexibilidad funcional, con inclusión de muy pocos elementos auxiliares de circuito, realizándose así una apreciable reducción en los circuitos a emplear en la práctica, porque el circuito compuesto de la invención sustituye



321002

a un número de circuitos individuales, de usos especiales.

Los precedentes y otros objetos, rasgos característicos y ventajas de la invención se irán desprendiendo de la siguiente descripción pormenorizada de unas formas preferidas de realización de la misma, tal como se ilustran en los dibujos adjuntos, en los cuales:

5 - la figura 1 es un esquema funcional de una particular disposición de sumador binario en paralelo conforme al presente invento, en representación de forma general;

10 - la figura 2 es un esquema funcional de una segunda disposición particular de sumador binario conforme al presente invento, representada en forma más simplificada;

15 - la figura 3 es un esquema funcional de una disposición particular de restador binario conforme a la invención;

20 - la figura 4 es un esquema funcional de una parte determinada de una de las disposiciones conforme al presente invento, e ilustra el funcionamiento de la misma como circuito lógico de coincidencia;

25 - la figura 5 es un esquema funcional de la parte correspondiente de una de las disposiciones del presente invento, e ilustra su empleo como circuito lógico disyuntivo (inclusivo);

- la figura 6 es un esquema funcional de parte de una disposición del presente invento, e ilustra su uso como circuito disyuntivo exclusivo;

30 - la figura 7 es un esquema funcional de una

321002

21



parte de una de las disposiciones conforme al presente invento, e ilustra su funcionamiento como circuito de permuta o cambio; y

5 - la figura 8 es un esquema funcional de una disposición de circuito compuesto, conforme al presente invento, que lleva incluidas las operaciones de los circuitos de las figuras 2 a 7 inclusive.

10 En un sumador binario en paralelo conforme a la invención, como se indica en la figura 1, hay un registro de augendo y suma que comprende una pluralidad de etapas individuales 12 de registro Y, designadas $Y_1, Y_2, Y_3 \dots Y_n$, y un registro de adendo y dígitos de pase que comprende las etapas 14 de registro X, designadas $X_1, X_2, X_3 \dots X_n$. Tanto los registros X como los registros

15 Y de cada etapa están interconectados a la etapa sucesiva por medio de barreras ("gates") de coincidencia 16 y de barreras disyuntivas 18, y también están interconectados dentro de una misma etapa para proporcionar la necesaria función de franqueo de paso. A cada etapa se le

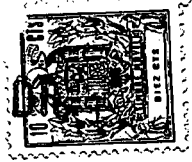
20 aplican señales de sumar, procedentes de un conductor 22 y que en cada etapa van acopladas a base de corriente alterna (por ejemplo, por medio de condensadores 23) a unas entradas de barrera correspondientes. Cada uno de los registros X e Y comprende un circuito de tipo usual, que

25 puede ser un circuito de disparo (monoestable) o bien un circuito de relajación biestable, con salidas complementarias, tanto de binario "1" como de binario "0", que se mantienen hasta que una señal de entrada adecuada hace que la etapa de registro cambie de estado o condición.

30 Cada entrada de barrera está controlada por su conductor

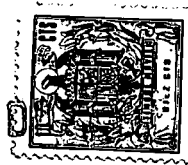
321002

21



de control de barrera contigua (el 24, por ejemplo), dentro de una etapa individual de disparador 12 o 14. Las señales procedentes de la salida "1" de cada etapa de registro X son aplicadas a una barrera disyuntiva 20 en forma de señal de supresión de avance, que sirve para impedir que el aparato de tratamiento de datos avance al sub-escalón siguiente de un programa. La señal de supresión de avance se mantiene mientras una etapa cualquiera 14 de registro X se halle en el estado de "1" binario.

En el funcionamiento del sumador binario en paralelo de la figura 1, en los respectivos registros Y y X, por medios que pueden ser de una forma cualquiera usual, y, por consiguiente, no se han representado en la figura 1, se introducen dos números: el A, de la forma $a_1, a_2, a_3 \dots a_n$, y el B, de la forma $b_1, b_2, b_3 \dots b_n$. A los fines de este ejemplo, supóngase que A es el augendo y B el adendo. A continuación, se aplican señales cíclicas de sumar. Al llegar la primera señal de sumar, hará que cada disparador Y (12) cambie de estado, si su correspondiente disparador X (14) contiene un "1", esto es, se halla en el estado de "1" binario. El registro Y contiene entonces el resultado parcial C_1 . Al mismo tiempo, la señal de sumar hace que los disparadores X (14) sigan activados, o se activen (al estado de "1" binario) si los disparadores X e Y de la etapa precedente estaban ambos en el estado de "1" binario, en el ciclo precedente. Es de notar que para la etapa de registro X_1 , es decir, con el disparador 14 en la posición correspondiente al orden de las unidades, X_1 se desactiva, si



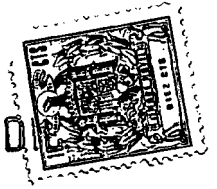
no está ya desactivado, llevando a efecto la reposición de la incorporación de dígitos de pase ("LLEVA"). De estar desactivados uno u otro de los disparadores X e Y, o ambos, de la etapa precedente, el disparador X se desactiva (adopta el estado de "0" binario). De esta manera se generan los dígitos de pase y se guardan en el registro X, como factor F_1 . El ciclo se repite hasta que el registro X contiene cero (F_n); en este momento se termina la señal de supresión de avance procedente de la barrera disyuntiva 20, permitiendo así que el aparato de tratamiento de datos continúe su trabajo. No se reciben más señales de sumar, y la suma de los dos números A y B queda guardada en el registro Y. El resumen de esta operación es como sigue:

$$\begin{array}{r}
 A \\
 + B \\
 \hline
 C_1 \text{ resultado parcial} \\
 + F_1 \text{ dígitos de pase resultantes de sumar } A + B \\
 \hline
 C_2 \text{ segundo resultado parcial} \\
 + F_2 \text{ dígitos de pase resultantes de sumar } C_1 + F_1 \\
 \hline
 C_3 \text{ tercer resultado parcial} \\
 \vdots \\
 \vdots \\
 \vdots \\
 \hline
 C_n \text{ enésimo resultado parcial, siendo } \underline{n} = \text{número de orden de la operación al hacerse} \\
 F = 0. \\
 \text{La operación termina cuando } F_n = 0.
 \end{array}$$

Cada resultado parcial C queda guardado en el registro Y

321002

210

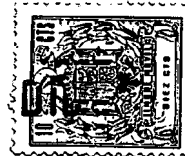


chas 23'. Ahora bien, como se comprenderá, estas entradas corresponden a las capacitivas 23 de la figura 1. Como se observará, no se hace uso de la salida de "1" binario de los disparadores Y. En cambio, las salidas de "0" binario de los disparadores Y van acoplados a la entrada de corriente alterna de activación del disparador X del orden inmediato superior. Esto indica, lógicamente, que el disparador Y está cambiando del estado de "1" binario al de "0" binario y por consiguiente, tanto él como su disparador X correspondiente tienen que haberse hallado en el estado de "1" binario. Las salidas de "0" binario de los disparadores X e Y de una etapa dada se utilizan para controlar unas barreras independientes, en el lado de reposición de un disparador X sucesivo. Así, si X_n o $Y_n = 0$, el disparador X_{n+1} es repuesto a "0" por la señal de sumar sucesiva. La regla para hacer funcionar el circuito de la figura 2 es: cuando Y_n cambia de "1" a "0", activar $X_{n+1} = 1$. El funcionamiento del circuito de la figura 2 corresponde a los ejemplos ilustrativos arriba expuestos -en relación con la figura 1.

La figura 3 representa una disposición particular de un restador binario en paralelo, conforme a la invención. La comparación de la figura 3 con la figura 2 pone de manifiesto que ambos circuitos se corresponden en virtualmente todos los aspectos, salvo en que es la salida de "1" binario de los disparadores Y la que se utiliza para controlar el disparador X sucesivo, y no la salida de "0" binario. La señal de restar se aplica por un conductor 32, en correspondencia con la señal de sumar aplicada por el conductor 22 de la figura 2. En lugar de las señales

321002

21



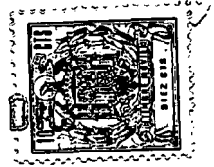
"LLEVA" y "LLEVA" de la figura 2 se aplican las señales de "TOMA" y "TOMA" (de incorporación y reposición de la incorporación, respectivamente, de dígitos de toma del orden inmediato superior). La regla para el funcionamiento del circuito de la figura 3 es: cuando Y_n cambia de "0" a "1", activar $X_{n+1} = 1$. La única diferencia entre ésta y la regla que gobierna el funcionamiento del circuito de la figura 2 es que el cambio de Y sea de "0" a "1" y no de "1" a "0". Una particular ventaja del funcionamiento del restador binario de la figura 3 reside en el hecho de ser innecesario que se efectúe ninguna operación de complementar, para ejecutar la resta. La operación de restar se efectúa enteramente por sustracción real a base de diferencias parciales. El circuito de la figura 3 funciona de acuerdo con el ejemplo siguiente, en el cual se supone, a los fines de la ilustración, que de un número binario $A = 01101$ se va a restar un número binario $B = 00110$.

A	01101	
- B	00110	
A_1	01011	diferencia parcial
- B_1	00100	toma parcial
A_2	01111	diferencia parcial
- B_2	01000	tomar parcial
A_3	00111	diferencia parcial
B_3	00000	no hay más tomas: fin de la operación.

El número A está inicialmente guardado en el registro Y, en tanto que el número B se guarda inicialmente en el registro X, por medios que no están indicados en la figura 3.

321002.

21



5 Como se observará, en el funcionamiento del restador de la figura 3, cada diferencia parcial viene desarrollada en su disparador Y_n correspondiente, por modificación del estado o condición del mismo si hay un "1" binario presente en la salida del correspondiente disparador X_n . En el disparador X_{n+1} sucesivo se establece una tomar parcial, si un disparador Y_n dado cambia al estado de "1" binario.

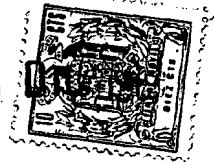
10 Además de su uso para la sustracción, el restador binario de la figura 3 puede emplearse para desempeñar la función de desplazamiento a la izquierda, de carácter binario. A este fin, el número a desplazar es introducido en el registro X por medios no indicados en la figura 3, y el registro Y es puesto a "0". Al final del primer ciclo de restar, el número primitivo aparece ahora en el registro X, pero desplazado a la izquierda en un lugar o posición. Un ejemplo de esta operación de desplazar el número binario 011010 es el siguiente:

20

	Y	000000
Ciclo 1	X	<u>011010</u>
	Y	011010
Ciclo 2	X	<u>110100</u>

Así, el número que había en el registro X en el ciclo 1 aparece en el registro X en el ciclo 2, pero desplazado un lugar a la izquierda.

25 La figura 4 ilustra una disposición de etapas de registro X e Y para trabajar como circuito lógico desempeñando la función de coincidencia entre números respectivamente guardados en los registros X e Y. El re-



sultado de coincidencia se halla en el registro Y, y la operación se efectúa con arreglo a la tabla siguiente:

TABLA I

Y	0	1	1	0
<u>X</u>	<u>1</u>	<u>0</u>	<u>1</u>	<u>0</u>
Y ₁	0	0	1	0

5

Por la tabla I puede verse que cada disparador Y_n debe pasar al estado de "0" binario, a menos que el disparador X_n correspondiente contenga un "1" binario. Como se indica en la figura 4, la salida de "1" binario del disparador X_n (14) se aplica para controlar la entrada de reposición de X_n , y la salida de "0" binario del disparador X_n (14) está aplicada para controlar la entrada de reposición del disparador Y_n (12) correspondiente. La señal de coincidencia aplicada en un conductor 42 pasa entonces a cada etapa de disparador X e Y, de acuerdo con las interconexiones descritas.

10

15

La figura 5 representa una particular configuración de etapas 12 de registro Y y etapas 14 de registro X, interconectadas de manera que desempeñan una función lógica disyuntiva entre órdenes correspondientes de los registros X e Y. El resultado de la disyuntiva se halla en el registro Y, y está formado de acuerdo con la tabla siguiente:

20

TABLA II

Y	0	1	1	0
<u>X</u>	<u>1</u>	<u>0</u>	<u>1</u>	<u>0</u>
Y	1	1	1	0

25

321002

21



Como puede verse por la figura 5, la salida de "1" binario del disparador X_n (14) está acoplada de modo que produce tanto la activación del disparador Y_n (12) correspondiente como la reposición del mismo disparador X_n (14), por medio de una señal de disyuntiva aplicada en un conductor 52. Esto da por resultado que todo estado de "1" binario, en uno u otro de los disparadores X e Y de una etapa dada se refleja en el disparador Y de esa etapa.

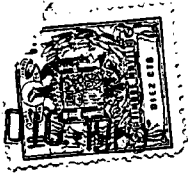
Tanto las funciones de coincidencia como disyuntivas se aplican a una operación comprendida dentro de una etapa individual, y pueden proseguir simultáneamente en tantas etapas como haya contenidas en los registros X e Y.

La figura 6 representa una disposición de disparadores Y (12) y disparadores X (14) para desempeñar la función lógica disyuntiva exclusiva, respecto a los números binarios guardados en los respectivos registros. Esta función se ejecuta sobre cada uno de los órdenes de los registros X e Y, con arreglo a la tabla siguiente:

TABLA III

Y	0	1	1	0
X	1	0	1	0
Y	1	1	0	0

Las señales de disyuntiva exclusiva se aplican por medio de un conductor 62, y las etapas X e Y de un orden dado están interconectadas de manera que el estado de "1" binario del disparador X (14) permite un cambio de estado



del correspondiente disparador Y (12) y la reposición del
disparador X (14) en respuesta a la señal de disyuntiva
exclusiva. Como puede verse, este circuito al trabajar
utiliza las mismas funciones que los de adición y sustrac-
ción, pero sin dígitos de pase ni de toma.

La figura 7 representa una disposición conforme
al invento, para utilizar un par de registros que desem-
peñan una función directa de cambio o permuta. En esta
figura, los disparadores Y (12) y X (14) se ilustran co-
nectados entre sí por parejas, de manera que hacen que el
estado de cada disparador se transfiera a su compañero de
pareja, al aplicar un impulso de cambio a lo largo de un
conductor 63. En el circuito que se indica, cada sali-
da de "1" binario de un disparador controla la entrada de
activación del otro disparador de la misma etapa, y cada
salida de "0" binario de un disparador controla la entrada
de reposición del otro disparador de dicha etapa. El fun-
cionamiento del circuito en respuesta a un impulso de cam-
bio o permuta se hace con arreglo a la tabla siguiente:

TABLA IV

Y	0	0	1	1
<u>X</u>	<u>0</u>	<u>1</u>	<u>0</u>	<u>1</u>
Y	0	1	0	1
X	0	0	1	1

Como puede verse, el resultado es un intercambio o una per-
muta bilateral, dentro de cada etapa, de los respectivos
estados binarios almacenados, y la operación se prolonga
en cuantas etapas de registro haya. Las disposiciones



ya conocidas para realizar una función semejante implican por lo general sólo una mudanza o traslado y no una permuta de números. Es decir, en las usuales instrucciones de "mudar", tales como la de "mudar A a B", A sustituye a B, pero B no sustituye a A y, por tanto, se pierde de los registros. Por el contrario, la presente disposición proporciona una verdadera permuta, en la cual A sustituye a B y B reemplaza a A.

La figura 8 representa en forma de esquema funcional un circuito compuesto que incluye las configuraciones indicadas en las figuras 2 a 7 inclusive, para efectuar las operaciones aritméticas de adición y sustracción, y las funciones lógicas de coincidencia, disyuntivas (inclusivas o exclusivas) de desplazamiento a la izquierda y de permuta, respecto a un par de números binarios. El esquema de la figura 8 representa las etapas tercera y cuarta de parte de un circuito compuesto de n etapas. Por conveniencia de la representación, los disparadores X e Y (14 y 12 respectivamente) han sido divididos en bloques o recuadros de "1" binario y de "0" binario, correspondientes a X_n , Y_n y $\overline{X_n}$, $\overline{Y_n}$, respectivamente. Se indican unos amplificadores de percepción o interrogación 72, acoplados por medio de entradas sin barrera a las respectivas etapas X_n e Y_n al objeto de activar o poner los respectivos disparadores X e Y en estados binarios correspondientes a los números binarios, recibidos de la memoria, sobre los cuales se va a operar. Con excepción de las entradas sin barrera, procedentes de los amplificadores de percepción 72, cada una de las entradas designadas con punta de flecha en el lado izquierdo de uno de los bloques

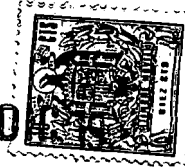
321002

21



de disparadores representa una entrada de corriente alterna controlada por el estado de la señal aplicada al conductor asociado que está inmediatamente encima de la punta de flecha. Las señales de control provienen de unos excitadores de impulsos de control asociados, y designados de modo diverso con las denominaciones de excitador 72 de impulsos de control de sumar, excitador 75 de impulsos de control de restar desplazamiento a la izquierda, excitador 76 de impulsos de control de coincidencia, excitador 77 de impulsos de control de función disyuntiva, excitador 78 de impulsos de control de función disyuntiva exclusiva, y excitador 79 de impulsos de control de permuta. Los circuitos de salida van acoplados del modo que se indica, para dar indicaciones adecuadas del estado de las diversas etapas de registro. Estos circuitos de salida comprenden un excitador 82 de indicador y una lámpara asociada 83. El excitador 82 de indicador está acoplado de modo que recibe la salida de "0" binario de su disparador Y (12) asociado (es decir, la salida Y) e invertir esta señal para excitar la lámpara indicadora 83, dando así una indicación del estado del registro Y, para su presentación al operador. Además se prevé una barrera 20 de señales de supresión de avance para establecer una señal de bloqueo de los excitadores 74, 75 de impulsos de control, de la manera indicada en las figuras 1 a 3.

Para que pueda comprenderse con mayor facilidad el funcionamiento del circuito compuesto de la figura 8, se hace referencia a las figuras 2 a 7 inclusive, en las cuales están expuestas por separado las diversas funciones de adición, sustracción, disyuntiva, disyuntiva ex-



clusiva, de coincidencia de desplazamiento a la izquierda y de permuta. El circuito compuesto de la figura 8 se hace funcionar de acuerdo con las diversas reglas que siguen, para ejecutar las funciones designadas (indicándose entre paréntesis la etapa que realmente se está efectuando de acuerdo con cada regla):

5

SUMAR

$X_n = 1$, cambiar de binario Y_n (suma parcial)

Y_n cambia de "1" a "0", activar $X_{n+1} = 1$ (generar y guardar dígitos de pase)

10

$X_n \circ Y_n = 0$, activar $X_{n+1} = 0$ (reponer dígitos de pase)

RESTAR

$X_n = 1$, cambiar de binario Y_n (diferencia parcial)

Y_n cambia de "0" a "1", activar $X_{n+1} = 1$ (generar y guardar dígitos de toma)

$X_n = 0$ }
 $Y_n = 1$ } activar $X_{n+1} = 0$ (reponer dígitos de toma)

15

FUNCION DE COINCIDENCIA

$X_n = 0$, activar $Y_n = 0$ (resultado de coincidencia)

PERMUTA

$X_n = 1$, activar $Y_n = 1$ (X a Y)

$X_n = 0$, activar $Y_n = 0$ (\bar{X} a \bar{Y})

20

$Y_n = 1$, activar $X_n = 1$ (Y a X)

$Y_n = 0$, activar $X_n = 0$ (\bar{Y} a \bar{X})

321002

21 DIC 1961



FUNCION DISYUNTIVA

$X_n = 1$, activar $Y_n = 1$ (resultado de disyuntiva cuando $X = 1$)

DISYUNTIVA EXCLUSIVA

$X_n = 1$, cambiar de binario Y_n (disyuntiva exclusiva)

5

$X_n \circ Y_n = 0$
 $Y_n = 1$ } activar $X_{n+1} = 0$ (reponer X)

DESPLAZAMIENTO A LA IZQUIERDA

(Lo mismo que RESTAR, con sólo un ciclo de dígitos de toma, y comienza con cada $Y_n = 0$)

10

$X_n = 1$, cambiar de binario Y_n (diferencia parcial)
 Y_n cambia de "0" a "1", activar $X_{n+1} = 1$ (dígitos de toma)

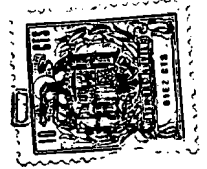
$X_n = 0$, activar $X_{n+1} = 0$ (reponer dígitos de toma)

15

Las funciones adicionales de desplazamiento a la izquierda pueden efectuarse reponiendo todos los Y_n a "0" y repitiendo el ciclo. Como alternativa, la función de desplazamiento a la izquierda puede ir seguida de la de permuta para presentar el número en el registro Y como de costumbre.

20

Como fácilmente puede verse, el circuito compuesto ilustrado en la figura 8 representa una apreciable simplificación, comparado con los circuitos de usos especiales que, en la técnica ya conocida, se vienen empleando para desempeñar las diferentes funciones indica-



5 das. Por ejemplo, cuando se compara el circuito compues-
to de la figura 8 con los ya expuestos independientemente,
como circuitos de usos especiales, en las figuras 2 a 7
inclusive, es evidente que al juego de registros y equipo
de presentación necesarios para un circuito de un solo fin
o propósito hay que añadir tan sólo los excitadores adicio-
nales de impulsos de control, y las diferentes conexiones
que se incluyen, para lograr el circuito compuesto de la fi-
gura 8 con capacidad para fines múltiples como acaba de des-
cribirse.

10 Si bien la invención ha sido ilustrada y descrita
en particular con referencia a unas formas preferidas de rea-
lización de la misma, se sobrentiende, para aquellas perso-
nas versadas en la materia, que pueden hacerse en las mis-
mas diversos cambios de forma y de detalle sin apartarse del
espíritu ni salirse del ámbito de la invención.

15 Esta solicitud, que corresponde a la presentada
en Estados Unidos de América el 23 de Diciembre de 1964,
bajo el número 420.568, se acoge a los beneficios del Art.
20 51 del vigente Estatuto de Propiedad Industrial.

N O T A

=====

Los puntos de Invención propia y nueva, que se
presentan a continuación para que sean objeto de esta soli-

321002

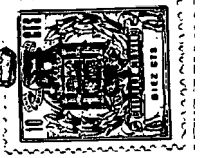
21



cidad de Patente de Invención en España, por VEINTE años, son los siguientes:

5 1.- Una disposición de circuito numérico por dígitos para ejecutar operaciones aritméticas con un par de números binarios, que comprende: unos registros primero y segundo para guardar dos números binarios; medios para generar una suma parcial de dos números binarios guardados en dichos registros, quedando dicha suma parcial binaria guardada en dicho primer registro; medios para generar dígitos de pase que se llevan de una operación de suma parcial, y que quedan guardados en dicho segundo registro; medios para aplicar señales repetitivas de sumar a fin de controlar dicho circuito y repetir la operación de suma parcial hasta quedar bloqueado; y medios para dar 10 una señal de bloqueo cuando todos los dígitos de pase son cero.

15 2.- Una disposición de circuito numérico, por dígitos para ejecutar operaciones aritméticas con un par de números binarios, que comprende: unos registros primero y segundo para guardar dos números binarios; medios para 20 generar una suma parcial de dos números binarios guardados en dichos registros, quedando dicha suma parcial binaria guardada en dicho primer registro; medios para generar dígitos de pase que se llevan de una operación de suma parcial, y que quedan guardados en dicho segundo registro; y 25 medios para aplicar señales de sumar que controlen dicho circuito para repetir la operación de suma parcial hasta ser eliminados los dígitos de pase; comprendiendo dichos medios generadores de dígitos de pase una conexión di 30 recta desde la salida de "cero" binario del primer regis-



tro a una entrada de incorporación de dígitos de pase del segundo registro.

5 3.- Una disposición de circuito numérico por dígitos para ejecutar operaciones aritméticas con un par de números binarios, que comprende: unos registros primero y segundo para guardar dos números binarios; medios para generar una suma parcial de dos números binarios guardados en dichos registros, quedando dicha suma parcial binaria guardada en dicho primer registro; medios
10 para generar dígitos de pase que se llevan de una operación de suma parcial, y que quedan guardados en dicho segundo registro; medios para aplicar señales repetitivas de sumar a fin de controlar dicho circuito y repetir la operación de suma parcial hasta quedar bloqueado; y
15 medios para dar una señal de bloqueo cuando todos los dígitos de pase son cero; comprendiendo dichos medios generadores de dígitos de pase una conexión directa desde la salida de "cero" binario del primer registro a una entrada de incorporación de dígitos de pase del segundo
20 registro.

25 4.- Una disposición de circuito numérico por dígitos para ejecutar operaciones aritméticas con un par de números binarios, que comprende: un primer registro para guardar un augendo y luego acumular sumas parciales; un segundo registro para guardar un adendo y las sucesivas señales de dígitos de pase; un manantial de suministro de señales de sumar acoplado de modo que origina la adición de un número contenido en el segundo registro a un número contenido en el primer registro; medios
30 de franqueo de paso para dar al segundo registro



unas señales de dígitos de pase con arreglo al contenido de los registros primero y segundo en un ciclo precedente, y para despejar las etapas del segundo registro a las cuales no se apliquen señales de dígitos de pase; y medios para hacer que las señales de sumar se generen de modo repetitivo, hasta quedar despejado el segundo registro.

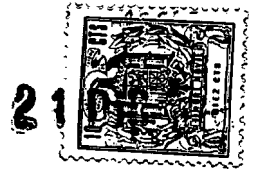
5
10
15
20

5.- Una disposición de circuito numérico por dígitos para ejecutar operaciones aritméticas con un par de números binarios, que comprende: un primer registro para guardar un augendo y luego acumular sumas parciales; un segundo registro para guardar un adendo y las sucesivas señales de dígitos de pase; un manantial de suministro de señales de sumar acoplado de modo que origina la adición de un número contenido en el segundo registro a un número contenido en el primer registro; medios para dar al segundo registro unas señales de dígitos de pase, en respuesta al cambio, en el primer registro del estado de "uno" binario al estado de "cero" binario; y medios para hacer que las señales de sumar se generen de modo repetitivo hasta quedar despejado el segundo registro.

25
30

6.- Una disposición de circuito numérico por dígitos para ejecutar operaciones aritméticas con un par de números binarios, que comprende: un primer registro para guardar un minuendo y acumular diferencias parciales; un segundo registro para guardar un sustraendo y los sucesivos dígitos de toma; y medios de traspaso para restar del primer registro un sustraendo y los dígitos de toma sucesivos, y también para despejar o guardar los dígitos de toma en dicho segundo registro, con arre-

321002



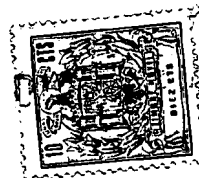
glo a las etapas de sustracción parcial.

5 7.- Una disposición de circuito numérico por dígitos para ejecutar operaciones aritméticas con un par de números binarios, que comprende: un primer registro para guardar un minuendo y acumular diferencias parciales; un segundo registro para guardar un sustraendo y los sucesivos dígitos de toma; medios de traspaso para restar del primer registro un sustraendo y los dígitos de toma sucesivos, y también para despejar o guardar los dígitos de toma en dicho segundo registro, de acuerdo con las etapas de sustracción parcial; y medios para hacer funcionar los medios de traspaso hasta que la sustracción se completa, y se despeja dicho segundo registro.

15 8.- Una disposición de circuito numérico por dígitos para ejecutar operaciones aritméticas con un par de números binarios, que comprende: un primer registro para guardar un minuendo y acumular diferencias parciales; un segundo registro para guardar un sustraendo y los dígitos de toma sucesivos; medios de traspaso para restar del primer registro un sustraendo y los dígitos de toma sucesivos, y también para despejar o guardar los dígitos de toma en dicho segundo registro, con arreglo a las etapas de sustracción parcial; medios para hacer funcionar repetitivamente los medios de traspaso; y medios para generar una señal de bloqueo, a fin de bloquear estos últimos medios de accionamiento repetitivos cuando se despeja el segundo registro.

25 9.- Una disposición de circuito numérico por dígitos para ejecutar operaciones aritméticas, así como operaciones lógicas, con un par de números binarios, que

30



comprende: unos registros primero y segundo; medios para guardar números binarios en dichos registros; medios de interconexión de dichos registros primero y segundo de acuerdo con las funciones aritméticas y lógicas a efectuar; y medios para controlar dichos registros primero y segundo con arreglo a una función seleccionada, a ejecutar.

10.- La disposición de circuito numérico por dígitos del punto 9, que comprende además unos medios indicadores, para indicar el estado del primer registro.

11.- La disposición de circuito numérico por dígitos del punto 9, en la cual dichas operaciones incluyen las de adición, sustracción, coincidencia, disyuntiva, disyuntiva exclusiva, permuta, y desplazamiento de binarios a la izquierda.

12.- Una disposición de circuito numérico por dígitos para ejecutar operaciones aritméticas.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de veintiseis hojas escritas a máquina por una sólo cara.

Madrid, 21 DIC. 1965

P.A.

Alberto de Eizaburu
Por Poderes



Handwritten signature or initials in the top right corner.

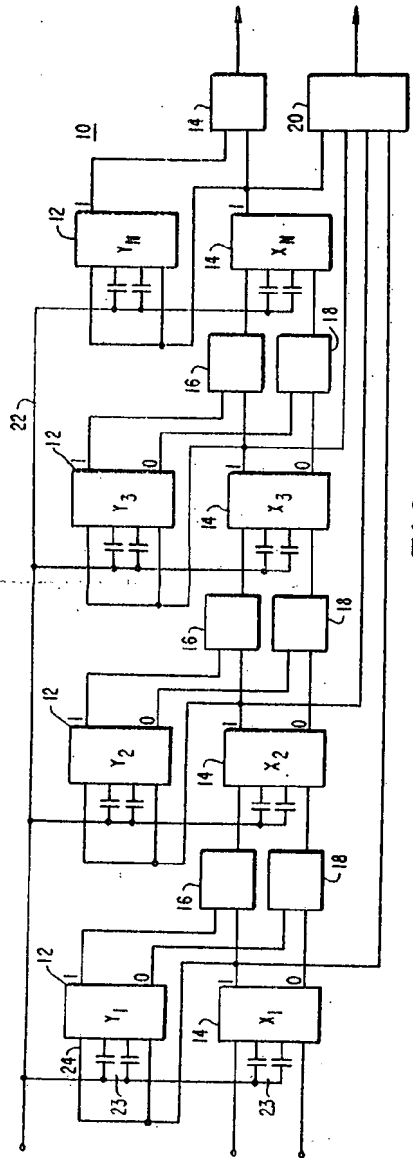


FIG. -1

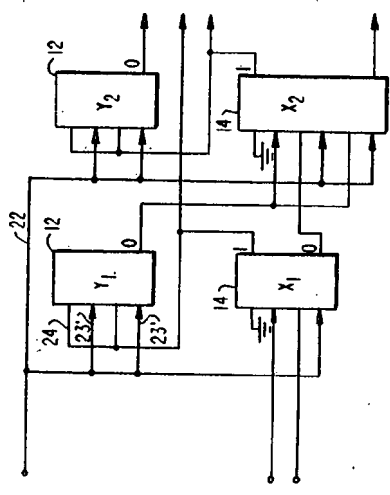


FIG. -2

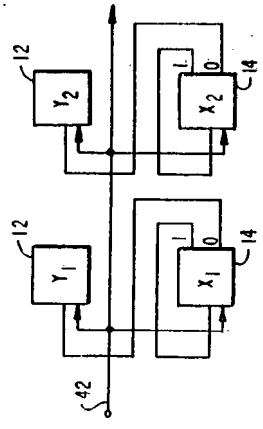


FIG. -4

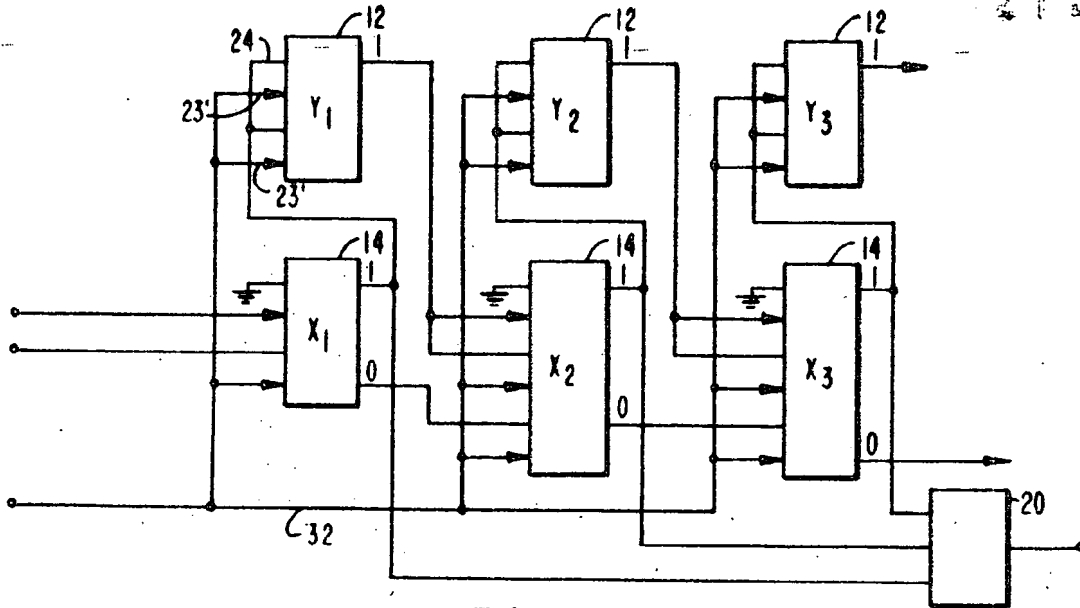


FIG. - 3

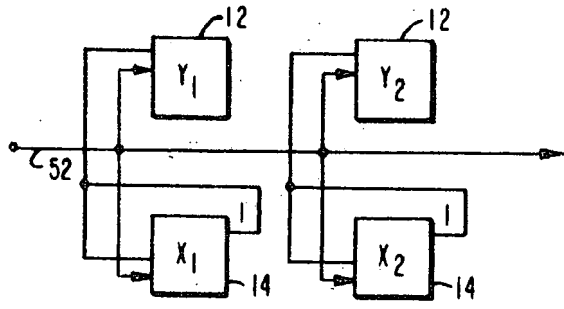


FIG. - 5

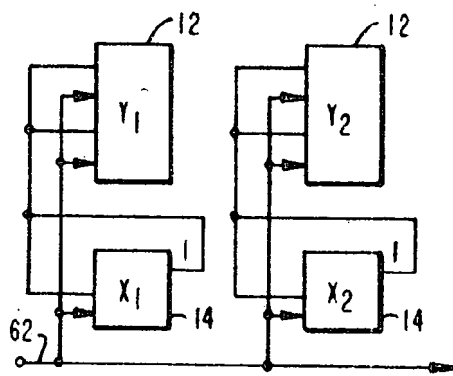


FIG. - 6

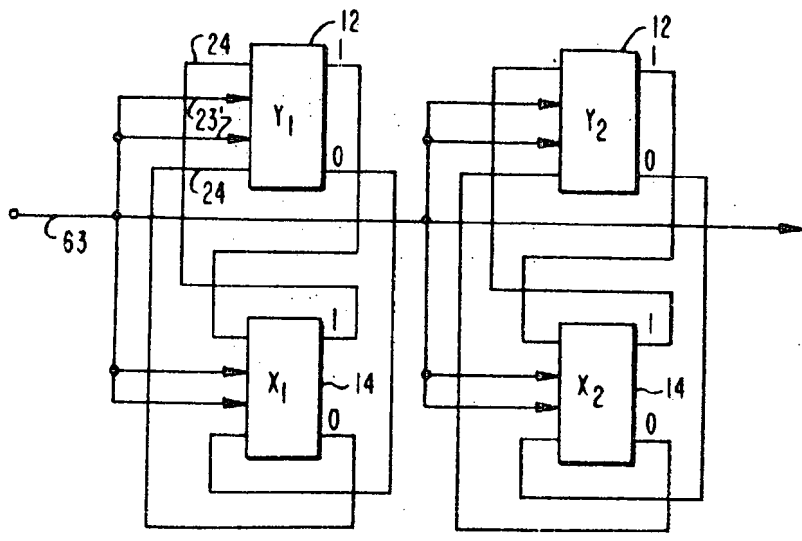


FIG. - 7

ESCALA VARIABLE

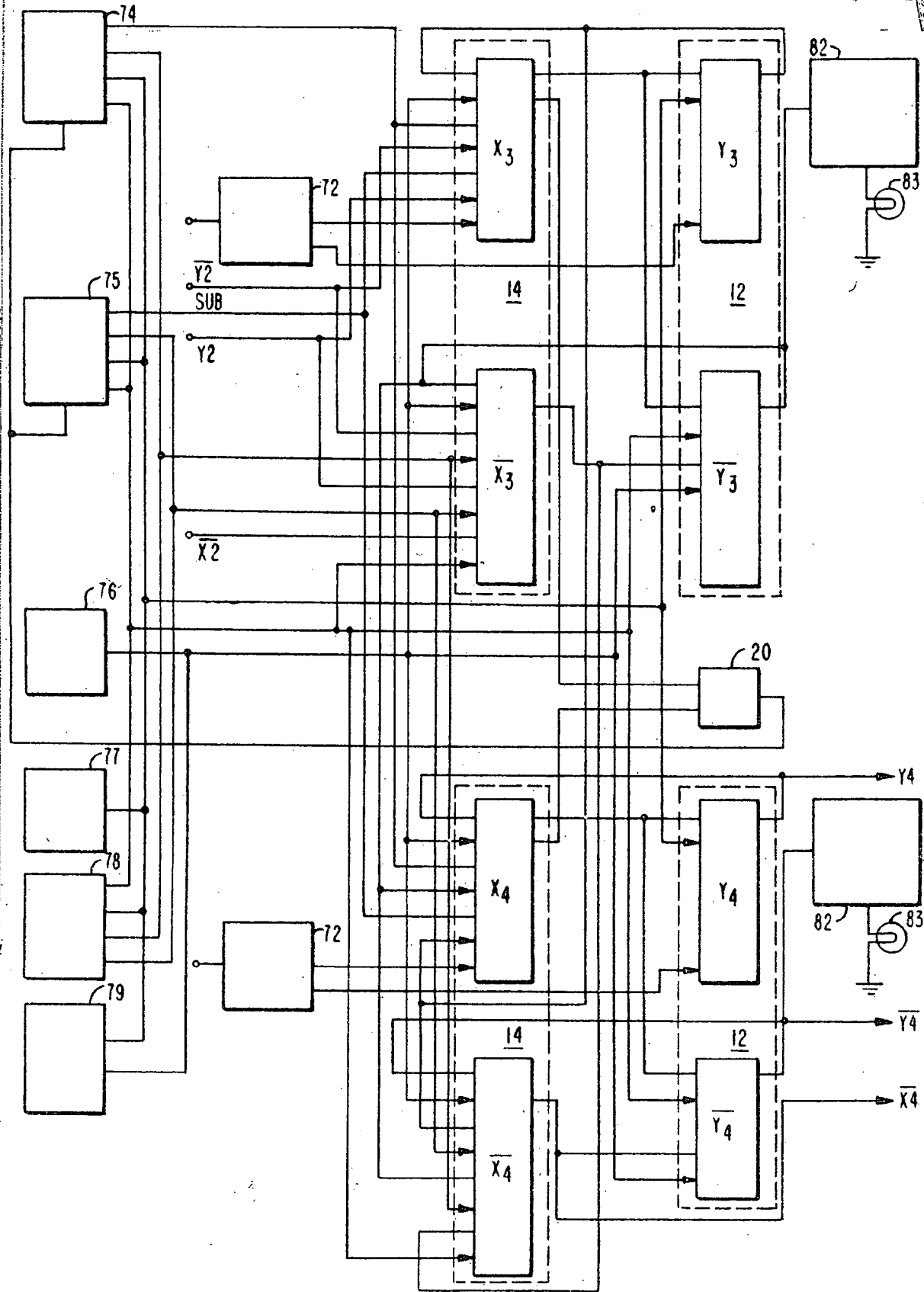


FIG.-8