

320796



P.- 30.809

TI-2079

320796

MEMORIA DESCRIPTIVA

que se presenta para unir a la solicitud

de

P A T E N T E D E I N V E N C I O N

formulada el 16 de diciembre de 1.965 con el núm. 320.796

en

E S P A Ñ A

por VEINTE años

a nombre de TEXAS INSTRUMENTS INCORPORATED, entidad norteamericana establecida en 13500 North Central Expressway, Dallas, Tejas, Estados Unidos de América, por:

"UN METODO DE FAERICACION DE UN SISTEMA ELECTRICO".

La presente invención se refiere a dispositivos semiconductores y a métodos de fabricación de los mismos, y más especialmente a los métodos de fabricar sistemas y circuitos eléctricos complejos de tipo "microminiatura".

5 Los circuitos con semiconductores "integrados" vienen teniendo amplia aceptación para sistemas electrónicos del tipo utilizado en los equipos espaciales y de proyectiles dirigidos, donde son factores críticos el tamaño, el peso, el consumo de energía y la seguridad funcional. Estos dispositivos de circuitos integrados compren-

10



den de ordinario minúsculas "obleas" (pastillas o barras) de material semiconductor con gran número de elementos componentes de circuito incorporados, e interconectados por medio de películas metálicas, para dar la deseada función de circuito. Tales dispositivos se describen en la patente U.S. 3.138.743 concedida el 23 de junio de 1964 al inventor de la presente. Cada dispositivo integrado contiene usualmente una función de circuito (por ejemplo) un circuito de relajación biestable o "flip-flop", una barrera de circuito lógico, o similar). Las "obleas" o pastillas de semiconductor, en estos dispositivos, están de ordinario encerradas o encapsuladas en pequeños paquetes planos, herméticamente cerrados o sellados, como se ilustra en la patente U.S. 3.072.000 concedida el 8 de enero de 1963 al mismo inventor de la presente, yendo un número de estos paquetes montado en una placa de circuitos en forma de subsistema.

En los equipos electrónicos en los que se emplean circuitos integrados se ha llegado, o está a punto de llegarse, al momento en que la seguridad funcional y el coste vienen primariamente determinados por las estructuras de conexión, y no por las barras semiconductoras. Desde éstas es preciso llevar hilos de conexión a los terminales que sirven de salida de los paquetes herméticamente cerrados, y luego estos terminales deben soldarse de algún modo a unos conductores en una placa de circuitos, y estas placas de circuitos ser interconectadas entre sí por medio de disposiciones enchufables. Cada una de estas conexiones implica de ordinario operaciones manuales, el uso de materiales costosos y la introducción de roturas

320796

19



5 en la fabricación. Es más, la seguridad funcional de una
unión soldada, ya sea por soldadura autógena o de aporta-
ción, si bien se suele considerar muy alta, se convierte
en un importante factor contribuyente a los fallos y ave-
rias que se producen cuando el "tiempo medio entre averías"
especificado o prescrito para un sistema se prolonga has-
ta ser del orden de muchos millares de horas. Las conexio-
nes de introducción en la propia barra semiconductoras se
hacen por métodos fotográficos, que no necesitan operacio-
10 nes manuales individuales, emplean cantidades extraordina-
rias minúsculas de material, no traen consigo operaciones
mecánicas violentas, tales como las de soldadura o cone-
xión a presión durante la manufactura y, por tanto, son
muchísimos más económicos y confiables que las conexiones
15 exteriores.

Por consiguiente, basándose fundamentalmente en
consideraciones de coste y seguridad funcional o confiabi-
lidad, así como en el continuo afán de reducir peso y ta-
maño y aumentar frecuencia o velocidades de trabajo, es
20 conveniente incrementar el número de elementos que compo-
nen cada barra de circuitos integrados, acrecentando así
el número de funciones electrónicas en cada paquete y re-
duciendo el número de paquetes por sistema. En la actuali-
dad es posible fabricar "rebanadas" de silicio monocrista-
25 linas, de quizá $2\frac{1}{2}$ cm. de diámetro, donde caben un cente-
nar o más de funciones de circuito, con posiblemente 20
o más elementos de circuito en cada función de circuito,
de modo que esta "rebanada" incluye millares de elementos
componentes (esto es, transistores, resistencias, etc).
30 No es disparatado, pues, imaginar que a base de una sola



"rebanada" semiconductoras podrían construirse sistemas o subsistemas electrónicos enteros. Por desgracia, el rendimiento de manufactura de componentes buenos, o de funciones de circuito buenas, en una rebanada o segmento dado es menor del 100%, y este hecho impide la inmediata utilización de las ventajas de incorporar o acumular un gran número de circuitos y elementos en un solo dispositivo semiconductor.

Los datos tomados sobre la producción reciente de circuitos de semiconductores integrados ponen de relieve que el rendimiento de funciones de circuito buenas por segmento o rebanada es bastante alto (apreciablemente por encima del 50%), lo cual es realmente económico cuando la rebanada se descompone en barras que contengan una sola función de circuito. Ahora bien, el rendimiento cuando todas las funciones de circuito de una rebanada entera deban ser buenas, es esencialmente nulo. Es decir, no se encuentra prácticamente nunca una rebanada cuyas unidades (o dispositivos componentes) sean todos buenos, Así, pues, la manufactura de dispositivos semiconductores que contengan sistemas o subsistemas complejos en un solo cuerpo semiconductor sería prohibitivamente costosa, si no imposible, utilizando los actuales métodos.

Por todo ello, es objeto principal de esta invención un método económico para fabricar sistemas electrónicos, en el cual el número de dispositivos semiconductores necesarios se reduce al mínimo mediante la incorporación de gran número de funciones o circuitos electrónicos en un solo cuerpo semiconductor. Otro objeto de esta invención reside en un método para interconectar elementos

320796

19



componentes en una barra semiconductor, mediante el cual se prevé el uso de barras que contengan elementos no funcionales, tales como los que pueden presentarse en la fabricación.

5 Conforme al presente invento, un sistema o subsistemas electrónicos que contenga muchos circuitos o elementos funcionales se hace formando primero un gran número de componentes de circuito en un cuerpo semiconductor, número éste superior al necesario para producir las funciones deseadas; probando o ensayando luego los componentes o elementos funcionales; y finalmente generando en el cuerpo semiconductor un diseño singular y único de interconexiones, basado en los resultados del ensayo o prueba. Este diseño de interconexión se crea preferiblemente por métodos fotográficos, utilizando una máscara de ocultación o protección hecha por medio de operaciones manuales de tipo usual, o bien por exposición a un haz electrónico con fotoprotección (fotoresist), directamente sobre el cuerpo semiconductor, o por cualquier otro medio como más adelante se describirá. La Totalidad de las operaciones de prueba y generación de la máscara única o singular puede realizarse por medio de equipos electromecánicos de tratamiento de datos.

10

15

20

Utilizando los métodos de esta invención, puede formarse en una sola oblea semiconductor un sistema electrónico complejo que contenga centenares de funciones de circuito y millares de elementos componentes de circuito, aún utilizando los actuales procedimientos o la actual tecnología de fabricación, porque pueden aceptarse rendimientos de mucho menos del 100% de funciones de circuito

25

30



buenas por rebanada u oblea.

Las características constitutivas de novedad que se consideran propias de la presente invención se exponen en las reivindicaciones finales. Ahora bien, la invención en sí, así como otros objetos y ventajas de la misma, se comprenderán mejor por la siguiente descripción detallada de unas formas de realización ilustrativas, tomada en unión de los dibujos adjuntos, en los cuales:

5

- la figura 1 es una vista en planta, muy ampliada, de una oblea semiconductora que contiene una pluralidad de elementos funcionales y está destinada a su uso en la práctica del presente invento;

10

- la figura 2 es un esquema lógico de un elemento funcional representativo, de los contenidos en la oblea de la figura 1;

15

- la figura 3 es un esquema del circuito electrónico de uno de los elementos funcionales de la oblea de la figura 1, circuito éste que desempeña la función lógico esquematizada en la figura 2;

20

- la figura 4 es una vista en planta, muy ampliada, de la disposición de elementos componentes de circuito de uno de los elementos funcionales de la oblea de la figura 1, estando representados estos mismos componentes de circuito, en forma esquemática, en la figura 3;

25

- la figura 5 es una vista en sección de un transistor PNP del elemento funcional de la figura 4, tomada la sección por la línea 5-5;

- la figura 6 es una vista en sección, por la línea 6-6, de un transistor NPN del elemento funcional de la figura 4;

30

- la figura 7 es una vista en sección, por la

320796

19 FEB



línea 7-7, de una resistencia comprendida en el elemento funcional de la figura 4;

5 - la figura 8 es una vista en sección, por la línea 8-8 de la figura 4, que representa un túnel para cruce de interconexiones;

- la figura 9 es el esquema lógico de un subsistema formado por entero en la oblea semiconductora de la figura 1;

10 - la figura 10 es una vista en planta de la oblea semiconductora de la figura 1, con el singular y único diseño de conexionado definido en ella conforme al presente invento; y

15 - la figura 11 es una vista en sección, por la línea 11-11, de la oblea de la figura 10, viéndose las diversas capas de interconexiones.

Con referencia a las figuras 1 a 11 inclusive se describirá en lo que sigue, como ejemplo, una manera de poner en práctica la invención. En la figura 1 se muestra una barra u oblea 10 de material semiconductor, que
20 contiene gran número de elementos funcionales 11 a 26 inclusive. En esta forma de realización ilustrativa, solamente se representan dieciseis de estos elementos funcionales, pero de preferencia se utiliza un número mucho mayor. Cada uno de los elementos funcionales 11 a 26 contiene un
25 número de transistores, resistencias, condensadores o similares, interconectados constituyendo una función eléctrica deseada. En este ejemplo, cada uno de los elementos 11 a 26 desempeña una función lógica, utilizable en las calculadoras numéricas, función que viene ilustrada en el
30 esquema lógico de la figura 2. Este elemento funcional 11



comprende tres barreras de coincidencia 27, 28 y 29 y dos inversores 30 y 31, conectados entre sí del modo que se indica para dar la función lógica deseada. Este circuito tiene tres entradas (A, B y X) y una salida (G), que, en unión de un terminal V de alimentación o suministro de tensión, corresponden a los cinco terminales indicados en cada elemento funcional de la figura 1. La manera de interconectar estos terminales para obtener un sistema lógico es la principal característica de esta invención, y se describirá con detalle en lo que sigue, pero no sin examinar antes el elemento funcional propiamente dicho.

Con referencia ahora a la figura 3, se representa en ella un esquema eléctrico correspondiente al esquema lógico de la figura 2. Las barreras de coincidencia 27 y 28 comprenden cada una un par de transistores PNP (32, 33, 34, 35), en unión de unos transistores NPN de salida (36 y 37) en seguidor de emisor. Los terminales A y B sirven de entrada a los transistores 32 y 35 respectivamente, en tanto que las entradas de los transistores 33 y 34 están conectadas a la salida G. Los transistores 32 y 33 tienen una resistencia de carga 38 común, y los transistores 34 y 35 comparten de igual modo una misma resistencia de carga 39. Los transistores 36 y 37, en seguidor de emisor, tienen una resistencia de carga 40 común, y la salida tomada de esta resistencia va conectada, por medio de una resistencia 41 que tiene en paralelo un condensador 42, a la base de un transistor NPN 43. Este transistor, y su resistencia de carga 44, componen el inversor 30. La salida de este inversor está acoplada a una de las entradas de la barrera de coincidencia 29, que comprende

320796

19F



un par de transistores NPN (45 y 46), en unión de un transistor de salida 47 en seguidor de emisor y una resistencia de carga 48. La otra entrada a esta barrera 29 es el terminal X. El emisor del transistor 47 va conectado por medio de una resistencia 49 a la base de un transistor NPN 50 que, con su resistencia de carga 51, constituye el inversor 31. La salida de este inversor es la salida 6, que vuelve también a acoplarse a las entradas de los transistores 33 y 34. Es de notar que para la totalidad del circuito sólo hace falta un punto de alimentación de tensión positiva, que viene proporcionado por el terminal V. El circuito eléctrico de la figura 3, que da las características de trabajo del elemento funcional 11, está formado en la oblea semiconductor 10 por métodos de circuito integrado, como se verá por la figura 4.

La figura 4 representa una vista muy ampliada en planta, o de la disposición, de uno de los elementos funcionales de la oblea 10, elementos que en este ejemplo son todos ellos exactamente semejantes. A este punto hay que hacer notar la extremada pequeñez del tamaño de los dispositivos de esta invención. Cada elemento funcional puede tener tan sólo quizá de 0,25 a 0,5 mm de lado, lo que le hace apenas perceptible a simple vista, y la propia oblea puede tener aproximadamente de 2 a 2½ mm de lado. Cada uno de los transistores PNP 32, 33, 34 y 35 está formado como se indica en sección en la figura 5, donde se ve que la oblea propiamente dicha (de silicio de tipo P, por ejemplo), sirve de colector para los transistores 32 cuya base es una región de tipo N incorporada por difusión, y cuyo emisor es otra región de tipo P, también difundida.



Una capa de revestimiento aislante 54 (típicamente, de óxi-
do de silicio), que define una configuración en escalones,
debido al uso en las sucesivas difusiones se ha hecho de
la protección o máscara de óxido, cubre la superficie su-
5 perior de la oblea. Superpuestos el óxido hay unos contac-
tos e interconexiones de metal, aplicados a la superficie
del silicio en unos huecos o agujeros practicados por mé-
todos de corrosión o tratamiento con ácido que atraviesan
en los puntos de contacto descados. Cada uno de los tran-
10 sistores NPN 36, 37, 43, 45, 46, 47 y 50 está formado del
modo que se ilustra en sección en la figura 6. El colector
es una región de tipo N difundida; la base es una región
de tipo P difundida, y el emisor otra región de tipo N
también incorporada por difusión. Como se observará, los
15 emisores de los transistores NPN 43, 45, 46 y 50 están
puestos a masa por medio de una conexión metálica realiza-
da al substrato de tipo P de la oblea 10, que es común
a los colectores de los transistores de tipo PNP. Cada una
de las resistencias 38, 39, 40, 41, 44, 48, 49 y 51 está
20 formada por unas regiones alargadas de tipo N incorporadas
por difusión, tales como la ilustrada en la figura 7, don-
de también se ve una tira metalizada 55 que conecta el ex-
tremo izquierdo de esta resistencia 40 al substrato de ma-
sa, u oblea 10. Siempre que sea necesario cruzar una tira
25 metálica de conexión con otra, se utiliza un "túnel" como
el representado en la figura 8. El túnel es una región di-
fundida 56 fuertemente "drogada" o mezclada con impurezas,
que meramente actúa como buen conductor, en tanto que la
tira metálica 53 cruza esta región, pero aislada de ella
30 por el revestimiento de óxido 54. El condensador 42 es del

320796

19F



5 tipo de unión PN, y consta de regiones de tipo P y del tipo N alternadas, lo mismo que los transistores NPN. En el condensador, las dos regiones de tipo N difundidas están conectadas entre sí y desempeñan la función de una de las armaduras, en tanto que la región de tipo P comprendida entre aquellas hace el papel de la otra armadura. La tensión de alimentación se aplica al punto V, yendo acoplada por medio de tiras metálicas a los colectores de los transistores, y a las resistencias de carga.

10 Se sobrentiende, naturalmente, que el circuito de semiconductores integrados, ilustrado en las figuras 4 a 8 y descrito en lo que antecede, no es sino un ejemplo de una de las muchas formas que pueden emplearse en esta invención. Por ejemplo, en lugar de la estructura
15 de triple difusión que se indica, los elementos funcionales pueden hacerse por medio de combinaciones de desarrollo o formación epitaxil y de etapas de difusión. Las uniones PN utilizadas para aislamiento entre componentes en el dispositivo de las figuras 4 a 8 pueden ser reemplazadas por barreras dieléctricas, como es sabido ya en la
20 técnica del ramo. En lugar de los componentes pasivos difundidos que más arriba se citan, pueden utilizarse resistencias de película metálica y/o condensadores de película delgada, del tipo indicado en la patente U.S. 3.130.744, del mismo inventor de la presente. Otros elementos activos,
25 tales como los transistores del tipo de unión con efecto de campo, los transistores de barrera aislada y con efecto de campo, los dispositivos de película delgada, etc., pueden emplearse en lugar de los transistores de unión
30 arriba citados. Si bien se da el silicio como ejemplo de



material semiconductor utilizado, resultan igualmente
idóneas otros semiconductores tales como el germanio o
los compuestos de los grupos III-V. En lugar de tratarse
de un substrato extrínseco monocristalino, la oblea 10
5 podría ser de carácter policristalino, intrínseco o semi-
aislante. Asimismo, se sobrentiende que el circuito lógi-
co indicado se ha elegido simple y arbitrariamente con
fines ilustrativos, pudiendo emplearse con igual eficacia
e idóneidad el sistema de interconexión del presente in-
10 vento, que se describe en lo que sigue, en un tipo cual-
quiera de elementos funcionales o de combinación de los
mismos.

Volviendo ahora a la figura 1, como puede apre-
ciarse, la oblea semiconductora 10 contiene en una de sus
15 caras un gran número de elementos funcionales, cada uno
de ellos exactamente semejante a los demás, y que contie-
nen cada uno cinco terminales o rellanos representativos
de sus entradas, su salida y su entrada de alimentación.
Se desea obtener el sistema o subsistema lógico indicado
20 en la figura 9, que contiene cuatro de los dieciseis ele-
mentos funcionales 11 a 26, adecuadamente conectados entre
sí. La primera etapa de este procedimiento consiste en
probar o ensayar la oblea de la figura 1, para determinar
cuales de los elementos funcionales son buenos, o cuales
25 de ellos satisfacen ciertos requisitos eléctricos. Esta
etapa de ensayo se ejecuta aplicando por turno cada ele-
mento funcional a una disposición de prueba o verificación
de cinco puntos de ensayo o sondas; a tres de éstas se les
aplican unas señales de entrada, que llegan hasta los re-
30 llanos o puntos de contacto A, B y X; una de las sondas

320796

19F



5 lleva una tensión positiva de alimentación y toma contacto con el rellano V; y la sonda restante detecta la tensión de salida en el rellano G; suponiéndose que el substrato (la oblea 10) está a masa. Las sondas pueden colocarse en posición unas respecto a otras por medio de una plantilla o un dispositivo de ensayo que se ajusta con el auxilio de un microscopio hasta hacer que las sondas o finos alambres puntiagudos se apoyen en el juego de rellanos adecuado de la oblea. Las sondas pueden disponerse de modo que, por medio de un mecanismo de orientación o cambio de posición, pasen de un elemento funcional al siguiente. Mientras las sondas están aplicadas a cada elemento funcional, se miden la tensión de salida detectada para varias combinaciones de señales de entrada, y otros parámetros, tales como el consumo de corriente, las impedancias de entrada y de salida, etc.; de modo tal que para cada elemento se llega a la decisión de si es bueno o no, esto es, si pasa o no pasa. Los resultados de tales ensayos se determinan mediante la observación de aparatos de medida, o de aparatos trazadores de curvas. Si los dispositivos están siendo tratados esencialmente a mano, sería apropiado a este punto disponer de una unidad de entintado, combinada con la disposición de sondas, que ponga un punto de color en los elementos que hayan resultado malos. No obstante, de preferencia, el equipo de pruebas o ensayos está conectado a un mecanismo perforador de tarjetas u otro equipo de tratamiento de datos que forma parte del mismo y sirve para guardar en su memoria los resultados en correlación con los lugares que ocupan los distintos elementos, para su sucesivo empleo en la manufactura



de una máscara de protección que cree el diseño de interconexión.

5 Al probar, supóngase por ejemplo, que los elementos funcionales 13, 16, 21 y 26 resultan buenos, esto es, tienen las características eléctricas deseadas. A esta conclusión puede llegarse simplemente examinando la oblea, si se empleó el método de entintado, o bien programando el equipo de tratamiento de datos de modo adecuado para explorar los datos guardados a tal fin. En uno
10 u otro caso, la etapa inmediata sucesiva consiste en crear una máscara de protección para hacer el diseño de interconexión necesario que conecte los elementos 13, 16, 21 y 26 formando el sistema de la figura 9. El diseño definitivo deseado es el que se representa en la figura 10, en el cual hay una tira metálica 60 que interconecta todos
15 los puntos o rellanos "X", una tira 61 que hace lo mismo con todos los rellanos "V" y una tira 62 que interconecta todos los rellanos "B", de estos cuatro elementos funcionales. Si los elementos dados por buenos fueran otros diferentes, el diseño o trazado de las interconexiones necesarias sería, naturalmente, distinto.
20

De acuerdo con el hecho de que cada elemento incluye los componentes de circuito y las tiras de interconexión indicados en la figura 4, como puede verse, el
25 diseño de interconexión de la figura 10 se superpone a parte del diseño metálico de dentro de los elementos funcionales. Por esta razón, y también debido al hecho de que las interconexiones entre elementos se hacen de preferencia en operación aparte de aquella en que se forman las
30 conexiones de introducción (intraconexiones) dentro de un

320796

19 FEB



5 elemento, el diseño de la figura 1 está realizado en forma de un segundo nivel de tiras metálicas, separado del primer nivel por una capa de material aislante. Esta disposición viene ilustrada en la figura 11, en la que se ve una parte de la tira 62 en el punto en que se aplica al rellano B del elemento funcional 16. El segundo nivel de interconexiones, que incluye la tira 62, está aislado del primer nivel (ilustrado por el rellano b) por medio de un revestimiento 64, excepto en las áreas de encima de los rellanos, donde es preciso efectuar el contacto. Este revestimiento 64 puede comprender vidrio, selectivamente aplicado mezclando frita de vidrio con un polímero de fotoprotección, aplicando esa mezcla en forma de suspensión a la oblea, y procediendo luego a exponer o impresionar, revelar y cocer el vidrio restante. Asimismo, el revestimiento 64 puede de por sí comprender un material de fotoprotección, o bien ser una capa gruesa de óxido de silicio depositada por descomposición pirolítica de un compuesto que contenga silicio y oxígeno. El revestimiento 64 puede aplicarse a la cara de la oblea bien antes o bien después de la etapa de prueba o verificación arriba descrita.

15 Con el revestimiento aislante 64, adecuadamente perforado, puesto en su sitio, la superficie superior entera de la oblea queda recubierta de una delgada película metálica (de aluminio, por ejemplo), sobre la cual se aplica luego el material fotoprotector. La máscara citada se emplea ahora para impresionar el fotoprotector y crear el diseño de la figura 10. La forma del diseño deseado dependerá, naturalmente, de los resultados de la prueba eléctrica.



320796

ca, y como la probabilidad de llegar dos veces exactamen-
te al mismo diseño de interconexiones deseado es muy pe-
queña si el número de elementos funcionales es grande,
esta máscara a generar se denomina aquí máscara única o
5 singular. Varios métodos pueden usarse para generar la
máscara única, siendo el más sencillo el usual de dibujar
a mano el diseño deseado y reducir luego este diseño fo-
tográficamente al pequeño tamaño necesario para impresionar,
el fotoprotector. Como alternativa, si el equipo de
10 prueba eléctrica está acoplado a un aparato de tratamien-
to de datos como arriba se indica, puede programarse este
aparato para generar las coordenadas X-Y de puntos del
diseño deseado, basándose los resultados de ensayo alma-
cenados, y utilizar luego esta información en unión de
15 una máquina de dibujar numéricamente controlada, para di-
bujar a gran escala el diseño deseado. Como antes, el di-
seño se reduce luego fotográficamente para obtener la
máscara única. Asimismo, puede utilizarse un haz de luz
mecánicamente desviado, para exponer el fotoprotector de
20 la oblea, o para exponer un diseño fotográfico para la
reducción. Una variante más interesante sería la de usar
la información de coordenadas X-Y generada en el equipo
de tratamiento de datos para controlar las placas deflec-
toras de un cañón electrónico, utilizado para producir un
25 haz electrónico a fin de exponer la película fotográfica
al diseño deseado. Esta película, expuesta o impresionada
por el haz de electrones, puede usarse de por sí como má-
scara si la resolución del haz electrónico es bastante fina,
o bien puede reducirse fácilmente la película. No obstan-
30 te, quizá el método preferido para hacer la máscara única

320796

19F



consiste en usar el haz electrónico, controlado por la información de coordenadas X-Y como antes, para impresionar el fotoprotector sobre la propia oblea. El Haz exploraría la oblea 10 según un diseño fijo, como en la exploración de cuadro de la televisión, por ejemplo, y sería modulado en intensidad por la información de coordenadas, para impresionar el material fotoprotector según la configuración indicada en la figura 10.

Impresionado el fotoprotector, éste es luego revelado, y el exceso de película metálica se quita por tratamiento ácido. El dispositivo queda así terminado, a falta de empaquetar. Esto último se hace asegurando la oblea sobre una almohadilla aplicada por metalización sobre una base cerámica, y uniendo luego unos hilos finos a los terminales o rellanos A a K. Estos hilos irían conectados a unas patillas o terminales pasantes a través de la placa de base cerámica. Un miembro de cápsula herméticamente cerrado respecto a la base completa el empaquetado.

Como se observará, el dispositivo ilustrativo de la figura 10 puede construirse aun cuando el rendimiento de elementos funcionales buenos obtenidos en la oblea 10 sea sólo del 25%. Incluso en las obleas para las cuales el rendimiento sea aún más bajo que éste, se podría construir un sistema lógico menos complejo. Así el equipo de tratamiento de datos podría programarse de tal modo que, de ser sólo tres o dos los elementos funcionales que resulten buenos en la prueba, se genere un diseño que interconecte estas unidades buenas formando un sistema lógico menos complejo, para otros usos.

19 FEB



320796

En la forma de realización arriba descrita, se hacen interconexiones en dos niveles: el primero, entre componentes; y el segundo, entre elementos funcionales. En lugar de esto, es posible efectuar la totalidad de las interconexiones en un solo nivel, utilizando túneles de cruce, tal como se ilustra en la figura 8. En los espacios situados en la oblea entre elementos funcionales se formaría un gran número de estos túneles, que serían utilizados siempre que, de no hacerlo, se cortarían entre sí dos tiras conductoras. Aquí sólo haría falta una etapa de metalización, pero esto significa que los componentes no estarían interconectados, formando los elementos funcionales, en el momento de probar, lo que exigiría efectuar las pruebas al nivel de los componentes, y no de los elementos funcionales. Si bien esto resultaría más laborioso, podría hacerse así.

Según lo hasta aquí descrito, las pruebas y la interconexión discrecional se efectúa a base de los elementos funcionales que incluyen, cada uno, las partes indicadas en las figuras 2 a 4. Se sobreentiende, naturalmente, que esta etapa de interconexión discrecional podría hacerse a un nivel de complejidad más bajo (por ejemplo), a base de las barreras e inversores individuales del sistema lógico) o más alto. Es más, podrían utilizarse varias de estas etapas de interconexión discrecionales, empezando por seleccionar componentes buenos, luego circuitos buenos, a continuación elementos funcionales buenos, y después subsistemas lógicos. Podrían necesitarse varios niveles de diseños de interconexión, y en este caso se podrían prolongar los principios ilustrados en la figura

320796

19



11, añadiendo una capa de material aislante y una capa de tiras conductoras por cada nivel de interconexión.

5 Si bien la invención se ha descrito con referencia a unas formas ilustrativas de la misma, se sobrentiende que esta descripción no ha de considerarse como limitativa en sentido alguno. A las personas versadas en la materia se les ocurrirán otras formas de realización del concepto inventivo, así como otras modificaciones o variantes de las realizaciones expuestas. Se prevé, pues,
10 que las reivindicaciones que siguen cubran todas las realizaciones y variantes comprendidas en el ámbito real de la invención.

15 Esta solicitud que corresponde a la presentada en los Estados Unidos de América, el 21 de Diciembre de 1.964, bajo el número 420.031, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

- N O T A -

25 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención, en España, por VEINTE años, son los siguientes:

30 1º.- Un método de fabricación de un sistema eléctrico, que comprende las operaciones de: formar una pluralidad de componentes eléctricos junto a una cara de un substrato, ensayar los componentes eléctricos para deter-



minar las posiciones sobre dicho substrato de componentes seleccionados que tienen características eléctricas preferidas, e interconectar los componentes seleccionados sobre dicho substrato por un diseño conductor que tiene una configuración determinada por dicho ensayo.

5
10
2º.- Un método de fabricación de un sistema electrónico que contiene un número dado de elementos funcionales electrónicos, que comprende las operaciones de formar en una oblea de material semiconductor una pluralidad de elementos funcionales electrónicos sustancialmente mayor en número que dicho número dado, e interconectar los elementos funcionales eléctricamente buenos sobre dicha oblea por un diseño conductor único determinado por dicho ensayo.

15
20
25
3º.- Un método de fabricación de un sistema electrónico del tipo que tiene una pluralidad de funciones de circuito dentro de un sistema, teniendo cada componente de circuito una pluralidad de componentes electrónicos, cuyo método comprende las operaciones de proporcionar un substrato que contiene un gran número de componentes electrónicos agrupados e interconectados para dar una pluralidad de funciones de circuito separadas situar sobre dicho substrato funciones de circuito particulares que tienen características preferidas, e interconectar dichas funciones de circuito particulares por un diseño conductor que tiene una configuración basada en las posiciones de tales funciones.

30
4º.- Un método de fabricación de un sistema electrónico que contiene un número dado de elementos funcionales electrónicos, que comprende las operaciones de

320796 19 FEB



5 formar en una oblea de material semiconductor una pluralidad de elementos funcionales electrónicos sustancialmente mayor en número que dicho número dado, ensayar los elementos funcionales electrónicos para determinar las posiciones sobre dicha oblea de elementos funcionales seleccionados que tienen características eléctricas preferidas e interconectar una pluralidad de los elementos funcionales seleccionados igual en número a dicho número dado por un diseño conductor determinado por dicho ensayo.

10 5º.- Un método de fabricación de un sistema electrónico que contiene un número dado de elementos funcionales electrónicos, que comprende las operaciones de formar un gran número de componentes electrónicos en una oblea de material semiconductor, siendo los componentes agrupados para dar un número de elementos funcionales electrónicos sustancialmente mayor que dicho número dado, conteniendo cada uno de tales elementos una pluralidad de los componentes electrónicos, ensayar los elementos funcionales electrónicos para determinar las posiciones sobre dicha

15 oblea de elementos funcionales electricamente buenos iguales en número a dicho número dado, e interconectar los elementos funcionales eléctricamente buenos sobre dicha oblea por un diseño conductor único determinado por dicho ensayo.

20 6º.- Un método de fabricación de un sistema electrónico del tipo que contiene un gran número de elementos funcionales, incluyendo cada uno de dichos elementos una pluralidad de componentes electrónicos, que comprende las operaciones de formar un gran número de componentes electrónicos junto a una cara de una oblea de material semiconductor, teniendo la oblea un recubrimiento de material

25

30



aislante sobre dicha cara con aberturas definidas en el
recubrimiento para hacer contactos con los componentes
electrónicos, disponer un diseño de tiras conductoras so-
bre dicho recubrimiento aislante y que se extiende dentro
5 de dichas aberturas para conectar grupos de dichos compo-
nentes electrónicos entre sí para dar una pluralidad de
elementos de función, sobrepasando el número de tales ele-
mentos el número necesitado para formar dicho sistema elec-
trónico, aplicar un segundo recubrimiento de material ais-
10 lante sobre dicha cara de la oblea sobre el diseño de ti-
ras conductoras, definiendo dicho segundo recubrimiento
aberturas en zonas seleccionadas para hacer contacto con
dichos elementos funcionales, ensayar los elementos funcio-
nales electrónicos para determinar las posiciones sobre
15 dicha oblea de elementos funcionales seleccionados que
tienen características eléctricas preferidas, y formar
un diseño de tiras conductoras sobre dicho segundo recu-
brimiento para interconectar una pluralidad de dichos ele-
mentos funcionales seleccionados para dar dicho sistema
20 electrónico, estando la configuración de dicho diseño co-
rrelacionada con dichas posiciones de los elementos selec-
cionados.

7^o.- Un método de fabricación de un sistema eléc-
trico, que comprende las operaciones de formar un gran nú-
25 mero de componentes eléctricos junto a una cara de un subs-
trato, teniendo la oblea un recubrimiento de material ais-
lante sobre dicha cara con aberturas definidas en el recu-
brimiento para hacer contactos con los componentes electro-
nicos, disponer un diseño de tiras conductoras sobre dicho
30 recubrimiento aislante y que se extiende dentro de dichas

320796

19



5 aberturas para conectar grupos de dichos componentes elec-
trónicos entre sí para dar una pluralidad de elementos
funcionales, aplicar un segundo recubrimiento de material
aislante a dicha cara del substrato sobre el diseño de ti-
10 ras conductoras, definiendo dicho segundo recubrimiento
aberturas en zonas seleccionadas para hacer contacto con
dichos elementos funcionales, ensayar los elementos fun-
cionales, ensayar los elementos funcionales electrónicos
para determinar las posiciones sobre dicha oblea de ele-
15 mentos funcionales seleccionados que tienen característi-
cas eléctricas preferidas, e interconectar los elementos
funcionales seleccionados sobre dicha oblea por un diseño
único de tiras conductoras aplicadas sobre dicho segundo
recubrimiento, siendo determinado el diseño único por los
20 resultados de dicho ensayo.

3º.- Un método de fabricación de un sistema
eléctrico.

20 Tal y como se ha descrito en la Memoria que an-
tecede, representado en los dibujos que se acompañan y con
los fines que se han especificado.

Esta Memoria consta de veintitrés hojas escritas
a máquina por una sola cara.

Madrid,

19 FEB. 1966

P. A.
Alberto de Ezaburu
Por el inventor

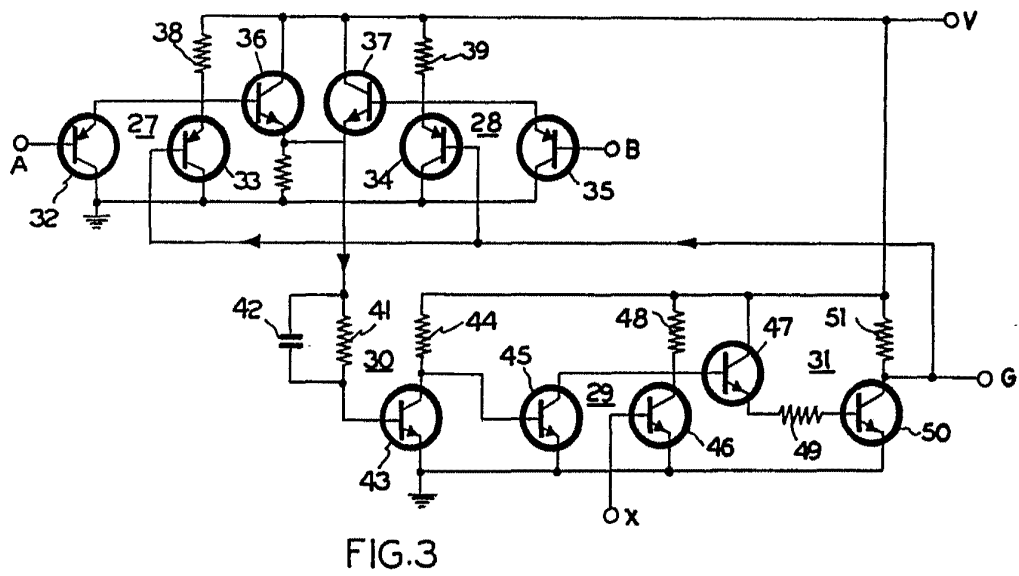
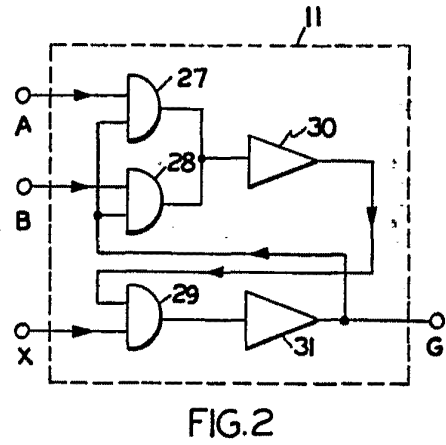
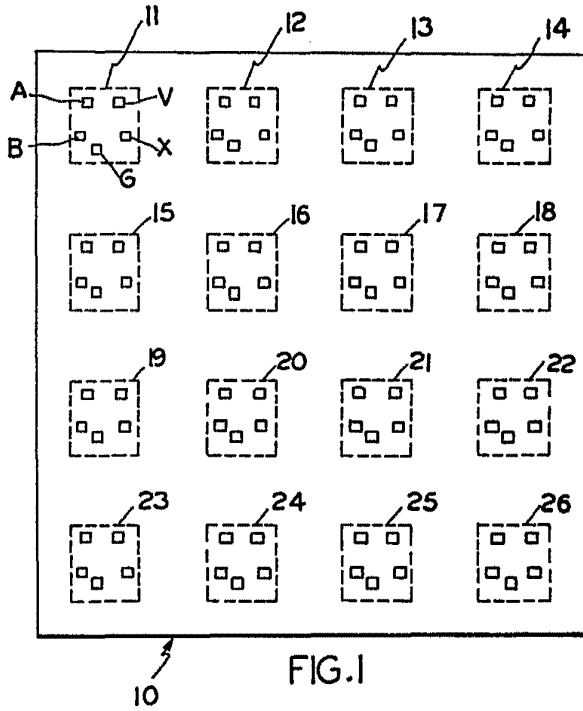
LJI. 101. 24

ESCALA VARIABLE



320796

19 FEB 1952



[Handwritten signature]
 LIZARDUNA
 For Poole



320796

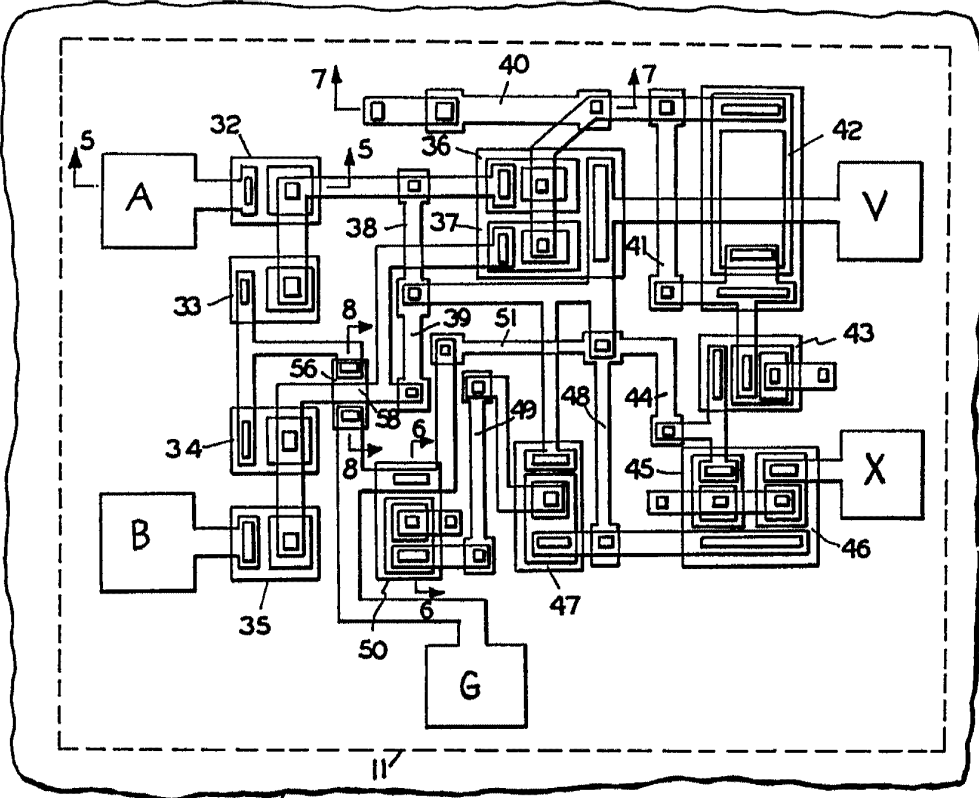


FIG. 4

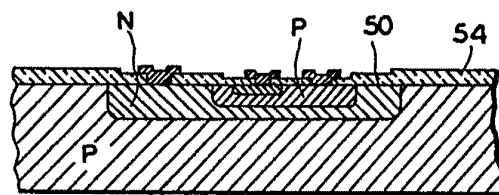


FIG. 6

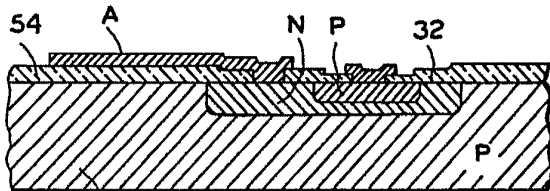


FIG. 5

Ortiz

ESCALA VARIABLE

320796

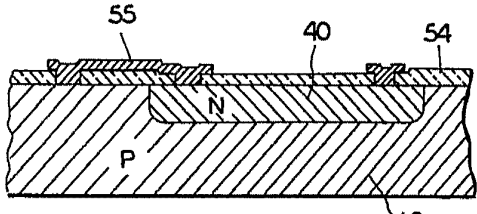


FIG. 7

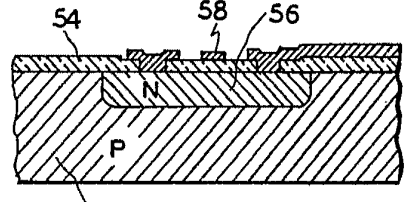


FIG. 8

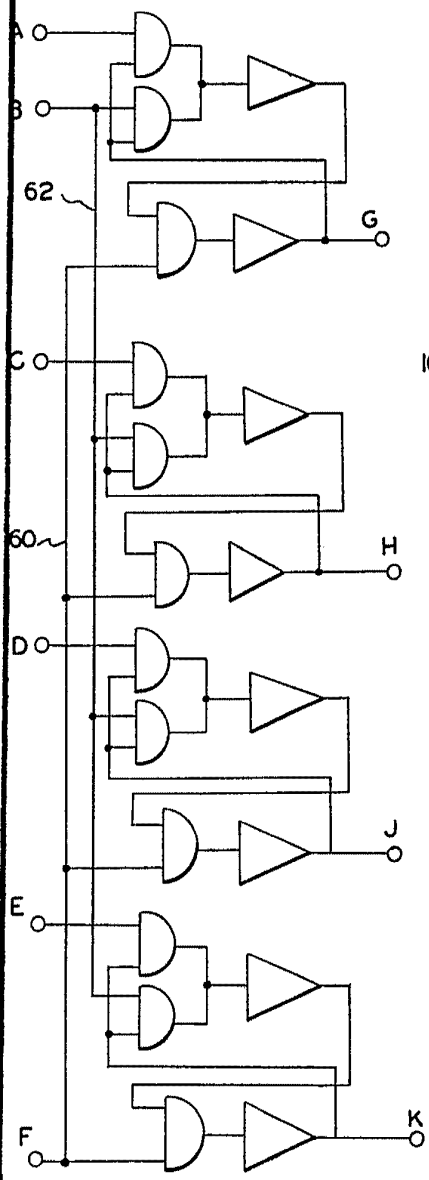


FIG. 9

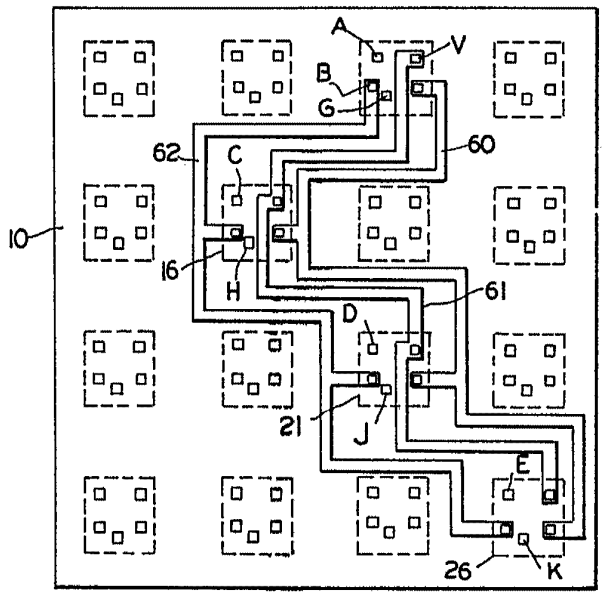


FIG. 10

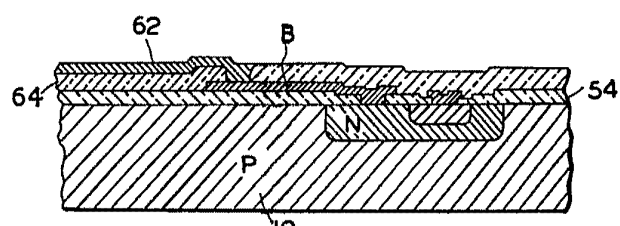


FIG. 11

Alfonso
 L. Labarra
 Madrid, Spain