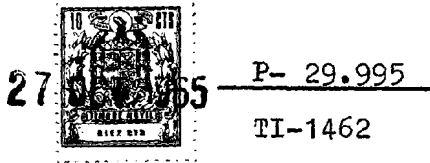


316541



27 OCT. 1965

MEMORIA DESCRIPTIVA

que se presenta para unir a la solicitud

d e

P A T E N T E D E I N V E N C I O N

formulada el 17 de Agosto de 1.965, con el núm. 316.541

e n

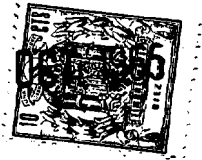
E S P A Ñ A

por VEINTE años

a nombre de TEXAS INSTRUMENTS INCORPORATED, entidad norteamericana, establecida en Post Office Box 5474, Dallas, Tejas, Estados Unidos de América, por:

"UN DISPOSITIVO ELECTRICO DEL TIPO DE RED SEMICONDUCTORA O DE CIRCUITO INTEGRADO"

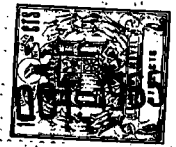
La presente invención se refiere a dispositivos --
eléctricos, tales como circuitos de semiconductores o in-
tegrados. Más en particular, se refiere a circuitos de la
clase indicada, en los cuales una pluralidad de las fun-
5 ciones individuales que como componentes del circuito --
les corresponden, son desempeñadas por regiones desuni--
das o discontinuas y por regiones no desunidas de mate--
rial ejecutante o de realización de funciones, dispues--
tas y operativamente conectadas entre sí de manera tridi-
10 mensional en el interior de la estructura de un solo dis



positivo unitario, y a los métodos de construirlos.

Los circuitos integrados son unos dispositivos eléctricos que en general comprenden una pluralidad de componentes de circuitos que desempeñan funciones eléctricas individuales, tales como las ejecutadas, por ejemplo, por los diodos, transistores, resistencias, condensadores, etc., construídos o fabricados sobre una de las superficies de minúsculas pastillas u "obleas" semiconductoras cristalinas y que están interconectados en ella formando circuito eléctrico. El término compuesto de "dispositivo eléctrico", tal como aquí se utiliza, incluye los dispositivos que proporcionan una o más funciones de componente de circuitos, funciones de circuito completo, o funciones de sistema completo de circuitos.

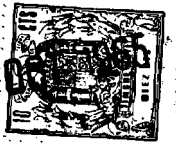
Los dispositivos (por ejemplo, sistemas de circuitos) del tipo usual de circuitos integrados en dos dimensiones tienen la ventaja de poseer un tamaño apreciablemente menor que el de otros tipos de circuitos miniaturizados como, por ejemplo, los circuitos impresos. Ahora bien, muchos de estos circuitos integrados, como más arriba se ha indicado, tienen limitaciones dimensionales o de espacio por el hecho de que los componentes de circuito se hacen en general por difusión selectiva de impurezas definidoras de conductividad en la superficie de una "oblea" tomada como substrato, y por tanto sólo pueden hacerse bidimensionalmente, esto es, en uno de los lados de cada "oblea" semiconductor. Además, como la "oblea" que sirve de substrato es generalmente un material semiconductor, es preciso emplear métodos especiales complejos para efectuar el necesario aislamiento eléctrico entre los elemen-



tos de circuito producidos en el substrato.

Hasta ahora, el progreso en la reducción del tamaño de los sistemas de circuitos integrados viene estando limitado por el área de superficie del substrato disponible para la formación de los componentes de circuito individuales en la misma. Se han construido ya sistemas integrados que comprenden una pluralidad de "obleas" de circuitos individuales, pero que todavía están dimensionalmente limitadas al mínimo espacio en el cual pueden colocarse las "obleas" individuales de circuito integrado, dejando al propio tiempo un espacio adecuado entre obleas para el aislamiento eléctrico y para efectuar las necesarias interconexiones eléctricas entre determinados componentes de cada oblea, por medio de conexiones eléctricas exteriores. Viene siendo difícil lograr una densidad relativamente alta de componentes o funciones de circuitos por el recurso de disponer en pila o paquete las "obleas" de circuito integrado, por separado, con unos conductores exteriores que conecten entre sí los componentes de circuito deseados.

En resumidas palabras, la presente invención proporciona un circuito integrado que posee componentes individuales y/o regiones no desunidas de material ejecutante de funciones, separados y funcionalmente interconectados tanto vertical como horizontalmente a través y dentro de los confines de un cuerpo integral o enterizo continuo. El aislamiento eléctrico entre las regiones funcionales viene proporcionado por un material cristalino aislante o semiaislante en el cuerpo o "bloque tridimensional". Por material "semiaislante" y material "aislante" se quiere



dar a entender el material que en general tiene una resistividad, a la temperatura ambiente, de unos 10^4 ohm·cm o mayor, y de preferencia del orden de 10^6 ohm·cm y más. La expresión calificativa de "eléctricamente intrínseco" aplicada al material que aquí se utiliza hace referencia a un material semiconductor que es puramente intrínseco, y también al material semiconductor que tiene características eléctricas de material puramente intrínseco pero está activado o "drogado" con impurezas para alcanzar esta condición. Además, la expresión de "eléctricamente intrínsecos" aquí empleada se refiere también a aquellos materiales intrínsecos que son eléctricamente aislantes dentro del alcance y significado de este término compuesto que más arriba se define. Es ejemplo adecuado de tal material el arseniuro de galio semiaislante, tal como se describe en una solicitud de patente norteamericana titulada "Arseniuro de galio de alta resistividad, y método para fabricarlo", número de serie 311.430, presentada el 25 de septiembre de 1963 a nombre de George R. Cronin y cedida al mismo cesionario de la presente invención.

Por consiguiente, es objeto del presente invento un dispositivo eléctrico que comprende un cuerpo que contiene estratos de material dotados de medios para desempeñar funciones de circuitos, respondiendo los medios de uno de los estratos a la condición eléctrica de los medios de otro estrato por medio de un acoplamiento dispuesto por entero dentro de los confines del cuerpo.

Otro objeto de la invención reside en un dispositivo eléctrico que comprende estratos superpuestos de un material semiconductor que contiene regiones ideadas para

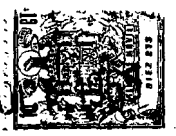
desempeñar funciones de circuitos y posee medios de acoplamiento que se extienden a través de uno de los estratos semiconductores, haciendo que unas regiones de uno de los estratos responda a la condición eléctrica de regiones de otro estrato.

Otro de los objetos del presente invento consiste en un método de fabricar circuitos eléctricos en forma de bloque enterizo o en una sola unidad, unidad o bloque que comprende una pluralidad de componentes de circuito y/o regiones no desunidas, realizadoras o ejecutantes de funciones; estando dichos componentes y regiones dispuestos y funcionalmente interconectados en las tres dimensiones dentro de un bloque o unidad esencialmente monocristalino de material, y por lo demás selectiva y eléctricamente aislado por medio de un material eléctricamente intrínseco.

Otro objeto de la invención consiste en un método de fabricar dispositivos eléctricos minúsculos o del tipo denominado de "microminiatura", de la clase indicada, que tienen gran densidad de funciones componentes de circuitos.

Un objeto más concreto de la invención consiste en habilitar circuitos eléctricos muy compactos que constan de una pluralidad de componentes dentro de un solo cuerpo, estando los componentes dispuestos dentro de dicho cuerpo de manera que se hallan eléctricamente aislados de otros elementos del interior de dicho cuerpo, excepto donde se necesite una interconexión eléctrica para realizar funciones de circuito.

Otro objeto más de la invención consiste en habilitar conexiones internas entre componentes de circuito for



mados dentro de una unidad cristalina.

Otro objeto más de la invención consiste en habilitar unos circuitos integrados en un solo cuerpo de material, en el cual los elementos de circuito están interconectados enteramente dentro del cuerpo sin el empleo de conductores exteriores.

Otro objeto más concreto y específico de la invención consiste en un bloque electrónico tridimensional hecho de material eléctricamente intrínseco, bloque que incluye una pluralidad de componentes o elementos de circuito formados en cada una de una pluralidad de estratos separados que forman parte integrante del bloque, de modo que determinados componentes elegidos de uno de los estratos están operativamente interconectados con otros componentes seleccionados en otro estrato, y las interconexiones entre dichos componentes quedan enteramente dispuestas dentro del bloque, obteniéndose de ese modo una disposición miniaturizada con una gran densidad de componentes y de funciones de circuito dentro del bloque.

Se sobrentiende que la invención no se limita en su aplicación a los detalles de construcción y disposición de partes que se ilustran en los dibujos adjuntos, ya que la invención es susceptible de otras formas de realización y de ser puesta en práctica o llevada a cabo de diversas maneras. Asimismo se sobrentiende que la fraseología o la terminología aquí empleadas sólo lo son con fines descriptivos y no limitativos.

Estos y otros objetos y ventajas de la invención se irán desprendiendo más fácilmente de la descripción que sigue, tomada en unión de las reivindicaciones finales y



de los dibujos adjuntos, en los cuales:

- la figura 1 es un alzado en sección de un aparato adecuado para efectuar un depósito epitaxial de material semiconductor y semiaislante, utilizable para fabricar los dispositivos eléctricos del presente invento;

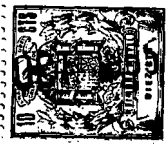
- la figura 2 es una vista en perspectiva de una oblea monocristalina que comprende una capa epitaxialmente depositada de material semiconductor sobre un substrato semiaislante que forma parte del bloque electrónico a fabricar conforme al presente invento;

- la figura 3 es una vista en planta por la parte inferior que representa esquemáticamente un ejemplo de disposición de componentes de circuito o de regiones realizadoras de funciones en la superficie inferior de la oblea de la figura 2, y que comprende el primer estrato de una unidad monocristalina parcialmente formada, con arreglo a la realización concreta que más adelante se describirá;

- la figura 4 es una vista superior en planta de la superficie de arriba de la oblea de la figura 2, en cuyo segundo estrato se han formado elementos resistivos e interconexiones conductivas;

- las figuras 4a y 4b son unas vistas en sección de la oblea representada en las figuras 3 y 4, tomadas las secciones por las líneas 4a-4a y 4b-4b, respectivamente, y habiéndose omitido para mayor claridad ciertas partes no situadas a lo largo de las líneas o trazas de la sección recta;

- la figura 5 es una vista superior en planta de la superficie de un estrato tercero o intermedio de mate



rial semiaislante, en el cual se han formado elementos componentes de circuito e interconexiones dentro del estrato;

5 - la figura 5a es una vista en sección de la oblea de la figura 5 tomada por la línea 5a-5a, habiéndose omitido para mayor claridad ciertas partes no situadas a lo largo de la traza 5a-5a, y viéndose la relación vertical entre los componentes de circuito del bloque en el estado de terminación que se ilustra en la figura 5;

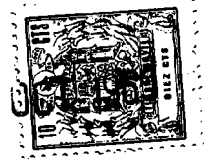
10 - la figura 6 es una vista superior en planta de la superficie de una unidad monocristalina tridimensional terminada, e ilustra los elementos componentes de circuito formados en el estrato superior final;

15 - la figura 6a es una vista de la unidad monocristalina terminada en sección tomada por la línea 6a-6a, habiéndose omitido para mayor claridad de la ilustración ciertas partes no situadas a lo largo de la traza 6a-6a;

20 - la figura 7 es una perspectiva en despliegue de la unidad monocristalina terminada de la figura 6, e ilustra para mayor claridad una separación imaginaria de los estratos del bloque enterizo, con la capa inferior rota y representada con líneas de trazo y punto, y los componentes de circuito contiguos a la superficie inferior representados con línea llena para que se vean claramente.

Las partes que se corresponden en las distintas vistas de los dibujos están indicadas con los mismos caracteres de referencia.

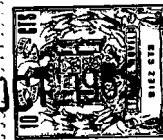
30 Las dimensiones de algunas de las partes indicadas en los dibujos han sido modificadas y/o exageradas, para



mayor claridad de la ilustración.

Como forma de realización ilustrativa de los principios del presente invento, se ilustra y describe en lo que sigue una unidad sencilla monocristalina. Esta unidad comprende arseniuro de galio (GaAs) semiaislante, esto es, eléctricamente aislante pero que físicamente contiene, como parte integrante de la misma, estratos de componentes de circuito semiconductores. Esta unidad ilustrativa podría contener todos los elementos componentes de un circuito unitario completo como, por ejemplo, un amplificador, un circuito contador o incluso un sistema completo de circuitos incluida una presentación. Todas las interconexiones y todos los componentes de la unidad están contruídos y dispuestos enteramente dentro de los confines de la unidad o bloque monocristalino. La particular disposición de los componentes de circuito ilustrados en los dibujos no forma parte de esta invención.

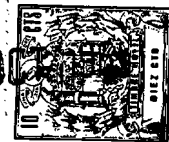
Una ventaja de otro de los aspectos de la invención, como se apreciará por la descripción que sigue, es la de que es posible formar diversas regiones realizadoras de funciones de circuito hechas, para mayor ventaja, de una variedad de materiales distintos del que forma el bloque semiaislante o el substrato de circuito integrado. Esto da una amplia flexibilidad de proyecto con gran variedad de selección, permitiendo elegir las regiones realizadoras de componentes de entre una gran diversidad de materiales semiconductores diferentes. Esta ventaja tiene aplicación no sólo al bloque electrónico tridimensional, sino también al tipo bidimensional de circuito integrado, actualmente conocido.



Como se apreciará, las disposiciones de elementos, esquemáticamente representadas con detalle en los dibujos sirven de ejemplo de las muy complicadas que pueden producirse conforme al presente invento. Ahora bien, la invención es aplicable asimismo a la producción de dispositivos menos complicados, y también a dispositivos híbridos, en los cuales hay uno o más componentes desunidos, fijados a uno o ambos lados de un substrato (en lugar de estar hechos de estratos enterizos de la unidad); e interconectados por medios conductivos que se extienden a través del substrato, o en los cuales algunos de los componentes de circuito son componentes desunidos de película delgada mientras otros son componentes semiconductores.

Como se comprenderá, asimismo, la forma concreta preferida de bloque electrónico tridimensional, se indica como de arseniuro de galio y monocristalina con fines ilustrativos y no limitativos. El bloque, en algunas disposiciones y combinaciones de materiales, puede ser policristalino y estar hecho de otros materiales, distintos del arseniuro de galio.

Con referencia ahora a la figura 1, se muestra en ella un aparato adecuado para depositar epitaxialmente arseniuro de galio semiconductor o semiaislante, a fin de fabricar los dispositivos eléctricos de esta invención. El aparato, designado en general con el número 1, comprende un recipiente alargado 10 de cuarzo que tiene una entrada 11 para la introducción de un gas portador, tal como una mezcla de hidrógeno y tricloruro de arsénico. Dentro del recipiente 10 hay un estrechamiento 13 --



que contiene un material de alimentación 14, tal como galio o arseniuro de galio. El gas portador que llega por la entrada 11 pasa directamente por sobre el material de alimentación 14 y lleva al recipiente de reacción 10 los vapores del mismo, cuando dicho material se calienta adecuadamente. En el recipiente de reacción puede introducirse más gas portador por la entrada 12, a fin de facilitar o aumentar el flujo de paso de las sustancias en reacción, y asegurar que ésta se realiza de modo completo. Utilizando el método y el aparato de la figura 1 pueden depositarse epitaxialmente otros materiales (tales como, por ejemplo, el germanio), a base de emplear materiales de alimentación y gases portadores apropiados (por ejemplo, yodo o HCl), cuyas disponibilidades se ofrecen a toda persona entendida en la materia.

El recipiente de reacción 10 está colocado parcialmente dentro de un horno adecuado que posee dos elementos de caldeo regulados por separado de modo que el material de alimentación 14 puede mantenerse independientemente a una temperatura cualquiera conveniente dentro de la primera zona 18 del horno mientras la oblea de substrato 16 puede mantenerse a otra temperatura dentro de la segunda zona 19 del horno.

El material producido por la reacción dentro de la cámara 10 se deposita epitaxialmente en la superficie de la oblea de substrato 16 en forma de prolongación monocristalina contigua de la retícula de cristal del substrato 16, mientras los gases gastados salen del recipiente 10 por un respiradero de escape 17.

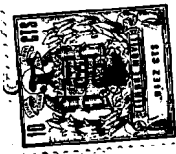
Para una más detallada descripción del aparato 1 -



y del método de formación epitaxial de depósitos, puede, -
hacerse referencia a la solicitud de patente norteamericana
na nº. 360.539 presentada el 17 de abril de 1.964 a nom-
bre de William F. Finch y Edward W. Mehal, titulada "Método
5 todo para hacer materiales semiconductores de composi-
ción mixta graduada" (archivo TI 1748) y cedida al mismo
cesionario de la presente invención.

La figura 2 ilustra una oblea generadora o de par-
tida 20, de arseniuro de galio semiaislante, en una de cu-
10 yas caras (esto es, en la inferior) se ha depositado una
capa 21 de arseniuro de galio, de conductividad tipo N,
por el método epitaxial indicado en relación con la figu-
ra 1.

Con referencia a la figura 3, se muestra en ella -
15 la superficie expuesta de la capa inferior 21. En ella -
se tienen cuatro áreas 22 esquemáticamente representadas,
que indican otros tantos circuitos de relajación biesta-
bles formados mediante procedimientos usuales de difusión
según un plano. También hay cuatro resistencias 23 forma-
20 das junto a la superficie de la capa inferior 21 (que --
sirve de primer estrato) por difusión a través de unas -
máscaras de difusión usuales apropiadamente formadas. --
Después se forman junto a la superficie de la capa 21, -
y en el plano de ésta, las adecuadas interconexiones ---
25 eléctricas 24, con terminales o puntos de conexión agran-
dados 25, 26, 27, 28, 29, 30, 31, 32 y 33, todo ello por
la acostumbrada evaporación de un buen conductor como, -
por ejemplo, oro, a través de una máscara apropiada de -
evaporación de tipo usual. Como la capa 21 es de un mate-
30 rial de conductividad tipo N, las interconexiones 24 de-



ben estar eléctricamente aisladas de ella, por ejemplo, por interposición de una capa de óxido de silicio entre las interconexiones 24 y la capa 21, o mediante la adecuada difusión de aislamiento. Como alternativa, las resistencias 23 y las interconexiones 24 pueden formarse quitando selectivamente parte de la capa inferior 21 y dejando sólo las áreas definidas de componentes eléctricos que convenga.

Excepto en lo que concierne a los terminales 25 a 33 inclusive, la capa inferior 21, hasta aquí descrita, es representativa del circuito integrado bidimensional - construido sobre una de las caras de una sola oblea de substrato. Conforme a la presente invención, los terminales 25 a 33 están situados sobre la superficie de la oblea en determinadas posiciones elegidas para la interconexión eléctrica con los componentes de circuito formados en la cara opuesta del substrato 20, y en otros substratos a formar sobre éste como se describirá más adelante con mayor detalle.

A los circuitos de relajación biestables pueden hacerse unas conexiones eléctricas exteriores. A continuación se recubre por entero la superficie de la capa inferior 21 con un revestimiento protector, tal como, por ejemplo, óxido de silicio desprendido por reacción, para impedir que se vuelva a depositar material en la superficie inferior durante las sucesivas etapas de fabricación.

La superficie superior del substrato (opuesta a la capa 21 de la figura 2) se recubre luego con una capa de óxido de silicio o cualquier otra máscara de protección adecuada (por ejemplo, una máscara de difusión o de for-



mación de depósito).

Empleando los métodos usuales fotorresistivos y de grabado al ácido se practican en la capa de protección de óxido de silicio unas ventanillas de la forma y tamaño deseados para las resistencias 40 (figura 4). A continuación se depositan epitaxialmente o se desarrollan las resistencias 40 en la superficie superior de la oblea madre 20, a través de las ventanillas, utilizando el método de formación epitaxial de depósitos arriba descrito con referencia a la figura 1. Para las resistencias, el material de alimentación 14 puede ser galio o arseniuro de galio activado para tener un depósito epitaxial de la resistividad deseada. Para formar las resistencias, se coloca en el recipiente de reacción 10 el conjunto indicado en la figura 3, con la máscara de óxido de silicio y las ventanillas allí practicadas para las resistencias. Este conjunto corresponde a la oblea 16 de la figura 1. Como se comprenderá, el arseniuro de galio resultante, de desarrollo epitaxial, se deposita en la oblea madre 20 solamente sobre la superficie descubierta, de la forma y dimensiones de las resistencias, no protegida por la máscara y que queda expuesta a través de las ventanillas de ésta. Como alternativa, pueden formarse las resistencias 40 por difusión selectiva de impurezas afectadoras de conductividad, a través de las mencionadas ventanillas de la máscara de óxido.

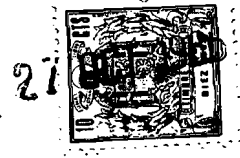
A continuación, se deposita otra capa de óxido de silicio sobre la totalidad de la superficie superior del conjunto hasta aquí terminado, y se emplea un segundo modelo fotorresistivo para formar aberturas en esta nueva



capa de óxido de silicio, así como en la primera capa de óxido de silicio, y delinear unos caminos conductivos de interconexión 41 dotados de terminales o puntos de conexión agrandados 42 a 48 inclusive. Entonces pueden depositarse, en los caminos de interconexión así descubiertos en la superficie superior del substrato generador 20, unas interconexiones conductivas de, por ejemplo, germanio o arseniuro de galio de poca resistividad y fuertemente activado, que constituyen los caminos de interconexión 41. Las interconexiones 41 pueden hacerse asimismo por difusión de impurezas afectadoras de conductividad en el substrato 20, a través de las ventanillas practicadas en las capas de óxido de silicio, en cantidad suficiente para formar material de alta conductividad en la región definida 41 del diseño dejado al descubierto.

A la totalidad de la superficie superior del conjunto hasta aquí formado se le aplica luego una tercera capa de protección de óxido de silicio, hasta cubrir las resistencias 40, las interconexiones 41 y los terminales 42 a 48 ya formados. A continuación, se hacen unas aberturas o ventanillas en determinados lugares seleccionados en la tercera capa de óxido, que se cortan con unas partes seleccionadas de las regiones realizadoras de funciones de circuito que hay en el trazado conductivo de debajo.

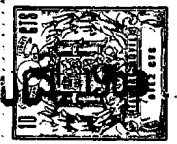
En las superficies del diseño o trazado conductivo expuesto a través de las ventanillas de la tercera máscara de óxido se desarrollan epitaxialmente unas columnas eléctricamente conductoras 49, de poca resistividad, que



se extienden en sentido vertical. Como mejor se ve en las figuras 4a y 7, las columnas 49 se extienden verticalmente por encima de la superficie del conjunto hasta aquí formado, proporcionando interconexiones eléctricas entre las regiones realizadoras de funciones de circuito del segundo estrato (formado en la superficie superior de la oblea 20) y otras regiones realizadoras de funciones de circuito que haya en los niveles o estratos sucesivos a formar. Las columnas 49 se forman por un método semejante al descrito con referencia a las resistencias 40. En la máscara de óxido de silicio de la superficie de la oblea 20 se practican unos agujeros o ventanillas para dejar al descubierto solamente aquellas regiones de componentes o los caminos de interconexión que vayan a ir eléctricamente conectados a las regiones realizadoras de funciones de circuito de uno o más de los estratos sucesivos. A continuación se deposita epitaxialmente germanio o arseniuro de galio de poca resistividad en las regiones que quedan al descubierto a través de las ventanillas, formandolas columnas 49 que, física y eléctricamente, están conectadas de una pieza o íntegramente a las superficies expuestas a través de las ventanillas.

Otro de los métodos de interconexión de componentes en estratos superpuestos, que puede ser utilizado con arreglo a esta invención, es el que se representa en la figura 4b.

La figura 4b es una vista en sección de la oblea de la figura 4, según la línea 4b-4b, e ilustra la interconexión de los terminales o puntos 44 y 45 (figura 4) con los terminales 29 y 31 (figura 3), respectivamente.



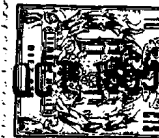
Los terminales 44 y 45 están en la superficie superior de la oblea 20 (el segundo estrato), y los terminales 29 y 31 están en la superficie opuesta de la capa inferior 21 (primer estrato). Unos trayectos de conexión eléctricamente conductores se extienden atravesando tanto la oblea semiaislante 20 como la capa inferior 21, efectuando la interconexión eléctrica entre los terminales. Estas interconexiones eléctricas pueden lograrse por medio de agujeros 50 que respectivamente pasan a través de los terminales 31 y 29, la capa inferior 21, la oblea semiaislante 20 y los terminales 45 y 44. Los agujeros 50 pueden hacerse con un haz electrónico de foco fino que, enfocado sobre los terminales 29 y 31, funde y evapora la parte de los mismos sobre la cual incide el haz. De igual manera, los agujeros 50 se propagan a través del conjunto en su totalidad, hasta asomar el haz por los terminales 44 y 45. El calor generado por el haz electrónico no sólo hace que se formen los agujeros 50, sino también que los terminales de oro 29 y 31 se fundan en parte. Por acción capilar, el oro fundido procedente de los terminales 29 y 31 fluye respectivamente a través de los agujeros 50 formando un camino conductor eléctricamente óhmico que une y conecta los terminales 45, 31 y 44, 29. También, por el mismo procedimiento, se hacen conexiones eléctricas entre los terminales 25 y 43, 32 y 46, 30 y 48, 28 y 42, y 33 y 47, como se ilustra en las figuras 3 y 4, respectivamente.

El conjunto hasta aquí terminado, con las columnas verticales 49 indicadas en la figura 4a y las demás interconexiones según la figura 4b, se recubre luego con una

capa de óxido de silicio depositada sobre toda la superficie superior del segundo estrato del bloque semiaislante 20., Mediante apropiados métodos usuales de protección y grabado al ácido, se quitan selectivamente todos los revestimientos de óxido de silicio de la superficie superior del bloque 20, excepto en aquella parte del revestimiento de óxido de silicio que cubre la parte alta de las columnas verticales de interconexión 49. El conjunto se coloca luego en el recipiente de reacción del aparato de la figura 1 (en la posición correspondiente a la oblea 16 del mismo) y se deposita epitaxialmente una capa 60 de arseniuro de galio semiaislante en la superficie superior expuesta del conjunto (figura 5a). La capa 60 con la capa 20 encierra a modo de cápsula todos los componentes previamente formados en el segundo estrato, excepto las superficies superiores de las columnas verticales de interconexión 49, que están protegidas por la capa de óxido de silicio. Las capas 21, 20 y 60 forman, por lo hasta aquí descrito, una simple unidad monocristalina en teriza.

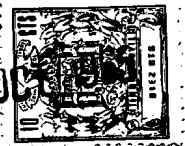
Usando películas de óxido de silicio y métodos fottoresistivos del modo arriba descrito, se forman trazados de resistencia en la superficie de la capa 60, y se depositan en ellos las resistencias 61 (figura 5), de la misma manera indicada para las resistencias 40 de la figura 4. De igual modo, el emisor 62, la base 63 y el colector 64 para cada uno de los transistores designados en general con las letras TR (figuras 5 y 5a) se depositan epitaxialmente a través de unas ventanillas apropiadas, practicadas en las películas de óxido de silicio sucesi-

316541



vamente depositadas, con arreglo a los métodos arriba citados para formar los medios o regiones de realización de funciones de circuito en el segundo estrato. En el tercer estrato se depositan también unos caminos de interconexión 65 y unos terminales o puntos agrandados 67 y 68, eléctricamente conductores, de la manera arriba descrita para los caminos de interconexión 41 y los terminales 42 a 48. A continuación se conectan eléctricamente el terminal 67 al 26 (figura 3) y el terminal 68 al 27, por el procedimiento a base de haz electrónico, antes descrito para las interconexiones realizadas entre los terminales 45, 31 y 44, 29, utilizando unos agujeros 51 (figura 5) similares a los agujeros 50 (figura 4b). Como se observará, los terminales 67 y 68 están en el tercer estrato, en tanto que los terminales 26 y 27 están en el primero, y la disposición de circuitos en el segundo estrato es tal que no estorba ni afecta perjudicialmente a los medios de interconexión que pasan a través del segundo estrato (por una parte del mismo que es eléctricamente aislante) al interconectar los terminales 67 con el 26 y 68 con el 27.

Los medios o regiones realizadores de funciones del circuito del tercer estrato, que incluyen los transistores TR, las resistencias 61 y los caminos de interconexión 65, están conectados de modo selectivo, eléctrica y operativamente, con los medios o regiones realizadores de funciones de circuito seleccionados en el segundo estrato, por unos medios de acoplamiento dispuestos enteramente dentro de los confines del bloque electrónico. Estos medios de acoplamiento tienen la forma de columnas conducti



vas 49 que se extienden desde el segundo estrato al ter-
cero atravesando la capa 60 de material eléctricamente
intrínseco formada de modo enterizo. La conexión eléctri-
ca entre las columnas 49 y las regiones realizadoras de
5 funciones de circuito seleccionadas en el tercer estrato,
se hacen quitando las capas de óxido de la parte supe-
rior de las columnas 49, antes de formar el depósito de
las regiones realizadoras de funciones de circuito del
tercer estrato. Así, como se verá, la interconexión eléc-
10 trica se habilita directa y simultáneamente, para mayor
ventaja, en el momento en que se forman las regiones rea-
lizadoras de funciones de circuito en el tercer nivel o
estrato. Con esto se reduce económicamente al mínimo el
número de etapas y operaciones necesario para la fabri-
15 cación. En la forma ilustrativa de realización del inven-
to representada en los dibujos, las regiones realizado-
ras de funciones de circuito del tercer nivel o estrato
que están eléctricamente interconectadas de modo directo
con las columnas 49 son las resistencias 61.

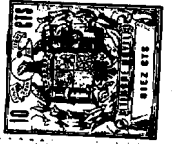
20 A continuación, se depositan en el tercer estrato
unas columnas de interconexión verticales 69, semejantes
a las columnas 49, y se repite el proceso descrito con
referencia a la figura 4 para formar o desarrollar otra
capa enteriza de arseniuro de galio semiaislante 70 (fi-
25 gura 6a) sobre la superficie de la capa 60 a fin de en-
capsular o encerrar las regiones realizadoras de funcio-
nes de circuito del tercer estrato, y también parte de -
las columnas 69. El bloque electrónico monocristalino --
comprende ahora las capas enterizas 70, 60, 20 y 21 (es-
30 to es, formadas como una sola pieza), así como las diver



5 sas regiones realizadoras de funciones de circuito, in--
terconectadas entre sí, de los diversos niveles o estra--
tos de aquél.

El cuarto estrato de medios o regiones realizado--
5 ras de funciones de circuito, último del ejemplo ilustra--
do en los dibujos, se representa en la figura 6. Utili--
zando los mismos métodos de protección con óxido de sili--
cio y difusión arriba descritos, se forman las resisten--
cias 71 junto a la superficie de la capa 70, de modo tal:
10 que uno de los extremos de cada resistencia 71 hace con--
tacto respectivamente y está conectado a la parte supe--
rior de una, correspondiente, de las columnas verticales
69 de interconexión. A continuación, se depositan epitaxial--
15 mente el ánodo 72 y el cátodo 73 de unos diodos radian--
tes, designados en general con RD, efectuándose este depó--
sito en y junto a la superficie de la capa 70. Los dio--
dos radiantes RD del cuarto nivel o estrato pueden ser,-
por ejemplo, diodos de arseniuro de galio tales como los
de los tipos que se describen en la solicitud de patente
20 americana de Biard y col. titulada "Dispositivo semicon--
ductor", nº. 215,642, presentada el 8 de agosto de 1962
y cedida al mismo cesionario de la presente. Como ejemplo
adicional, los diodos radiantes RD pueden estar hechos -
de arseniuro-fosfuro de galio ($GaAs_xP_{1-x}$) como se indica
25 en la mencionada solicitud de patente de Finch y Mehal.-
El contenido de fósforo de tales diodos puede ajustarse -
de modo que la luz emitida esté dentro de la gama visible.

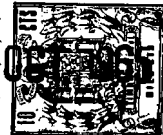
Después, se forman los caminos de interconexión 74 -
con su terminal agrandado 75, lo mismo que antes para los
30 caminos 41. Los caminos 74 conectan eléctricamente todas



las diversas regiones realizadoras de funciones de circui-
to RD y 71 del cuarto nivel, entre sí y a otras regiones
realizadoras de funciones de circuito del tercer nivel,
por medio de las columnas verticales de interconexión 69,
5 a las cuales están también eléctricamente conectados los
caminos 74, como se indica en la figura 6. El terminal 75
sirve de punto de conexión para efectuar una conexión ex-
terior, por ejemplo, a masa.

Como se comprenderá fácilmente, si bien se han indi-
10 cado sólo cuatro niveles de estratos para la forma ilus-
trativa de realización del bloque electrónico de esta in-
vención, pueden emplearse, dentro del ámbito de la misma,
un número de estratos mayor o menor, según cada aplica-
ción particular lo aconseje o exija. Con referencia a la
15 figura 7, se muestran en ella los diversos estratos en --
perspectiva en despliegue, con una separación imaginaria
entre estratos y columnas 49 y 69, para mayor claridad de
la ilustración. En la figura 7, las líneas verticales de
trazo y punto representan las conexiones eléctricas entre
20 las diversas regiones realizadoras de funciones de circui-
to de los diferentes estratos arriba citados.

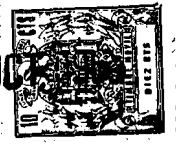
También pueden utilizarse, dentro de los límites de
la presente invención, otros medios de interconectar las
regiones o los componentes funcionales pertenecientes a --
25 distintos estratos. Por ejemplo, los estratos que lleven
componentes dentro de un solo bloque electrónico pero --
eléctricamente aislados unos de otros por capas interpues-
tas cristalinas de un material eléctricamente aislante --
(que puede ser igual o distinto del material del bloque)-
30 pueden interconectarse ópticamente haciendo que la parte



de circuito de uno de los estratos sea activada por iluminación de un componente fotosensible perteneciente a otro estrato. Un diodo radiante, por ejemplo, alineado con dicho componente fotosensible pero eléctricamente aislado de él, puede colocarse en un estrato junto a una de las caras de una capa aislante dispuesta entre dos estratos y activada por una región realizadora de funciones de circuito perteneciente al segundo estrato, situada junto a la cara opuesta de la capa aislante. Así, si el material aislante es transparente para la longitud de onda de luz emitida desde el manantial de radiación (esto es, por el diodo radiante), la parte de circuito del segundo estrato responderá a la radiación procedente del órgano radiante del primer estrato, y estará controlada por ella.

En esta disposición, la región realizadora de funciones de circuito del primero de dichos estratos es sensible a la condición eléctrica del diodo radiante del otro estrato, y el medio de acoplamiento entre ambos es óptico en este caso, quedando el camino de acoplamiento óptico enteramente dispuesto dentro de los confines del bloque electrónico.

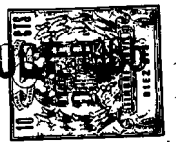
En la forma concreta de realización que se ilustra y se describe en lo que antecede, hay componentes iguales formados simultáneamente en cada estrato del dispositivo, utilizándose capas alternas de material eléctricamente intrínseco para tener un aislamiento entre estratos. Ahora bien, es fácil comprender que en un solo estrato pueden formarse circuitos completos, interconectados con medios de circuito de un segundo estrato hasta articular



y construir sistemas completos dentro de una sola unidad. Es más, los métodos aquí descritos pueden usarse en unión de otros métodos de aislamiento, tal como el de aislamiento de unión o contacto, ampliándose así enormemente el ámbito de las aplicaciones de los circuitos integrados.

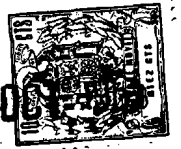
En el bloque electrónico arriba descrito se utilizan las ventajas de las disposiciones de circuitos tridimensionales, así como de una variante de los materiales dentro del propio bloque, obteniéndose así una nueva libertad de proyecto. Como se verá, esta libertad de proyecto adicional permite también producir mejores disposiciones de circuitos integrados de las llamadas bidimensionales, de una mayor efectividad en el desempeño de funciones integradas.

Se observará asimismo que las columnas verticales de interconexión pueden ser, por ejemplo, de germanio, sin dejar de ser por eso monocristalinas y estar dentro de los confines de un solo bloque de un material eléctricamente intrínseco como, por ejemplo, el arseniuro de galio. Mediante la adecuada selección de materiales, las regiones realizadoras de funciones dentro de un estrato dado, o único, de una unidad, pueden fabricarse selectivamente con los materiales que mejor desempeñen la función deseada en una disposición de circuitos integrados tanto bidimensional como tridimensional. Por ejemplo, pueden usarse en el circuito diodos de emisión de luz de $GaAs_xP_{1-x}$, eligiéndose el valor de x de modo que se produzcan diodos de las características deseadas. Tales diodos pueden fabricarse por el método y con el aparato de



la mencionada solicitud de patente de Finch y Mehal. --
Igualmente, las funciones que son ejecutadas del mejor modo por otros materiales (como el germanio o el silicio) pueden ser desempeñadas por unas regiones de germanio o de silicio formadas epitaxialmente sobre la retícula cristalina del material del bloque eléctricamente intrínseco, y estar incluidas dentro de uno de los estratos de la unidad. Así, por ejemplo, un componente sensible a la radiación del silicio de uno de los niveles o estratos puede estar alineado con un componente radiante de arseniuro de indio y galio ($Ga_yIn_{(1-y)}As$) perteneciente a otro estrato o nivel, dando así un medio de hacer que un circuito o parte del mismo de una capa responda (sea sensible) a la condición eléctrica de una región comprendida dentro de otro estrato de la unidad. En este caso, la interconexión operativa entre estas regiones funcionales de niveles o estratos separados se realizaría por acoplamiento óptico a través del bloque. Asimismo, mediante la juiciosa selección de los materiales apropiados, pueden fabricarse componentes de superficie descubiertos que proporcionen diversos tipos de entradas al circuito o sistema del bloque electrónico. Así, por ejemplo, pueden formarse componentes convenientemente sensibles a la temperatura o a la radiación para dar más flexibilidad de entrada al sistema, sin dejar de conservar las ventajas del concepto monolítico o integral del bloque electrónico.

Por lo que antecede se verá que la presente invención permite una mayor miniaturización de circuitos integrados (microelectrónicos) mediante la provisión de un

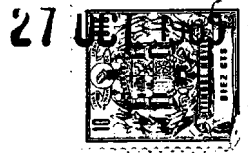


bloque electrónico que en diferentes estratos (o niveles en su interior) tiene diversas formaciones de componentes electrónicos o de regiones que desempeñan funciones electrónicas, eléctricamente interconectados de modo selectivo con otros componentes del mismo nivel y con los de otros niveles o estratos del interior del bloque. La interconexión entre los componentes de distintos niveles o estratos, para mayor ventaja, se hace y dispone por entero dentro de los confines del bloque electrónico, lográndose así elevadas densidades de concentración de funciones de componentes e interconexiones. Esta característica se presta idealmente a las crecientes exigencias de la tecnología en cuanto a mayor miniaturización.

En vista de cuanto antecede, como puede verse, se han logrado los diferentes objetos de la invención, y otros ventajosos resultados.

Como en los métodos y formas de construcción arriba detallados podrían hacerse muchos cambios y modificaciones sin apartarse del ámbito de la invención, se tiene la intención de que todo lo contenido en la descripción que antecede o se representa en los dibujos adjuntos sea interpretado en sentido puramente ilustrativo y no limitativo, pretendiéndose asimismo cubrir y abarcar en las reivindicaciones que siguen todas aquellas variantes equivalentes que caigan dentro del espíritu y del ámbito auténticos de la invención.

La presente solicitud, que corresponde a la presentada en los Estados Unidos de América con fecha 18 de Agosto de 1.964, bajo el número 390.298, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre



Propiedad Industrial

- N O T A -

5

Los puntos de invención, propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por VEINTE años, son los siguientes:

10

1.- Un dispositivo eléctrico que comprende una unidad cristalina formada al menos en parte de un material eléctricamente intrínseco y que tiene una pluralidad de estratos superpuestos espaciados, teniendo cada uno de dichos estratos componentes de circuito, estando un componente de circuito de cada estrato selectiva y eléctricamente conectado dentro de dicha unidad con un componente de circuito en otro estrato estando por lo demás eléctricamente aislado del mismo por los materiales eléctricamente intrínsecos de dicha unidad.

15

20

2.- Un dispositivo eléctrico, que comprende una unidad monocristalina formada al menos en parte de material eléctricamente aislante y que comprende una pluralidad de estratos superpuestos espaciados, teniendo cada uno de dichos estratos una parte de dicho circuito formada en él e incorporando componentes eléctricos, estando la parte de circuito de cada estrato selectiva y eléctricamente conectada dentro de dicha unidad con una parte de circuito en otro estrato y estando por lo demás eléctricamente aislada de la misma por el material aislante monocristalino de dicha unidad.

25

30

316541



3.- Un dispositivo eléctrico que comprende una un
dad cristalina formada al menos en parte de arseniuro de
 galio semiaislante y que comprende una pluralidad de es--
 tratos superpuestos espaciados, teniendo cada uno de di--
 chos estratos una parte de dicho circuito formada en él,-
 estando la parte de circuito de cada estrato selectiva y
 eléctricamente conectada dentro de dicha unidad con una -
 parte de circuito en otro estrato y estando por lo demás
 eléctricamente aislada de la misma por dicho arseniuro de
 galio semiaislante, cristalino.

4.- Un dispositivo eléctrico que comprende un cuer-
 po de material semiaislante monocristalino que tiene una
 región relativamente pequeña de conductividad relativamen-
 te alta, extendiéndose dicha región de alta conductividad
 a través de dicho material semiaislante desde una superfi-
 cie de dicho material semiaislante hasta una superficie -
 opuesta de dicho material semiaislante, permitiendo de es-
 te modo la conexión mutua de componente de circuito selec-
 cionado en los lados opuestos de dicho material semiais-
 lante.

5.- Un dispositivo eléctrico que comprende una plu-
 ralidad de regiones de realización de funciones de circui-
 to situadas a niveles separados espaciados dentro de una
 unidad monocristalina teniendo algunas de dichas regiones
 de realización de funciones de circuito junto a una super-
 ficie de un substrato eléctricamente intrínseco en un pri-
 mer estrato, conexiones eléctricas que interconectan re--
 giones seleccionadas de dichas regiones en dicho primer -
 estrato, terminales de interconexión monocristalinos elec-
 tricamente conductores electricamente conectados a regio-



5
10
15
20
25
30

nes seleccionadas de dichas regiones en dicho primer es--
trato y que se extienden transversalmente a dicha superfi-
cie de dicho sustrato y alejándose de ella, material eléc-
tricamente intrínseco epitaxialmente depositado sobre di-
cha primera superficie de dicho sustrato que encapsula ca-
da una de dichas regiones en dicho primer estrato y una -
parte de dichos terminales dejando descubierta a una par-
te de dichos terminales, estando otras de dichas regiones
de realización de funciones de circuito situadas junto a
la superficie de dicho material epitaxialmente deposita-
do en un segundo estrato y conexiones eléctricas entre -
regiones elegidas de dichas otras regiones de dichas re-
giones de realización de funciones de circuito y conectan-
do dichas partes descubiertas de dichos terminales con--
ductores eléctricamente con ellos regiones elegidas en -
dicho primer estrato con regiones elegidas en dicho se--
gundo estrato.

6.- El dispositivo eléctrico de la reivindicación
5, en el que dicho material eléctricamente intrínseco es
arseniuro de galio que tiene una resistividad de al me--
nos 10^4 ohm-cm o a temperatura ambiente.

7.- Un dispositivo eléctrico, que comprende (a) --
una capa monocristalina de material semiaislante (b) un
componente de circuito monocristalino íntegramente forma-
do junto a dicho primer lado de dicha capa y que tiene -
la misma orientación de cristales de dicha capa monocris-
talina, (c) un segundo componente de circuito junto a un
lado de dicha capa opuesto a dicho primer lado y (d) me--
dios eléctricamente conductores que se extienden a través
del espesor de dicha capa y que conectan eléctricamente -



entre sí dichos componentes de circuito primero y segundo.

5
10
15
20
25
30

8.- Un dispositivo eléctrico que comprende una pluralidad de regiones de realización de funciones de circuito dentro de un bloque electrónico cristalino que tiene - una pluralidad de regiones de realización de funciones de circuito junto a un primer lado de un sustrato eléctricamente aislante, regiones adicionales de realización de funciones de circuito junto a un segundo lado de dicho sustrato eléctricamente aislante, interconexiones eléctricas entre regiones elegidas de dichas regiones junto a dicho segundo lado de dicho sustrato, material aislante depositado epitaxialmente sobre dicho segundo lado de dicho sustrato y sobre dichas regiones para encapsular así dichas regiones y dichas interconexiones dentro de la red cristalina de dicho material epitaxialmente depositado, regio--nes adicionales de realización de funciones de circuito - junto a la superficie de dicho material epitaxialmente -- depositado, conexiones eléctricas entre regiones elegidas de dichas regiones junto a dicho segundo lado y regiones
20 junto a dicho primer lado de dicho sustrato que comprenden medios eléctricamente conductores que se extienden a través del espesor de dicho sustrato aislante y dicho mate--rial epitaxialmente depositado, e interconexiones eléc- - tricas entre regiones elegidas de dichas regiones junto a
25 dicho segundo lado y regiones junto a dicha superficie de dicho material epitaxialmente depositado que comprenden - medios eléctricamente conductores que se extienden a través del espesor de dicho material epitaxialmente deposi--tado.

9.- Un dispositivo eléctrico que tiene una plurali--



dad de componentes de circuito que comprenden una región de baja resistencia en un sustrato aislante monocristalino, extendiéndose dicha región de baja resistencia a través del espesor de dicho sustrato, una región de realización de funciones de circuito junto a un primer lado de dicho sustrato y en contacto eléctrico con dicha región de baja resistencia y otra región de realización de funciones de circuito junto a un segundo lado de dicho sustrato y en contacto eléctrico con dicha región de baja resistencia.

10.- Un dispositivo eléctrico que comprende un cuerpo cristalino que tiene una pluralidad de estratos superpuestos espaciados, teniendo cada uno de dichos estratos medios que realizan la función eléctrica y al menos un componente de circuito, respondiendo los medios de al menos uno de dichos estratos al estado eléctrico de al menos uno de dichos medios de otro de dichos estratos a través de medios de acoplamiento dispuestos enteramente dentro del cuerpo, y estando dichos medios de cada uno de dichos estratos por lo demás eléctricamente aislados de los medios de otros estratos a través de dicho cuerpo.

11.- Un dispositivo eléctrico según la reivindicación 1, en el que dichas regiones de circuito de realización de funciones son de la misma composición química que dicho material eléctricamente intrínseco.

12.- Un dispositivo eléctrico según la reivindicación 1, en el que dichas regiones de circuito de realización de funciones y dicho material eléctricamente intrínseco son de diferentes composiciones químicas.

13.- Un dispositivo eléctrico según la reivindicación



ción 1, en el que dichas regiones de realización de funciones de circuito son materiales semiconductores seleccionados del grupo que consta de germanio y silicio, y dicho material eléctricamente intrínseco es arseniuro de galio.

14.- Un dispositivo eléctrico que tiene el equivalente eléctrico de una pluralidad de componentes de circuito que comprenden una sola unidad monocristalina en la cual una pluralidad de regiones de realización de funciones de circuito están junto a un primer lado de un sustrato eléctricamente aislante, una pluralidad de regiones de realización de funciones de circuito junto a un segundo lado opuesto a dicho primer lado de dicho sustrato eléctricamente aislante, una capa depositada epitaxialmente de material aislante sobre dicho segundo lado que encapsula las regiones junto a dicho segundo lado, una pluralidad de regiones de realización de funciones de circuito junto a la superficie de dicha capa depositada epitaxialmente opuesta a dicho segundo lado, e interconexiones eléctricas entre regiones seleccionadas de dichas regiones de dicho primer lado y regiones seleccionadas de dichas regiones de dicho segundo lado y sobre dicho lado opuesto últimamente nombrado de dicha capa depositada epitaxialmente que comprenden medios conductores eléctricamente que se extienden a través del espesor de dicho sustrato aislante y de dicha capa depositada epitaxialmente.

15.- Un dispositivo eléctrico miniaturizado formado al menos en parte de un primer material semiconductor, que es eléctricamente intrínseco, y que tiene una región de realización de funciones de circuito formada de un se-



gundo material semiconductor, estando dicho segundo material semiconductor íntegralmente formado como prolongación continua de la malla cristalina de dicho primer material semiconductor.

5
10

16.- Un dispositivo eléctrico que comprende un bloque electrónico tridimensional miniaturizado formado al menos en parte de un primer material semiconductor cristalino, que es eléctricamente intrínseco, y que tiene una pluralidad de estratos superpuestos espaciados, teniendo cada uno de dichos estratos dispuestos en él una pluralidad de regiones de realización de funciones de circuito, estando formada al menos una de dichas regiones de un segundo material semiconductor cristalino.

15

17.- Un dispositivo eléctrico que comprende un bloque electrónico tridimensional miniaturizado formado al menos en parte de un primer material semiconductor cristalino, siendo dicho primer material semiconductor eléctricamente intrínseco, teniendo dicho bloque una pluralidad de estratos superpuestos espaciados, teniendo cada uno de dichos estratos formado en él una pluralidad de regiones de realizaciones de funciones de circuito correspondientes a componentes electrónicos seleccionados del grupo que consta de componentes activos y pasivos, estando formada al menos una de dichas regiones de un segundo material semiconductor íntegralmente formado como prolongación continua de la malla cristalina de dicho primer material semiconductor, y estando dichas regiones de realización de funciones en diferentes estratos selectiva y operativamente conectadas entre sí por interconexiones dispuestas enteramente dentro de dicho cuerpo.

20

25

30

316541



18.- Un dispositivo eléctrico que comprende un --
cuerpo cristalino de material eléctricamente intrínseco
que tiene una pluralidad de estratos superpuestos espa--
ciados, teniendo cada uno de dichos estratos medios que
realizan la función eléctrica de al menos un componente
de circuito, respondiendo los medios de al menos uno de
dichos estratos al estado eléctrico de al menos uno de
dichos medios y en otro de dichos estratos a través de --
medios de acoplamiento dispuestos enteramente dentro del
cuerpo, y respondiendo medios en uno de dichos estratos
a estados externos a dicho cuerpo.

19.- Un dispositivo eléctrico que comprende un --
cuerpo cristalino de material eléctricamente intrínseco
que tiene una pluralidad de estratos superpuestos espa--
ciados, teniendo cada uno de dichos estratos medios que
analizan la función eléctrica de al menos un componente
de circuito, respondiendo los medios de al menos uno de
dichos estratos al estado eléctrico de al menos uno de --
dichos medios en otro de dichos estratos a través de me--
dios de acoplamiento dispuestos enteramente dentro del --
cuerpo y respondiendo unos medios en uno de dichos estra--
tos a la energía radiante procedente de una fuente exter--
na a dicho cuerpo.

20.- Un dispositivo eléctrico que comprende un --
cuerpo cristalino de material eléctricamente intrínseco
que tiene una pluralidad de estratos superpuestos espa--
ciados, teniendo cada uno de dichos estratos medios que
realizan la función eléctrica de al menos un componente
de circuito, respondiendo los medios de al menos uno de
dichos estratos al estado eléctrico de al menos uno de --



dichos medios en otro de dichos estratos a través de medios de acoplamiento dispuestos enteramente dentro del cuerpo, y respondiendo unos medios en uno de dichos estratos a la energía térmica procedente de una fuente externa a dicho cuerpo.

21.- Un dispositivo eléctrico que comprende un bloque electrónico tridimensional miniaturizado formado de material semiconductor cristalino eléctricamente aislante, teniendo dicho bloque una pluralidad de niveles espaciados, teniendo cada uno de dichos niveles formada en él una pluralidad de regiones de realización de funciones de circuito correspondientes a componentes de circuito eléctrico seleccionado del grupo que consta de componentes activos y pasivos, realizando cada una de dichas regiones la función eléctrica de un número sustancial de componentes eléctricos individuales, y estando las regiones de realización de funciones de circuito en un nivel operativamente interconectadas con las regiones de realización de funciones de circuito en otro nivel por acoplamiento óptico, estando proporcionado dicho acoplamiento óptico por una región de realización de funciones de circuito sensible a la luz de un estrato que absorbe la luz emitida desde una región de realización de funciones de circuito en otro estrato.

22.- Un dispositivo eléctrico que comprende un cuerpo de arseniuro de galio eléctricamente aislante que tiene una pluralidad de estratos superpuestos espaciados, teniendo cada uno de dichos estratos regiones que realizan las funciones eléctricas de componentes de circuito, teniendo al menos uno de dichos estratos una región de -



emisión de luz, que emite radiación de luz electromagnética, y teniendo otro de dichos estratos una región que responde a la radiación electromagnética transmitida a --
 través de dicho cuerpo, proporcionando de este modo un -
 5 acoplamiento óptico entre dichos sustratos, estando di--
 chas regiones eléctricamente aisladas entre sí, por di-
 cho cuerpo de arseniuro de galio eléctricamente aislante.

23.- Un dispositivo eléctrico que comprende un cuer-
 po de arseniuro de galio eléctricamente aislante que tie-
 10 ne un grupo de regiones sensibles a la radiación junto a
 uno de sus lados, regiones de realización de funciones -
 de circuito junto a otro lado, y medios eléctricamente -
 conductores que se extienden a través de dicho arseniuro
 de galio eléctricamente aislante conectando entre sí --
 15 eléctrica y selectivamente dichas regiones sensibles a -
 la radiación con dichas regiones de realización de fun--
 ciones de circuito.

24.- Un dispositivo eléctrico del tipo de red se--
 miconductora o de circuito integrado.

20 Tal y como se ha descrito en la Memoria que antece-
 de, ilustrado en los dibujos que se acompañan y para los
 fines que se han especificado.

Esta Memoria consta de treinta y seis hojas escri-
 tas a máquina por una sola cara.

25 Madrid,

15 ENE 1965
P.A.

Alberto de Eizaburu
for Poder

316541

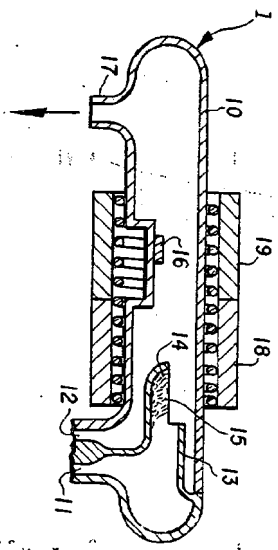


Fig. 1

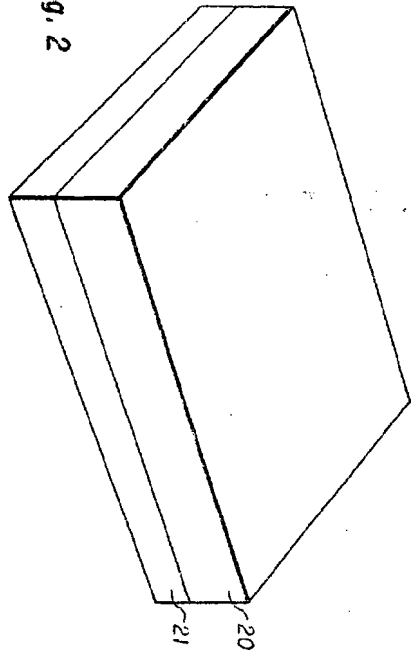


Fig. 2

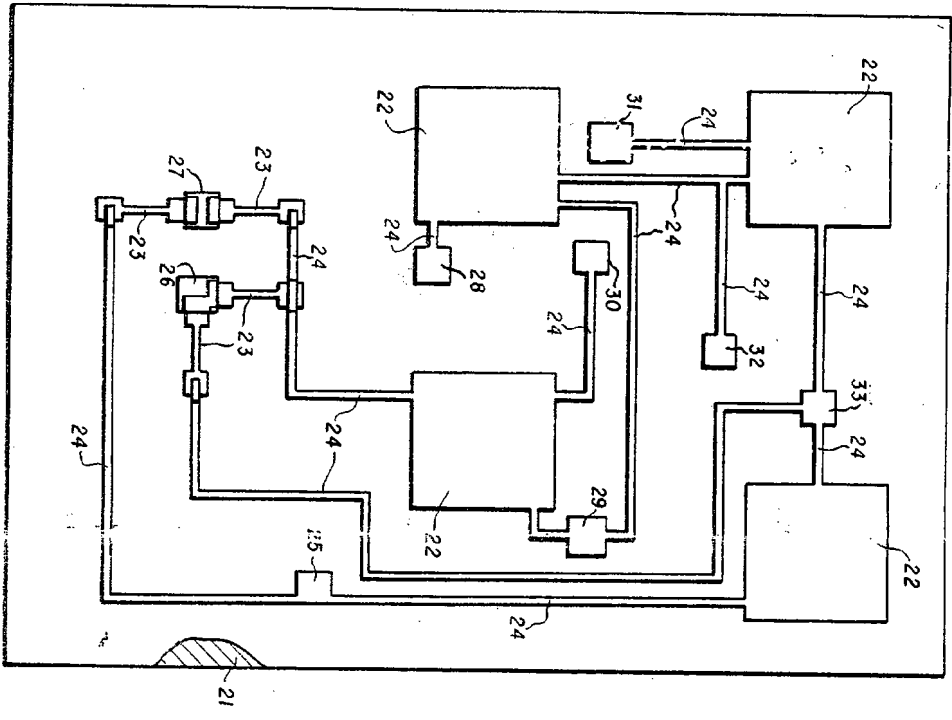


Fig. 3

Modelo de Escala Variable



Fig. 4

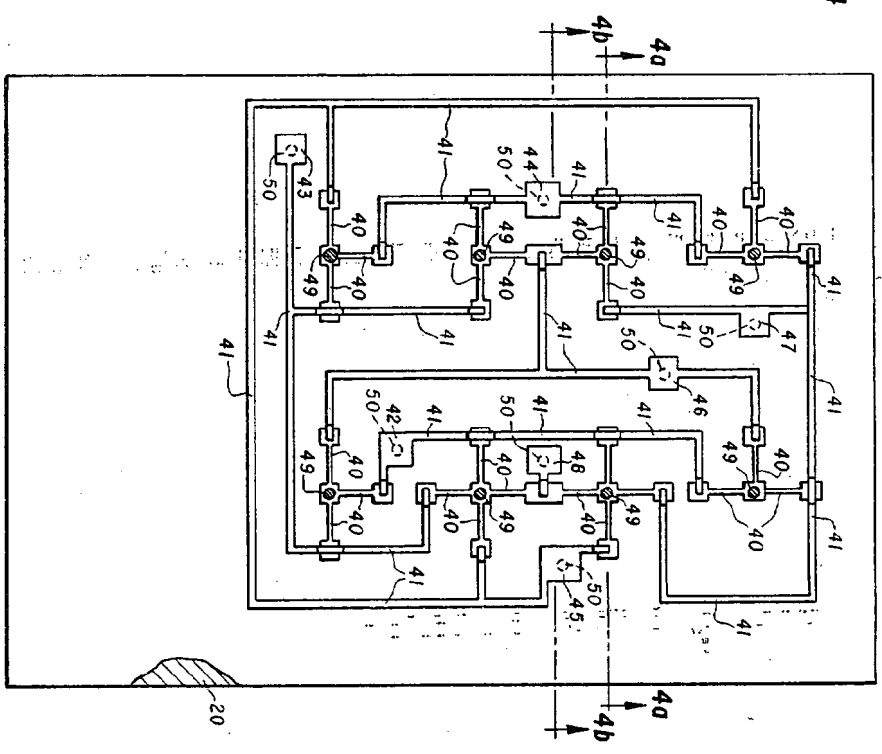


Fig. 4a

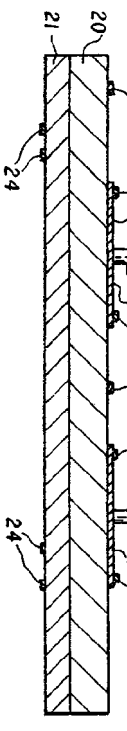


Fig. 4b

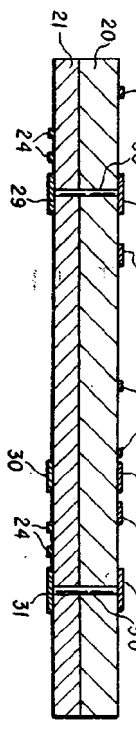


Fig. 5

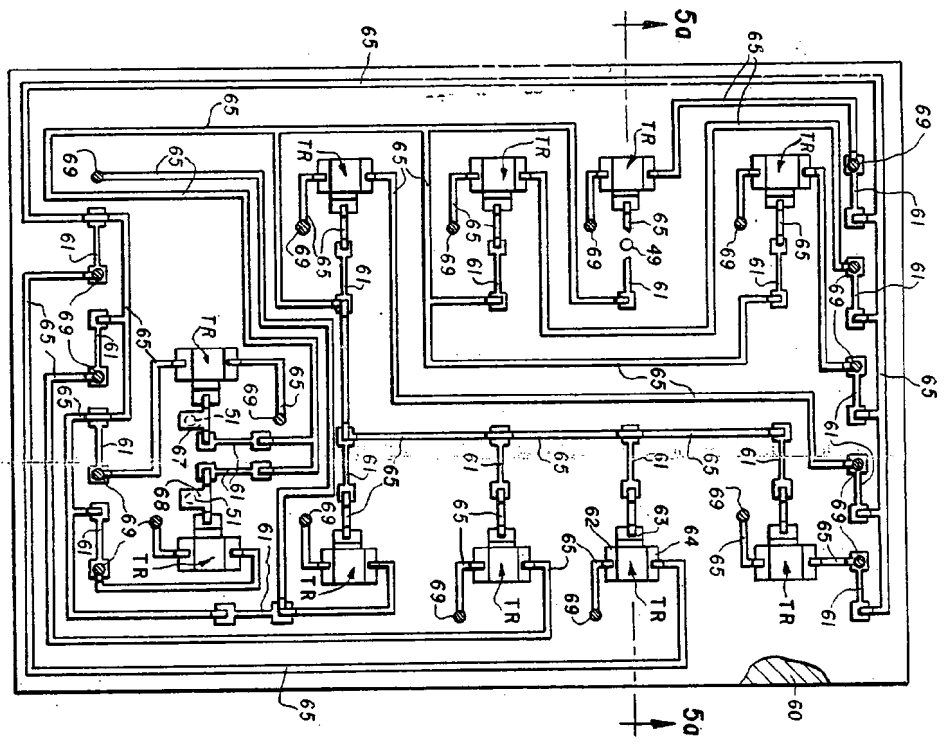
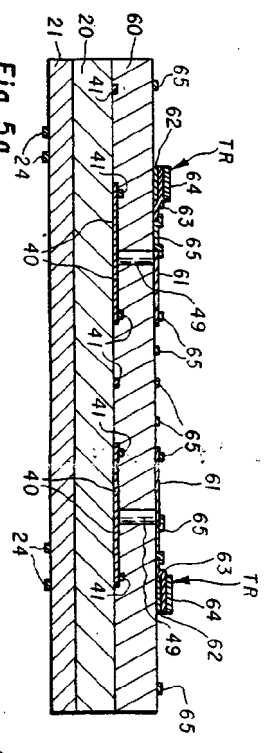


Fig. 5a



Reprodução por



