

307886

P.- 28.322

25 FEB. 1965
M. 2376-Cas 827-827 a
G. 1189-G.1206 groupés



MEMORIA DESCRIPTIVA

que se presenta para unir a la solicitud

d e

P A T E N T E D E I N V E N C I O N

formulada el 7 de Enero de 1965, con el Número 307.886

e n

E S P A Ñ A

por VEINTE años

a nombre de COMPAGNIE DES FREINS ET SIGNAUX WESTINGHOUSE, socie-
dad anónima francesa, establecida en 18, rue Volney, Paris, Fran-
cia, por:

"UNA DISPOSICION DE CIRCUITO LOGICO DEL TIPO DE COINCIDENCIA
O Y"

Las condiciones de seguridad requeridas tanto en las ins-
talaciones industriales en general como para el tráfico de la ex-
plotación ferroviaria en particular, reclaman medios de informa-
ción, de funcionamiento extremadamente seguro. Importa que en ca-
5 so de fallo de uno cualquiera de los componentes de un bloque
funcional determinado, la señal de salida procedente de éste per-
manezca o pase por un estado tal que la información transferida
sea la más restrictiva, es decir, siempre en el sentido de la se-
guridad requerida para la instalación dada.

10 En particular, los circuitos lógicos de semiconductores



del tipo Y o de coincidencia realizados actualmente y utilizados por ejemplo en el tratamiento lógico de las informaciones, presentan el inconveniente de que en caso de cortocircuito o de corte accidental de un elemento, por ejemplo un transistor, la información de salida conduce a una señal que no puede ser en ningún caso diferenciada de la producida respectivamente por los estados de conducción o de no conducción del transistor considerado, estados condicionados en marcha normal por la señal de entrada aplicada al circuito.

10 El presente invento tiene por finalidad remediar estos inconvenientes y tiene por objeto un circuito lógico de seguridad del tipo Y, caracterizado por que incluye en combinación: por lo menos una fuente de alimentación eléctrica de corriente continua, un transistor u órgano electrónico de funcionamiento idéntico,
15 conectado a dicha fuente, por lo menos dos circuitos de mando del transistor; y un circuito de salida del transistor cuyas dos únicas informaciones transmitidas corresponden a la presencia o a la ausencia de oscilaciones, eligiéndose los elementos del circuito lógico de tal manera que las dos únicas informaciones susceptibles de ser suministradas por el transistor representan un
20 estado de oscilaciones cuando las señales de entrada enviadas por los circuitos de mando tienen simultáneamente valores no nulos, y un estado de reposo cuando uno por lo menos de estos valores es nulo.

25 Otras características complementarias del invento resaltarán de la descripción siguiente hecha con referencia al dibujo anejo. Naturalmente, la descripción y el dibujo no están dados más que a título indicativo y en modo alguno limitativo del invento.

30 La figura 1 representa el esquema eléctrico de un ejemplo

307886



de realización de un circuito lógico del tipo Y según el invento.

La figura 2 muestra la forma de las curvas de tensión en diversos puntos del circuito representado en la figura 1 cuando las señales de entrada son idénticas.

La figura 3 muestra la forma de las curvas de tensión en diversos puntos del circuito representado en la figura 1 cuando las señales de entrada son diferentes.

La figura 4 representa el esquema eléctrico de un segundo ejemplo de realización de un circuito lógico del tipo Y según el invento.

La figura 5 muestra la forma de las curvas de tensión en diversos puntos del circuito representado en la figura 4.

La figura 6 representa el esquema eléctrico de un tercer ejemplo de realización de un circuito lógico del tipo Y según el invento.

La figura 7 representa el esquema eléctrico de un cuarto ejemplo de realización de un circuito lógico del tipo Y según el invento.

La figura 8 muestra la forma de las curvas de tensión en diversos puntos del circuito representado en la figura 7.

Tal como se representa en la figura 1, el circuito lógico incluye un transistor 1 del tipo PNP cuyo emisor 2 está unido al borne positivo de una fuente de alimentación eléctrica de corriente continua, no representado en el dibujo, estando conectado dicho borne a la masa 3.

El colector 4 del transistor 1 está unido al borne negativo 5 de la fuente de alimentación eléctrica de corriente continua, por medio de una resistencia 6; la base 7 del transistor 1 está unida al borne negativo 5 de dicha fuente por medio de una

307886



resistencia 8.

En el ejemplo considerado, el circuito lógico Y incluye dos circuitos de mando que permiten obtener señales de entrada de forma rectangular y de amplitud determinada, como se explica más adelante. Si las señales directamente aplicadas sobre el cir-
5 cuito Y propiamente dicho tienen las características deseadas, estos circuitos de mando, por lo menos en parte, no son necesarios, como se indica más adelante.

Uno de estos circuitos está constituido por un transistor
10 9 del tipo PNP, cuya base 10 es atravesada por una de las señales de entrada del circuito lógico.

El emisor 11 de este transistor está unido a la masa 3. El colector 12 está unido al borne negativo 5 de dicha fuente, por medio de una resistencia 13.

15 Un condensador 14 está conectado al borne 15 del colector 12 y está montado en serie con una resistencia 16 cuyo borne libre 17 está unido a la base 7 del transistor 1.

Un diodo 18 está conectado entre la masa 3 y el borne 19 común al condensador 14 y a la resistencia 16.

20 El diodo 18 está conectado de manera que permite el paso de la corriente en el sentido: masa 3 - borne 19.

El segundo circuito de mando del circuito lógico Y, idéntico al primero, está constituido por un transistor 20 del tipo PNP, cuya base 21 es atravesada por la segunda señal de entrada
25 del circuito lógico.

El emisor 22 del transistor 20 está unido a la masa 3; el colector 23 está conectado al borne negativo 5 de la fuente por medio de una resistencia 24.

30 Un condensador 25 está conectado al borne 26 del colector 23 y está montado en serie con una resistencia 27 cuyo borne li-

307886



bre 28 está igualmente unido a la base 7 del transistor 1.

Un diodo 29 está ramificado entre la masa 3 y el borne 30 común al condensador 25 y a la resistencia 27.

El diodo 29 está conectado de manera que permite el paso
5 de la corriente en el sentido: masa 3 - borne 30.

En el ejemplo considerado, los transistores utilizados son del tipo PNP. Se puede realizar el mismo circuito lógico Y con ayuda de transistores del tipo NPN efectuando una permutación de los bornes positivo y negativo de la fuente de alimentación eléctrica de corriente continua, y permutando igualmente los bornes
10 de los diodos 18 y 29.

La información de salida del circuito lógico Y se recoge en el borde 31 del colector 4 y se transmite por el conductor de salida 32.

Según un ejemplo de utilización del circuito lógico según
15 el invento, las dos señales de entrada tienen respectivamente las formas de las curvas de la tensión U 15, recogida en el borne 15 del transistor 9 del primer circuito de mando, y de la tensión U 26, recogida en el borne 26 del transistor 20 del segundo
20 circuito de mando, como muestra la figura 2.

Las señales de entrada son de forma rectangular y su amplitud es sensiblemente igual a $-V$, siendo V el valor de la tensión de la fuente de alimentación eléctrica de corriente continua.

Las señales recogidas en los bornes 19 y 30, tienen después de haber atravesado los condensadores 14 y 25, la forma de las curvas de tensión de las tensiones U 19 y U 30, recogidas respectivamente en los bornes 19 y 30, como muestra la figura 2.
25

La forma de estas señales, es sensiblemente idéntica a la forma de las señales de entrada definidas anteriormente, pero su
30 amplitud es igual a $\frac{1}{2} V$.



Los elementos de los circuito de mando se exigen de mane-
ra que mantengan el transistor 1 bloqueado cuando la amplitud de
los impulsos de por lo menos una señal de entrada es nula, y sa-
turado cuando las amplitudes de los impulsos de las señales de
5 entrada son ambas iguales a su valor máximo, es decir, en este
caso a $-V$.

La curva de tensión U 32 representada en la figura 2 mues-
tra la forma de la señal de salida transmitida por el conductor
de salida 32.

10 En el ejemplo de utilización que acaba de ser considerado,
las duraciones de los impulsos de las dos señales de entrada son
iguales y las señales estan rigurosamente en fase como lo mues-
tran las curvas de tensión U 15 y U 26 representadas en la figu-
ra 2.

15 Si las señales de entrada son de igual frecuencia y estan
compuestas de impulsos de duración diferente, los impulsos de la
señal recogida en la salida del circuito lógico tienen una dura-
ción igual a la menor duración de los impulsos de las dos seña-
les de entrada y, más precisamente, es igual a la duración de
20 recubrimiento de los impulsos de las dos señales de entrada.

Así, en el ejemplo de utilización del circuito lógico, re-
presentado en la figura 3, las señales de entrada tienen la for-
ma de las curvas de tensión U'15 y U'26.

25 Los impulsos 34 de la señal de salida, cuya forma está re-
presentada por la curva de tensión U'32 tienen una duración igual
a la duración de recubrimiento de los impulsos 35 y 36, respecti-
vamente de las señales de entrada U'15 y U'26.

A estos fines, se determinarán las relaciones entre los
diversos elementos de circuito de mando cuando el transistor 1
30 está bloqueado o saturado.

307886



Se designa por:

U19 el valor de la tensión en el borne 19

U30 el valor de la tensión en el borne 30

U7 el valor de la tensión en la base 7

5 R6 el valor de la resistencia 6

R8 el valor de la resistencia 8

R16 el valor de la resistencia 16

R27 el valor de la resistencia 27

J6 el valor de la corriente que atraviesa a la resisten-
10 cia 6 y, por consiguiente, el colector 4.

J8 el valor de la corriente que atraviesa la resistencia 8

J16 el valor de la corriente que atraviesa la resistencia
16.

J27 el valor de la corriente que atraviesa la resistencia
15 27

K el coeficiente de amplificación del transistor 1.

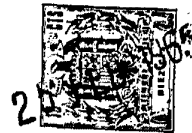
El transistor 1 está bloqueado cuando el valor de la ten-
sión sobre la base 7 del transistor 1 es positivo o nulo, lo que
se traduce en la desigualdad siguiente

20
$$R8 \cdot J8 - (R16 \cdot J16 + R27 \cdot J27) \geq 0$$

Las señales de entrada que atraviesan las base 10 y 21 son
de igual frecuencia, siendo su amplitud compatible con la obten-
ción de señales periódicas rectangulares de amplitud $-V$ aplica-
25 bles en las entradas del circuito Y y, más precisamente, sobre
los bornes 15 y 26 de los colectores de estos transistores. Las
señales de entrada recogidas en estos bornes son idénticas y de
igual amplitud, como lo muestra la figura 2.

Los valores máximos de las tensiones U 19 y U 30 son sen-
30 siblemente iguales al valor positivo $+V$ de la tensión de la fuen-

307886



te de corriente continua.

Siendo idénticos los dos circuitos de mando en el ejemplo considerado, las resistencias R16 y R27 son iguales, como las corrientes J16 y J27.

5 Según la ley de los Nudos de KIRCHOFF, aplicada en el borne 33 de la base 7, la corriente que atraviesa la resistencia 8 es igual a la suma de las corrientes que atraviesan las resistencias 16 y 27, despreciando la corriente residual base-colector, cuando el transistor está bloqueado.

10 Así:

$$U19 = U30 = +V$$

$$J16 = J27 = \frac{J8}{2}$$

La desigualdad precedente pasa a ser:

$$R8 \cdot J8 - \frac{R16}{2} \times J8 \geq 0.$$

15 Así, el transistor 1 está bloqueado cuando el valor de la resistencia R8 es superior o por lo menos igual a la mitad del valor de la resistencia R16 o de la resistencia R27:

$$R8 \geq \frac{R16}{2} \text{ o } \frac{R27}{2}.$$

20 Por otra parte, la corriente que atraviesa el colector 4 es igual al producto de la corriente J7 que atraviesa la base 7 por el coeficiente K de amplificación del transistor.

En el ejemplo representado, esta igualdad se traduce en:

$$J6 = K \times J7.$$

25 Según la ley de los Nudos de KIRCHOFF aplicada en el borne 33 de la base 7, la corriente J7 que atraviesa la base 7 del transistor 1 es igual a la diferencia entre la corriente J8 que atraviesa la resistencia 8 y entre la suma de las corrientes J16 y J27 que atraviesan respectivamente las resistencias 16 y 27.

30 $J7 = J8 - J16 - J27$

307886



Conservando los mismos valores para los diversos elementos de los circuitos de mando, esta igualdad pasa a ser:

$$J7 = \frac{V}{R8} - \frac{U19}{R16} - \frac{U30}{R27}$$

5 Despreciando el valor de la tensión emisor-base muy débil frente al valor de las tensiones V ó $U19$ ó $U30$.

Los elementos de los circuitos de mando se realizan de tal manera que el transistor 1 está saturado cuando una cualquiera de las tensiones $U19$ ó $U30$ es nula.

10 Si el valor de la tensión $U30$ es nulo, la corriente $J7$ que atraviesa la base 7 del transistor 1 cuando éste está saturado, puede expresarse por la igualdad siguiente:

$$J7 = \frac{J6}{K} = \frac{V}{R8} - \frac{U19}{R16} = \frac{V}{R8} = \frac{V}{KR6}$$

15 La condición de saturación del transistor 1 se traduce así por:

$$\frac{1}{K \times R6} \ll \frac{1}{R8} - \frac{1}{R16}$$

20 Así, el transistor 1 está bloqueado cuando las resistencias 16 y 27 de los circuitos de mando y la resistencia 8 de polarización de la base del transistor satisfacen la relación:

$$R16 \text{ ó } R27 \ll 2 \times R8.$$

El transistor 1 está saturado cuando estas resistencias satisfacen igualmente la relación:

25

$$\frac{1}{K \cdot R6} \ll \frac{1}{R8} - \frac{1}{R16} \text{ ó } \frac{1}{R8} - \frac{1}{R27}$$

30 Estas relaciones permiten una elección conveniente de los valores de las resistencias $R8$, $R16$, $R27$ y del valor del coeficiente de amplificación K del transistor 1 con objeto de obtener en el colector 4 de este transistor una señal cuya amplitud es



nula cuando una de las tensiones U19 o U30 tienen un valor nulo y, por consiguiente, cuando las dos tensiones U 19 y U30 tienen un valor nulo y cuya amplitud es máxima, en este caso igual a $-V$, cuando los valores de las tensiones U19 y U30 son ambos dos máximos, es decir, en este caso iguales a $+V$.

Los otros elementos de los circuitos de mando, y más precisamente los transistores 9 y 20, las resistencias 13 y 24, los condensadores 14 y 25, los diodos 18 y 29, se eligen de manera que permitan la obtención en los bornes 19 y 30 de señales periódicas rectangulares de amplitud máxima igual a $+V$.

Si las señales de entrada tienen esas características, se pueden aplicar directamente sobre los bornes 19 y 30 de las resistencias 16 y 27, es decir, en los bornes de entrada del circuito lógico propiamente dicho, constituido por el transistor 1, las resistencias 6, 8, 16 y 27.

Si se designa por 0 el estado binario de la señal de entrada recogida en el borne 15 o en el borne 26, cuando esta señal tiene un valor nulo que corresponde a la ausencia de oscilaciones y por I el estado binario de la señal de entrada recogida en el borne 15 o en el borne 26, cuando esta señal tiene un valor no nulo que corresponde a la presencia de oscilaciones, el estado binario recogido en la salida 32 del circuito lógico es igual a 0, cuando por lo menos uno de los estados binarios de las señales de entrada es nulo, e igual a I cuando los estados binarios de las señales de entrada son ambos iguales a I.

En el ejemplo que acaba de ser descrito y representado, se han considerado solamente dos circuitos de mando. Es bien evidente que el circuito lógico Y puede ser utilizado por un número cualquiera de circuitos de mando cuyos elementos satisfacen las mismas relaciones.

307886



El dispositivo que acaba de ser descrito es utilizado más precisamente con señales de entrada de igual frecuencia.

5 Cuando las señales de entrada no tienen la misma frecuencia, se puede realizar el circuito lógico representado en la figura 4 en el cual se ha insertado en uno de los circuitos de mando un dispositivo integrador.

Los elementos representados en la figura 4 que llevan las mismas referencias que los de los elementos representados en la figura 1, ejercen las mismas funciones y pueden ser idénticos.

10 Uno de los circuitos de mando incluye un diodo 37, uno de cuyos bornes está unido al borne 30, estando unido el otro borne a una resistencia 38 conectada al borne 28. Un condensador 39 está ramificado entre la masa 3 y el borde 40 común al diodo 37 y a la resistencia 38.

15 El diodo 37 está conectado de manera que permite el paso de la corriente en el sentido: borne 30 - borne 40.

El dispositivo constituido por el diodo 37, la resistencia 38 y el condensador 39, forma un integrador de la señal recogida en el borne 30.

20 Como muestra la figura 5, la señal de entrada periódica representada por la curva de tensión U26 es transformada en una señal continua representada por la curva de tensión U40 recogida en el borne 40 del dispositivo integrador.

25 El circuito de mando que incluye el dispositivo integrador transforma los impulsos de la señal de entrada en una señal de mando continua; esta señal de mando está en el estado binario 0 cuando el circuito de mando correspondiente no está alimentado, y en el estado binario I cuando el circuito de mando está alimentado por una señal de entrada periódica.

30 Según el mismo proceso que el explicado anteriormente, la



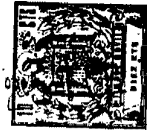
señal de salida del circuito lógico está en el estado binario 0, cuando la señal de entrada del primer circuito de mando o cuando la señal transformada del segundo circuito de mando está en el estado binario 0.

- 5 La señal de salida del circuito lógico está en el estado I cuando la señal de entrada del primer circuito de mando y la señal transformada del segundo circuito de mando están en el estado binario I.

10 La tabla siguiente resume los diferentes defectos susceptibles de afectar a los componentes de los circuitos lógicos descritos anteriormente e indica las señales de salida generadas por estos defectos

Elemento considerado	Cortocircuito	Corte
Condensador 14	Desaparación de la tensión $U_{19} = +V$ $U_{32} = 0$	Desaparación de la tensión $U_{19} = +V$ $U_{32} = 0$
Condensador 25	Desaparación de la tensión $U_{40} = +V$ $U_{32} = 0$	Desaparación de la tensión $U_{19} = +V$ $U_{32} = 0$
Condensador 39	Desaparación de la tensión $U_{40} = +V$ $U_{32} = 0$	El condensador 39 no es necesario si U_{19} y U_{30} son de fase y de frecuencia idénticas. En el caso contrario, el corte 39 produce $U_{32} = 0$
Diodo 18	$U_{19} = 0^V$ $U_{32} = 0$	Desaparación de la tensión $U_{19} = +V$ $U_{32} = 0$

307886



Elemento considera- do	Cortocircuito	Corte
Diodo 29	U40 = 0 U32 = 0	Desaparación de la tensión U40 +V U32 = 0
Diodo 37	La señal de entrada U26 es anulada por el conden- sador 39 de la gran ca- pacidad	Borne 40 aislado U32 = 0
Resistencia 16	No puede ser puesta en cortocircuito por cons- trucción	Imposibilidad de bloquear el transis- tor 1 U32 = 0
Resistencia 38	No puede ser puesta en cortocircuito por cons- trucción	Imposibilidad de bloquear el tran- sistor 1 U32 = 0
Resistencia 8	El transistor 1 está sa- turado con permanencia U32 = 0 Este defecto no ha de ser considerado si la resis- tencia 8 no puede ser puesta en cortocircuito por construcción	Imposibilidad de saturar el tran- sistor 1 U32 = 0
Resistencia 6	La salida 32 está unida al borne 5 de la fuente con permanencia U32 = 0 Este defecto no ha de ser considerado si la resis- tencia 6 no puede ser puesta en cortocircuito por construcción	La salida 32 esta aislada U32 = 0
Transistor 1	U32 = 0 con permanencia	La salida 32 está unida al borne 5 de la fuente con permanencia U 32 = 0

307886



25 FEB 1965

Para conseguir una señal de salida de una constante mayor, habida cuenta de las tolerancias de los elementos que constituyen el circuito lógico, y de las variaciones de las características de los transistores en función de la temperatura, se completa uno de los circuitos lógicos descritos anteriormente por un paso
5 amplificador conectado a la salida 32, como muestra la figura 6.

Los elementos representados en la figura 6, y que llevan los mismos índices que los representados en las figuras 1 y 4, ocupan las mismas funciones y pueden ser idénticos.

10 El paso amplificador incluye un transistor 41 del tipo PNP, cuya base 42 está unida al borne 31 del colector 4 del transistor 1, por medio de un condensador 43.

La base 42 está igualmente unida al borne negativo 5 de la fuente de alimentación eléctrica de corriente continua por medio
15 de una resistencia 44.

El emisor 45 del transistor 41 está unido a la masa 3 mientras que el colector 46 está unido al borne negativo 5 de la fuente, por medio de una resistencia 47.

La señal de salida del conjunto circuito lógico Y-paso amplificador, se recoge en el borne 48 del colector 46 y es transmitida por un conductor 49.
20

El conductor de salida 49 puede estar unido a otro circuito lógico del tipo Y.

La señal recogida en la salida 49 es semejante y está sensiblemente en fase con la señal recogida en el borne 31 del circuito lógico propiamente dicho.
25

Los ejemplos de realización del circuito lógico que acaba de ser descrito utilizan señales de entrada cuyos impulsos tienen amplitudes de valores sensiblemente iguales.

30 El circuito lógico representado en la figura 7 permite, por

307886



5 el contrario, utilizar señales cuyos impulsos tienen amplitudes de signos contrarios, por ejemplo amplitudes iguales a $-U$, y $+U$, siendo U el valor de la tensión de la fuente de alimentación eléctrica de corriente continua entre bornes extremos y masa. En este ejemplo de realización, la o las señales de entrada que hacen conductor al transistor del circuito lógico, se aplican sobre el elemento de mando del transistor por medio de un dispositivo integrador mientras que la o las señales de entrada que hacen no conductor al transistor, se aplican directamente sobre el elemento de mando de dicho transistor.

10 Este circuito lógico utiliza especialmente una fuente de corriente continua cuyos bornes positivo 52 y negativo 61 están aislados y cuyo punto central está unido a la masa.

15 Los elementos representados en la figura 7 y que llevan los mismos índices que los llevados en las figuras 1-4 y 6, ocupan las mismas funciones y pueden ser idénticos.

20 Sin embargo, este circuito lógico incluye un transistor 50 del tipo NPN cuyo colector 51 está unido al borne positivo 52 por medio de una resistencia 53. La base 54 del transistor 50 está unida a uno de los bornes 55 de un condensador de cuatro salidas, por medio de una resistencia 57. El emisor 58 del transistor 50 está unido al borne de salida 59 del condensador 56 situado enfrente del borne 55.

25 El borne de salida 60, homólogo del borne de salida 59, está unido al borne central de dicha fuente, conectado a la masa. El borne de salida 62 del condensador 56, homólogo del borne de salida 55, está unido a una de las armaduras de un condensador 63 por medio de un elemento rectificador 64, por ejemplo un diodo, estando unida la segunda armadura del condensador 63 al colector 15 del transistor 9. Un diodo 65 está inserto entre el borne 30 66 común al condensador 63 y al diodo 64, y la masa 3.

307886



El diodo 64 está conectado de manera que sea atravesado por una corriente que va del condensador 63 hacia el condensador 56 y, más precisamente, que va del borne 66 hacia el borne 62. El diodo 65 está conectado de manera que es atravesado por una corriente que va del borne 61 hacia el borne 66.

La base 54 del transistor 50 está unida al colector 26 del transistor 20 por medio de una resistencia 67.

El colector 51 del transistor 50 está unido a la base 42 del transistor 41 del amplificador del circuito de salida por medio de una resistencia 68.

Los colectores de los transistores 9-20 y 41 están conectados al borne negativo 61 de la fuente de corriente continua.

En el ejemplo considerado, los transistores 9-20 y 41 son del tipo PNP y el transistor 50 es del tipo NPN. Se puede realizar naturalmente al mismo circuito lógico sustituyendo los transistores 9-20 y 41 por transistores del tipo NPN y el transistor 50 por un transistor del tipo PNP efectuando una permutación de los bornes positivo y negativo de la fuente de corriente continua e invirtiendo el sentido de ramificación de los diodos 64 y 65.

Las señales de entrada aplicadas respectivamente sobre el borne 66 y sobre el colector 23 tienen respectivamente las formas de las curvas de tensión U66 y U23 representadas en la figura 8.

En el ejemplo representado, la señal de entrada U66 se obtiene a partir de una señal de entrada U15 recogida en el colector del transistor 9 y transmitida por el condensador 63.

Las señales de entrada U66 y U23 son de forma rectangular, periódica, de igual frecuencia, teniendo respectivamente por amplitud $+U$ y $-U$, siendo U el valor de la tensión entre bor-

307886



nes y masa de la fuente de corriente continua representada por sus bornes positivo 52, negativo 61 y su borne central unido a la masa 3.

5 La señal de entrada U55 recogida en los bornes 55 del condensador de cuatro salidas 56, tiene la forma representada en la figura 8, después de haber atravesado el dispositivo integrador constituido por el diodo 64, la resistencia 57 y el condensador de cuatro salidas 56. Esta señal de entrada U55 es continua y tiene por amplitud $+U$.

10 La señal aplicada en la base 54 del transistor 50 y procedente de la señal de entrada U23 tiene sensiblemente la misma forma que esta última, después de haber atravesado la resistencia 67.

15 Cuando la señal de entrada U66 es aplicada sola sobre la base 54 del transistor 50 por medio del dispositivo integrador, la señal transmitida por el transistor es continua.

20 Los elementos de este circuito de mando y las características del transistor están determinadas de manera que el transistor esté en un estado de saturación cuando la señal de entrada tiene por amplitud el valor $+U$. La señal transmitida por el transistor tiene entonces un valor sensiblemente nulo.

25 Cuando la señal de entrada U23 es aplicada sola sobre la base 54 del transistor 50 por medio de la resistencia 67, no es transmitida ninguna señal por el transistor, estando éste bloqueado. El valor del potencial recogido en el colector del transistor 50 es igual sensiblemente a $+U$, cualquiera que sea la amplitud de la señal U23.

30 Cuando las señales de entrada U66 y U23 se aplican simultáneamente sobre la base 54 del transistor 50 por medio de sus circuitos de mando respectivos, la señal recogida en dicha base

307886



tiene la forma de la curva U54 representada en la figura 8.

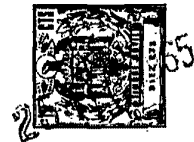
La amplitud de la señal recogida en la base 54 es igual a la suma algebraica de las amplitudes de las señales U55 y U23 disminuídas respectivamente en las caídas de tensión en las resistencias 57 y 67 y en la unión emisor-base del transistor 50. La amplitud de la señal recogida en la base 54 del transistor 50 varía así entre dos valores: $+K_1 U$ y $-K_2 U$, como muestra la figura 8, teniendo en cuenta los coeficientes K_1 y K_2 la impedancia de la unión emisor-base del transistor 50.

Las características del transistor 50 y de los elementos de los circuitos de mando, más precisamente de las resistencias 57 y 67, se eligen de tal manera que el transistor 50 esté bloqueado cuando las amplitudes de las señales U66 y U23 tienen respectivamente por valor 0 y $-U$ voltios, o saturado cuando las amplitudes de las señales U66 y U23 tienen respectivamente por valor $+U$ y 0 voltio.

La señal U51 recogida en el colector 51 del transistor 50 tiene entonces la forma representada en la figura 8. Esta señal es periódica, de forma rectangular, de igual frecuencia y desfasada en 180° con relación a la señal de entrada que aparece en el colector del transistor 20. El paso de salida final permite obtener, como se ha explicado anteriormente, una señal U49 de igual frecuencia y en fase con la señal U23.

Así, si se designa como anteriormente por 0 e I los estados binarios de la salida 49 cuando la señal de salida tiene respectivamente un valor nulo que corresponde a la ausencia de oscilaciones, y un valor no nulo que corresponde a la presencia de oscilaciones, y por 0 e I los estados binarios de las señales de entrada que corresponden respectivamente a la ausencia y a la presencia de oscilaciones en los circuitos de mando correspondientes,

307886



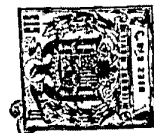
la señal de salida está en estado 0 si una de las dos señales de entrada está en estado 0 y en estado I si las señales de entrada estan ambas en el estado I.

En el ejemplo de realización descrito y representado en la
5 figura 7, el circuito lógico permite la comparación de las dos
señales de entrada periódicas, de igual frecuencia y de signos con-
trarios. Se puede realizar de la misma manera un circuito lógico
que incluye varios circuitos de mando, estando unidos los circui-
tos de mando atravesados por las señales que hacen al transistor
10 50 conductor, al borne 60, y estando unidos los circuitos de man-
do atravesados por las señales que hacen al transistor 50 no con-
ductor, a la base 54. En este caso, los elementos de los circui-
tos de mando se eligen de tal manera que la suma de las amplitu-
des de las señales recogidas en el borne 66 es igual a $+U$ y la su-
15 ma de las amplitudes de las señales recogidas directamente en la
base 54 es igual a $-U$.

Igualmente, en el ejemplo de realización que acaba de ser
descrito, el circuito lógico es alimentado a partir de una fuente
de corriente continua cuyos bornes positivo y negativo estan ais-
20 lados, estando unido el punto central a la masa.

Se puede realizar naturalmente, sin salir del marco del in-
vento, un circuito lógico de igual tipo, alimentado por dos fuen-
tes de corriente continua distintas, estando ramificada una de
las fuentes entre el borne 52 y la masa, mientras que la otra fuen-
25 te esta conectada entre el borne 61 y la masa.

El invento no está limitado a los únicos modos de realiza-
ción descritos y representados, sino que cubre por el contrario
todas las variantes, en lo que concierne, en particular, a la for-
ma y a la frecuencia de las señales de entrada y al número de los
30 circuitos de mando.



Esta solicitud que corresponde a las presentadas en Francia el 8 de Enero de 1964, bajo el Núm. P.V. 959.624 y el 12 de Febrero de 1964, bajo el Núm. P.V. 963.433, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

- N O T A -

10

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

15 1ª.- Una disposición de circuito lógico del tipo de coincidencia, o Y de seguridad, es decir, que suministra en señal de salida una información correspondiente a la posición de seguridad más restrictiva en caso de desarreglo accidental de uno de sus componentes, que tiene, en combinación, al menos una fuente de alimentación eléctrica de corriente continua, un transistor u
20 órgano electrónico de funcionamiento idéntico conectado con dicha fuente, al menos dos circuitos de mando del transistor, y un circuito de salida del transistor cuyas dos únicas informaciones transmitidas corresponden a la presencia o ausencia de oscilaciones, estando elegidos los elementos del circuito lógico de forma
25 tal que las dos únicas informaciones susceptibles de ser suministradas por el transistor representen un estado de oscilación cuando las señales de entrada enviadas sobre los circuitos de mando tienen simultáneamente valores no nulos y un estado de reposo cuando uno al menos de estos valores es nulo.

30 2ª.- Una disposición de circuito lógico del tipo de coinci-

307886



dencia o Y según la reivindicación 1, caracterizado porque cada circuito de mando está constituido por una resistencia unida al elemento de mando del transistor y susceptible de ser recorrida por una señal de entrada, periódica, en forma de almenas.

5 3º.- Una disposición de circuito lógico del tipo de coincidencias o Y según la reivindicación 1, caracterizado porque cada circuito de mando está constituido por un transistor conectado a dicha fuente, un condensador una de cuyas armaduras está unida al colector del transistor, una resistencia conectada entre
10 la segunda armadura del condensador y el elemento de mando del órgano electrónico del circuito lógico, y un elemento rectificador, por ejemplo un diodo, conectado entre el emisor del transistor y la borna común al condensador y a la resistencia.

15 4º.- Una disposición de circuito lógico de tipo de coincidencia o Y según la reivindicación 1, caracterizado porque la o las señales de entrada que hacen conductor al transistor del circuito lógico se aplican sobre el elemento de mando del transistor por medio de un dispositivo integrador, mientras que la o las señales de entrada que vuelven no conductor al transistor se aplican
20 directamente sobre elemento de mando del transistor.

25 5º.- Una disposición de circuito lógico del tipo de coincidencia o Y según una al menos de las reivindicaciones 1 a 4, caracterizado porque uno de los circuitos de mando tiene un dispositivo integrador de su señal de entrada constituido esencialmente por un elemento rectificador, una resistencia y un condensador.

30 6º.- Una disposición de circuito lógico del tipo de coincidencia o Y según una al menos de las reivindicaciones 1 a 5, caracterizado porque el circuito de salida del circuito lógico tiene una etapa amplificadora constituida esencialmente por un tran-

307886



sistor.

7^a.- Una disposición de circuito lógico del tipo de coincidencia o Y.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de veintidos hojas escritas a máquina por una sola cara.

Madrid,

P.A.

25 FEB. 1965

Alberto de Eizaburu
Por Orden

AVS. M. O. L.

ALVARO DE CARLOS
Dr. Ing. en Electrónica

Fig. 3

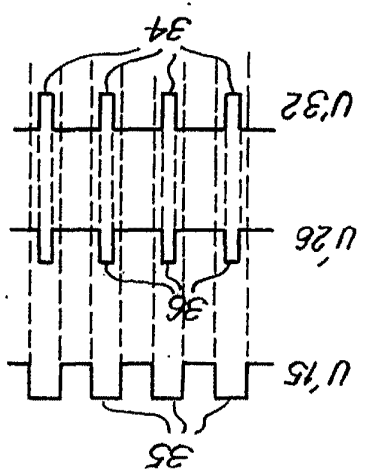


Fig. 2

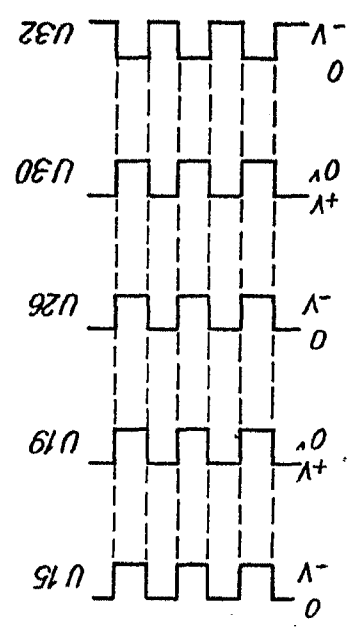
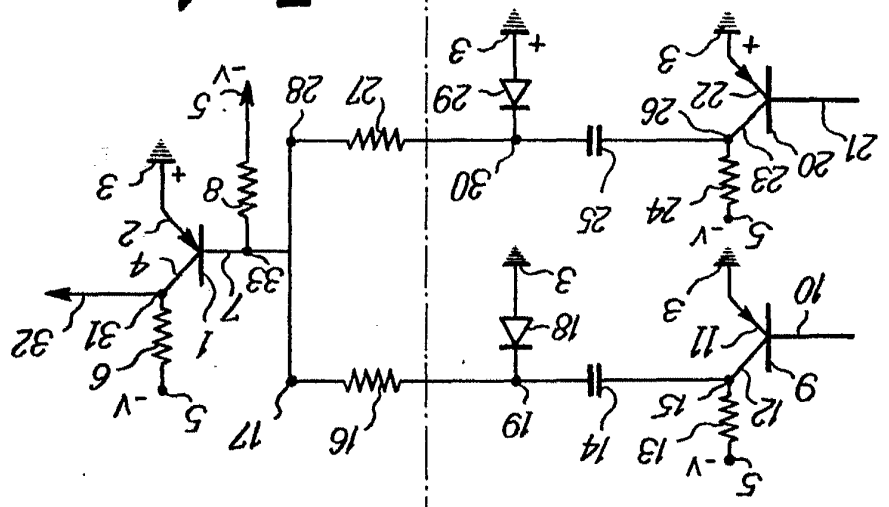
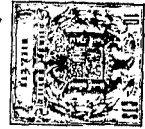


Fig. 1



307886





307886

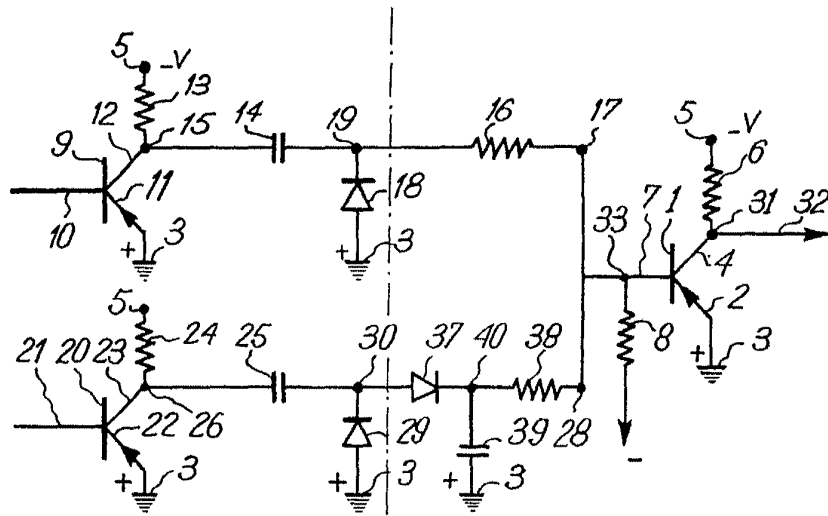


Fig. 4

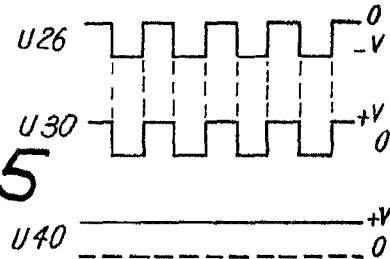


Fig. 5

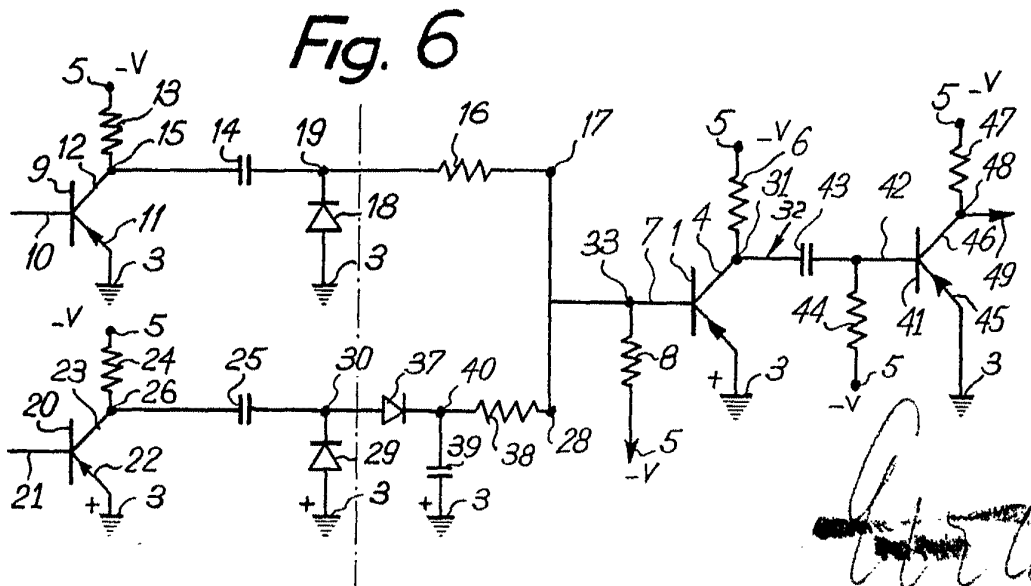


Fig. 6

[Handwritten signature]

307286

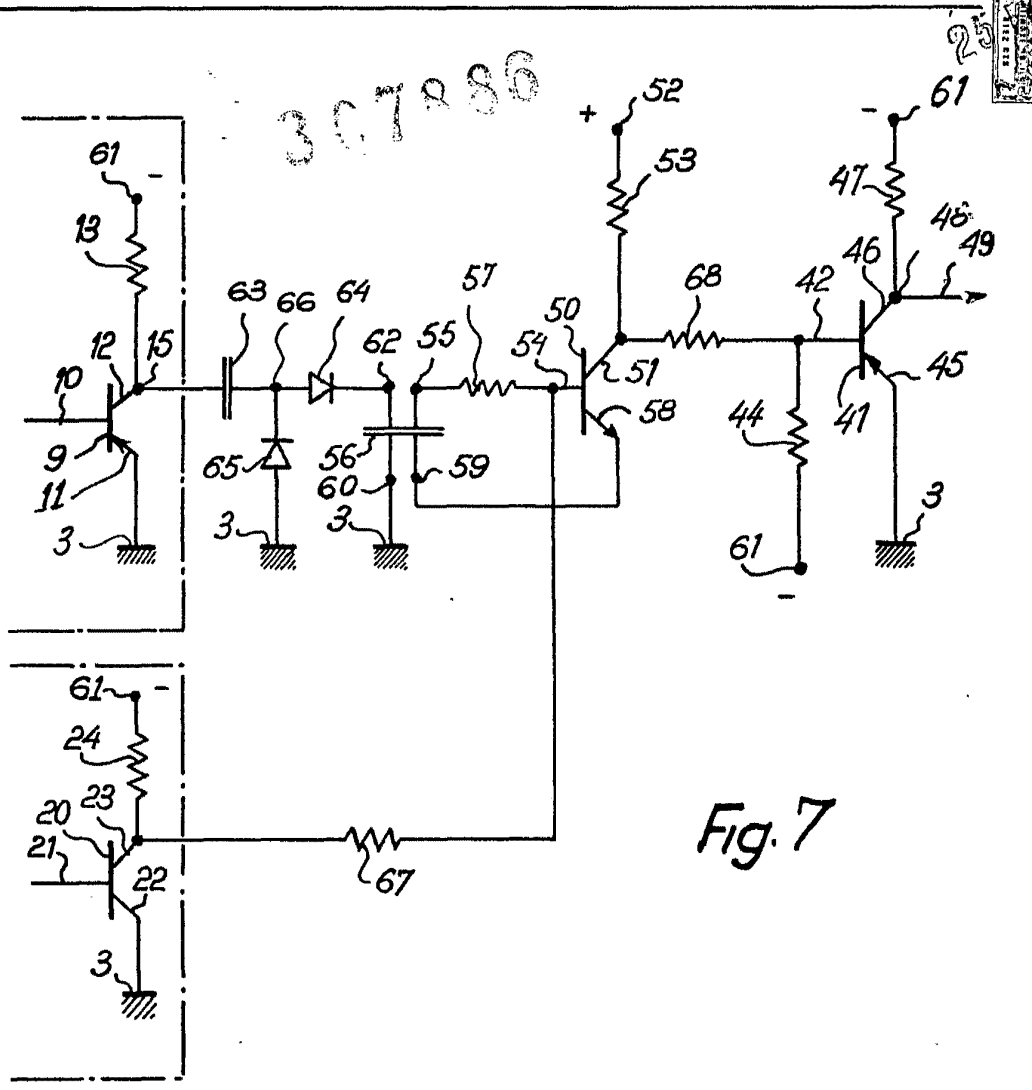


Fig. 7

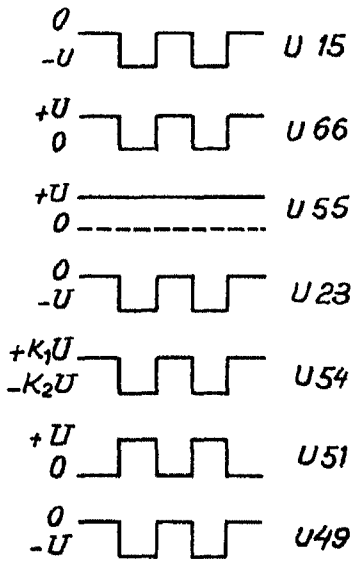


Fig. 8

Alberto de Blacourt
 Pn. 2000