



307676

29 DIC. 1964

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE INVENCION
EN ESPAÑA POR: "UN SISTEMA DE SELECCION PARA CIRCUITOS O EQUIPO
ELECTRICO" A NOMBRE DE STANDARD ELECTRICA, S.A. DOMICILIADA
EN MADRID, CALLE DE RAMIREZ DE PRADO Nº 5

En algunos sistemas electrónicos para manejo de datos, conmutación o sistemas analógicos se encuentra a veces un conjunto de aparatos semejantes que debe ser controlado y supervisado desde un punto central. A este fin se dispone de uno o varios bloques de memoria que

5 pueden estar constituidos, por ejemplo, por núcleos de ferrita y se asigna a cada aparato un espacio o "compartimiento" de uno de estos bloques de memoria de forma que registre toda la información que registre su estado en un instante dado. Un circuito lógico explora sucesivamente estos distintos compartimientos de memoria de una forma cíclica;

10 para cada uno de éstos y en cada etapa de la operación del aparato correspondiente, reúne los elementos de información contenidos en el compartimiento y en el aparato y gobierna correspondientemente las operaciones necesarias. En estos sistemas, puede ser necesario esta-

./..

**POOR
QUALITY**

307676



15 blecer una comunicación entre uno de los compartimientos de memoria y
un equipo común a todas las partes de los bloques de la instalación.
Con más frecuencia que lo contrario, este equipo no está disponible y
no se puede esperar a que se libere él mismo, puesto que el tiempo
asignado a la exploración de cada compartimiento es muy corto. Por lo
tanto este invento se propone realizar un sistema de fila de espera
20 según el cual todas las llamadas se anotan a medida que se producen
para ser servidas a continuación en el orden en que se inscribieron.

El invento se aplica más particularmente a los sistemas
telefónicos automáticos. La patente francesa nº 1.297.158 (H. BENLUSA
y al 16-4-3) referente a aparatos de conmutación telefónica de tipo
25 semielectrónico, es decir, que utilizan conmutadores electromecánicos
para el circuito de conversación y componentes electrónicos tales co-
mo diodos y transistores para los circuitos de mando y control. Esta
patente se refiere particularmente a la parte de "enlaces y registra-
dores".

30 En este sistema automático de conmutación, el enlace local
o de alimentación insertado entre las dos cadenas de selección de las
partes que llama y llamada tiene como funciones esenciales, el envío
de tonos y corrientes de llamada, la alimentación de los aparatos de
abonado y la retención de las dos cadenas. De una forma simplificada,
35 contiene únicamente conductores de línea, relés que transmiten los
distintos tonos y corriente de llamada y relés de alimentación; las
otras funciones llevadas a cabo normalmente por los enlaces de alimen-
tación son hechas en los equipos comunes por medio de componentes elec-
trónicos. Un cierto número de memorias constituidas por núcleos de fe-
40 rrita están asignadas a cada enlace de alimentación; en particular se
encuentra un "circuito secuencial", cuya posición caracteriza la etapa
de operación, y elementos para mantener los estados de la línea de

./..



abonado (línea abierta o cerrada). Un circuito lógico común a un grupo de enlaces de alimentación, explora sucesivamente estos enlaces de alimentación y los núcleos asociados a ellos; en cada etapa de funcionamiento de un enlace de alimentación, toma nota de la información dada por las memorias y por los contactos de varios relés; de allí derivan todas las conclusiones útiles, gobierna las operaciones necesarias y ajusta las memorias a la actualidad. Los distintos enlaces de alimentación son explorados de una forma cíclica, y un mismo circuito lógico trabaja sucesivamente para cada uno de éstos, siguiendo el método conocido por "multiplex de división de tiempo". La progresión del explorador que da acceso a los enlaces de alimentación está controlada por una cadena de contadores binarios o "distribuidor de direcciones".

Las órdenes, elaboradas por el circuito lógico, se registran en una memoria intermedia hasta el funcionamiento efectivo de los relés correspondientes. Esta memoria puede ser común a varios enlaces de alimentación y entonces toma el nombre de "excitador de enlace".

Los enlaces de origen y terminal se hacen siguiendo el mismo principio utilizado para los enlaces locales o de alimentación y en un grupo servido por un mismo circuito lógico se pueden encontrar enlaces locales, de origen y de terminación.

En la patente francesa número 1.347.744 (H. BENMUSSA y al 27-10-11), un enlace de alimentación no tiene sus propios núcleos, como en el caso precedente; cuando se pone en servicio un enlace de alimentación se le asocia temporalmente una pluralidad de núcleos o "compartimientos de memoria" inscribiendo su número en dicho compartimento; de esta forma se utiliza la pluralidad de núcleos de una forma más racional; cuando el circuito lógico explora el compartimento mediante una primera exploración, lee el número del enlace de alimenta-
/..

3 0 7 6 7 6

29



4.

75 ción y dirige un segundo explorador a este enlace de alimentación. Entonces puede reunir todos los elementos de información que necesita para tomar una decisión. Los distintos compartimientos de memoria agrupados en bloque se exploran sucesivamente en cada bloque de forma cíclica; por otra parte, los enlaces se exploran a petición del circuito lógico de acuerdo con los números leídos en los compartimientos de memoria.

80 En la patenta belga número 647.544 (H, ADELAAR ET AL 50-9-8) y en su correspondiente española número 299.570 se ha dispuesto un bloque de memoria para servir un grupo de enlaces y por lo tanto para disponer de un tráfico predeterminado. Un circuito lógico individual particular para cada bloque explora de forma cíclica los distintos compartimientos del bloque, pero únicamente puede llevar a cabo operaciones sencillas tales como la reinscripción de la información leída.
85 En estos casos complicados se relaciona a un circuito lógico central común a todos los bloques que detienen la exploración y hace lo que es necesario. De esta forma se consigue una economía de material cuando se asigna una duración razonable al ciclo de exploración.

90 Puede ser necesario establecer una comunicación entre uno de estos compartimientos de memoria y un equipo común a la totalidad o a parte de los bloques de la instalación, tales como marcador, excitador de enlace, dispositivo de cargo de llamadas, dispositivo de contabilización automática de mensajes; el sistema de fila de espera objeto de este invento encuentra en él una aplicación inmediata.

95 Una de las características del invento reside en el hecho de que se dispone de una pluralidad de compartimientos especializados llamados de "transferencia" que constituyen un almacén de espera, y en el hecho de que las direcciones de los compartimientos que llaman se inscriben allí, uno a continuación del otro, siguiendo el orden en que
100 se presentan, siendo servidas las llamadas en el orden de inscripción.



Otra característica del invento consiste en utilizar en cada uno de los compartimientos de transferencia elementos de memoria para inscribir en ellos una marca y otros elementos para registrar la dirección del compartimiento que llama, habiéndose previsto varias
105 marcas, la primera que indica un compartimiento disponible, esto es que no contiene ninguna dirección, la segunda que indica un compartimiento ocupado y una tercera que caracteriza un compartimiento con prioridad, es decir que contiene la primera llamada inscrita y todavía no servida.

110 Otra característica del invento reside en el hecho de que se dispone de un almacén de espera para cada tipo de equipo común capaz de comunicar con los compartimientos de memoria, por ejemplo marcador, excitador de enlace, dispositivo de cargo de llamada, dispositivo de contabilización automático de mensajes etc. ..., que hace
115 que las llamadas sean servidas con el mínimo retraso.

Otra característica del invento reside en el hecho de que se dispone de varios compartimientos de un mismo almacén de espera, en posiciones análogas, en los distintos bloques de memoria que permiten por medio de un mismo código dirigir simultáneamente los exploradores a los compartimientos de este almacén de espera y leer todos
120 ellos de una sola vez.

Otra característica del invento reside en el hecho de que se dispone en cada uno de los compartimientos que pueden comunicar con un equipo común, de uno o más elementos de memoria para inscribir el número del equipo común que tiene que llamarse, y otro elemento para indicar si la llamada ha ocupado ya un lugar en el almacén de espera.
125

Otra característica del invento reside en asociar al circuito lógico central un explorador de bloque, que puede hacer un ci-

307676



130 clo completo desde una posición marcada, teniendo el circuito lógico central de esta forma la posibilidad de probar sucesivamente las marcas de los compartimientos del almacén de espera estatizadas en los registradores de lectura y escritura de los distintos bloques.

Otra característica del invento reside en el hecho de que
135 cuando un compartimiento de memoria llama a un equipo común predeterminado, y esta llamada no ha ocupado todavía un lugar en el almacén de espera, el circuito lógico individual del bloque correspondiente hace referencia al circuito lógico central que detiene la exploración cíclica, dirige los distintos exploradores a los compartimientos del
140 almacén de espera deseado, gobierna la lectura simultánea de todas las marcas, prueba sucesivamente todas estas marcas por medio del explorador de bloque, elige el primer compartimiento libre que está a continuación del compartimiento o de los compartimientos ya ocupados capturando entonces dicho compartimiento, y la dirección del compartimiento de memoria que llama, estatizada en el distribuidor de dirección, registrándola en el compartimiento del almacén de espera.
145

Otra característica del invento reside en el hecho de que cuando el circuito lógico individual llama al circuito lógico central, el último actúa inmediatamente sobre el elemento de memoria del compartimiento de supervisión dispuesto para indicar las llamadas anotadas como si el número de este compartimiento ya estuviera registrado en el almacén de espera, evitando esta disposición una vuelta del explorador al compartimiento considerado y permitiendo así una ganancia de tiempo.
150

Otra característica del invento reside en asociar a cada
155 almacén de espera un indicador que contiene esencialmente dos bistables, uno para indicar si por lo menos hay una llamada pendiente en el almacén de espera, y el otro para señalar la ocupación total



de este almacén, siendo la disposición tal que cuando el primer biestable indica un almacén de espera vacío el circuito lógico central
160 captura inmediatamente el primer compartimiento de este almacén sin llamar al distribuidor de bloque, y lo coloca en condición de prioridad.

Otra característica del invento reside en el hecho de que
165 cuando el segundo biestable indica que el almacén de espera está completamente ocupado el circuito lógico central dirige de nuevo el explorador al compartimiento que llama para volver a disponer el elemento de memoria previsto para las llamadas ya registradas en el almacén de espera, y gobierna la puesta en marcha de nuevo del explorador cíclico,
170 sirviéndose a la llamada durante una de las vueltas siguientes, tan pronto como hay plaza disponible en el almacén de espera.

Otra característica del invento reside en el hecho de que cuando un equipo común queda disponible y hay por lo menos una llamada pendiente en el almacén de espera correspondiente se avisa al circuito
175 lógico central que detiene la exploración cíclica y se conecta al equipo común, dirige los varios exploradores a los compartimientos de almacén de espera, gobierna la lectura simultánea de todas las marcas, prueba sucesivamente estas marcas por medio del explorador de bloque y captura el compartimiento que contiene la marca de prioridad, comunicándose entonces la dirección registrada en dicho compartimiento al
180 equipo común que así posee todos los elementos para comunicar con el compartimiento que llama.

Otra característica del invento reside en el hecho de que el circuito lógico central después de capturar el compartimiento de
185 prioridad lo vacía de su contenido y le lleva la señal de disponible recibiendo a su vez el compartimiento siguiente la señal de prioridad de tal forma que en el equipo común u otro equipo común del mismo tipo



que se quede libre se procede con la segunda llamada de la misma forma.

190 Otra característica del invento reside en el hecho de que la dirección del compartimiento de memoria que llama está constituida por dos grupos de impulsos, el primero de los cuales indica el bloque que contiene el compartimiento y el segundo la situación del compartimiento dentro del bloque, utilizando el equipo común el primer grupo
195 de impulsos para conectarse al registrador de lectura y escritura del bloque deseado y el segundo grupo para llegar al compartimiento por medio del explorador de memoria.

Otras varias características se desprenderán de la descripción que sigue dada a título de ejemplo no limitativo y referida
200 a las figuras adjuntas que representan:

Figura 1, diagrama de funcionamiento general del sistema.

Figura 2, los elementos de circuito, necesarios para comprender el invento, de los registradores de lectura y escritura y de los circuitos lógicos individuales de un bloque de memoria.

205 Figura 3, los elementos de circuito de los indicadores de almacén de espera.

Figura 4 el plan de interconexión para las figuras 2 y 3.

Figura 5, un diagrama que ilustra el proceso de inscripción en un almacén de espera.

210 Figura 6, un diagrama que ilustra el proceso mediante el cual se sirven las llamadas en el orden de su inscripción.

Figura 7, el diagrama de los impulsos de control dados por el distribuidor de tiempo.

215 Figura 8, un esquemático simplificado que indica la forma de interconectar los distintos equipos de la instalación a través de las barras ómnibus.



Figura 9, un diagrama de interconexión referente al proceso de distribución, de llamada al circuito lógico central.

Simbolismo.

220 Los núcleos de ferrita, utilizados en el bloque de memoria, han sido representados mediante pequeñas barras, ablicuas (figura 1, núcleos toa, to1, to2, to3). Las líneas gruesas se han utilizado para los núcleos que forman parte del invento y las líneas finas para los otros núcleos.

225 El explorador electrónico asociado a cada bloque de memoria (EXM) está representado por un triángulo; la entrada corresponde al vértice marcado con una flecha y las salidas están dispuestas en el lado opuesto. Los otros exploradores (EXB, Figura 1, EXO, Figura 9) han sido representados de forma semejante.

230 Las puertas se han representado por medio de pequeños círculos con un punto en su interior (puerta AND) o un signo más (puerta CR) estando inspiradas estas representaciones en el álgebra de Boole.

Los circuitos biestables tales como el ap (Figura 2) han sido representados por dos rectángulos adyacentes que contienen los dígitos 1 y 0. Los hilos de entrada están colocados en la parte superior y llevan una flecha que indica la dirección de llegada de la señal de control; los hilos de salida ap 1 y ap 0 están colocados en la parte inferior. Normalmente, este biestable permanece en la posición 0 dándose un potencial característico (-12 V, por ejemplo) al hilo ap 0.

235 Para colocar este biestable en la posición 1 se envía una señal de control al hilo de entrada de la izquierda, conmutándose el potencial característico del hilo ap 0 al hilo ap 1. La vuelta del biestable a su posición inicial se consigue enviando una señal de control al hilo de la derecha.

245 Los amplificadores (ap 1, ap2, ap 14) se han repre-

3 0 7 6 7 6

10.



196

sentado por medio de triángulos de tamaño pequeño.

Finalmente las referencias entre paréntesis colocadas cerca de los hilos indican el número de tales hilos.

Disposición general del equipo

250 Cuando se pone en servicio un enlace se afecta a él temporalmente un compartimiento de memoria o de supervisión, libre, tal como el CS (Figura 1). Este compartimiento está constituido esencialmente por un cierto número de núcleos de ferrita toa, to1, to2, to3. En el núcleo toa y siguientes se encuentra en particular la indicación
255 de disponibilidad u ocupación del compartimiento, el número del enlace asociado, la indicación de la etapa de operación (instrucción secuencial), el estado de la línea del abonado que llama (abierta o cerrada) y el de la línea del abonado llamado. Los distintos compartimientos como CS constituyen un bloque de memoria BM1. Una central telefónica puede comprender varios bloques semejantes BM1 BMn cada uno de los cuales está asignado a un grupo de enlaces predeterminado.
260

Como los enlaces de un grupo no están todos ocupados en el mismo instante, el número de compartimientos de un bloque de memoria puede ser inferior al de enlaces. A título de ejemplo se pueden
265 constituir grupos que incluyan 384 enlaces, que corresponden a un tráfico de alrededor de 2.000 líneas de abonado, estando cada grupo asociado a un bloque de memoria de 250 compartimientos.

Para simplificar se ha supuesto que solo hay tres equipos
270 comunes preparados para ser conectados al compartimiento de memoria; uno de ellos se ha representado de una forma explícita, esto es marcador M_c. En cada compartimiento de supervisión CS hay dos núcleos, to1, to2, con los que se pueden obtener 4 combinaciones. La combinación 01 corresponde a una llamada del equipo común número 1 (marcador

.l..

307676



11.

275 MQ); las combinaciones 10 y 11 corresponden a una llamada desde los equipos comunes número 2 y 3 respectivamente; finalmente la combinación 00 indica que no hay llamada pendiente.

En cada bloque de memoria se ha dispuesto un cierto número de compartimientos denominados compartimientos de transferencia CT1, CT2, CT3 para registrar el número de los compartimientos de supervisión que desean llamar a un equipo común. Los compartimientos de transferencia de los distintos bloques que están dispuestos a lo largo de una misma línea horizontal, es decir que ocupan posiciones homólogas en los distintos bloques, constituyen una fila o almacén de espera. En la incorporación descrita, se han representado tres filas o almacenes de espera, cada uno de los cuales está asignado a un equipo común; en particular la fila de espera número 1 (CT1) corresponde al marcador MQ. En un compartimiento de transferencia tal que CT1 se encuentran dos núcleos toi, toj que permiten obtener cuatro combinaciones. La combinación 00 indica que el compartimiento está libre; la combinación 10 indica que el compartimiento está ocupado y contiene una dirección de un compartimiento de supervisión que llama a un equipo común; la combinación 11 tiene la misma significación pero además indica que el compartimiento de supervisión correspondiente debe ser servido antes que los otros (captura de prioridad); la combinación 01 no se utiliza en este invento. Los núcleos tom, ... ton se han previsto para anotar la dirección del compartimiento de supervisión que desea llamar a un equipo común. Para fijar ideas se han supuesto que estos núcleos en número de 12, esto es, cuatro núcleos para indicar el número de bloque y ocho núcleos para indicar la dirección del compartimiento de supervisión dentro del bloque; esto corresponde a una capacidad $2^4 = 16$ bloques y $2^8 = 256$ compartimientos de supervisión por bloque.

El núcleo to3 del compartimiento de supervisión CS está

./..

307676



12.

305 previsto para anotar el hecho de que la dirección de este compartimiento está ya registrada en un compartimiento de transferencia.

Para explorar los distintos compartimientos del bloque de memoria BM1 se dispone de un distribuidor de dirección DA y está constituido esencialmente por una cadena de varios contadores binarios tales como circuitos biestables, cada uno de los cuales hace que el siguiente avance un paso al volver a su posición de reposo. De esta forma pueden obtenerse 2^n combinaciones utilizando únicamente n contadores binarios. Los impulsos t^o aseguran el avance del primer contador de la cadena. Las indicaciones binarias dadas por el distribuidor de dirección se descodifican por cualquier medio conocido, tales como matrices de diodos o resistencias, para hacer que aparezca un potencial característico en un hilo predeterminado y únicamente uno para cada posición del distribuidor de posición. Este dispositivo de descodificación constituye el explorador EXM. En general estos dispositivos de exploración avanzan paso a paso bajo el control de otros distribuidores, esto es explora los distintos compartimientos de memoria uno a continuación de otro de una forma cíclica, pero también puede ser dirigido a un compartimiento predeterminado por medio de un código binario transmitido por el circuito lógico central CLC o el marcador MQ.

325 El registrador de lectura y escritura RLE está constituido esencialmente por circuitos bistables; para cada posición del explorador EXM estatiza la información binaria que se lee o que tiene que escribirse en el compartimiento correspondiente.

330 El circuito lógico individual CLI es individual para cada bloque de memoria. Para cada posición del explorador EXM lee las indicaciones estatizadas en el registrador RLE. Únicamente puede llevar a cabo operaciones sencillas y tiene que llamar al circuito lógico cen-

./..



335 tral en todos los demás casos. El circuito lógico central CLO (duplicado por razones de seguridad) es común a todos los bloques de memoria BM1-BMn de la central. Puede conectarse temporalmente a uno de ellos por medio de una conexión como la fl_a; entonces lee todos los elementos de información útil elaborando a continuación las instrucciones necesarias.

340 El explorador EXB controlado por los distribuidores de dirección DB está constituido como EXM; permite que el circuito lógico central explore con éxito los distintos compartimientos de transferencia de un misma fila de espera por medio de las puertas AND desbloqueadas por las condiciones exbl ... exbn.

345 En la figura 2 se han representado los elementos del circuito, necesarios para comprender el invento, del registrador de lectura y escritura RLE, del circuito lógico individual CLI; los hilos como fl 1 y fl 2 colocados en la parte superior de la figura están conectados al bloque de memoria.

350 El hilo fl₁ se utiliza para leer el núcleo to₁ del compartimiento designado por el explorador; el hilo fl₂ se utiliza para escribir una información en este mismo núcleo. Los amplificadores ap₁ ap₂ se insertan respectivamente en estos dos hilos. El bistable ap estatiza la información binaria que se lee o que tiene que inscribirse en ese núcleo. En los circuitos correspondientes a los núcleos to₂, to₃, to₄, to₅, to₆, to₇, to₈ ... to_n se ha previsto una disposición semejante.

360 Las distintas operaciones que tienen que hacerse en cada compartimiento de memoria están dispuestas por un distribuidor de temporización DT. El último da impulsos defasados respectivamente (figura 7). Se han previsto dos series de impulsos: la serie to ... t₄ se utiliza para compartimientos de transferencia, la serie t'o ... t'₄ se utiliza para compartimientos de supervisión. Las puertas PT, PT' (figura 2) se

307676



14.

han previsto para permitir el paso de estos varios impulsos. Los instantes t_0 , t'_0 están asignados al resto de los biestables de lectura y escritura; los instantes t_1 , t'_1 están asignados para lectura, los instantes t_2 , t'_2 están asignados a la transmisión de información hacia el circuito lógico central, los instantes t_3 , t'_3 están asignados a la recepción de instrucciones procedentes del circuito lógico central; finalmente, los instantes t_4 , t'_4 están reservados para las operaciones de inscripción y para una llamada al circuito lógico central.

Entre el instante t_2 en que el circuito lógico central recibe alguna información y el instante t_3 en que envía una instrucción al circuito lógico individual, deben hacerse varias operaciones que culminan en la elaboración de las instrucciones. A este fin permite que transcurra un ciclo completo del distribuidor de tiempo y tiene así disponible los instantes t_3 , t_4 , t_0 , t_1 , t_2 .

A título de indicación, la duración de cada uno de los impulsos t_0 ... t_4 , t'_0 ... t'_4 puede ser de varios microsegundos. El distribuidor de dirección DA (figura 1) avanza un paso con cada impulso t'_0 , es decir cada vez que el distribuidor de tiempo DT indica un nuevo ciclo.

Inscripción de una llamada en un almacén de espera.

Puede suponerse que el compartimiento superior de supervisión de CS quiere llamar al equipo común número 1, es decir al marcador MQ; las indicaciones respectivas inscritas en los núcleos to_1 y to_2 son entonces 0 y 1. También puede suponerse que esta llamada no está anotada en el correspondiente almacén o fila de espera, estando el núcleo to_3 en 0.

El explorador EXM avanza paso a paso bajo el control del distribuidor de dirección DA. El último actúa en el explorador por medio de una puerta "AND" desbloqueada por la condición ec y por medio

./..



15.

de una puerta "OR"; la condición ec está suministrada por el circuito lógico central. Durante el paso del explorador por cada uno de los compartimientos, los impulsos de control $t'0 \dots t'4$ (figura 2) son entregados por el distribuidor de tiempo DT a través de las puertas PT' .

395 Cuando el explorador llega al nivel de un compartimiento que llama el circuito lógico individual anota el estado de los núcleos $to1$, $to2$, $to3$. En el instante $t'0$ se procede al ajuste a 0 de los biestables ap , aq , ar , a través de las puertas "OR". En el instante $t'1$ las puertas "AND" conducen, los hilos de lectura $fl 1$, $fl 3$, $fl 5$ se desbloquean

400 para copiar de nuevo las posiciones respectivas de los núcleos $to1$, $to2$, $to3$ (0,1,0) de los biestables correspondientes ap , aq , ar . En el instante $t'4$ las puertas "AND" de los hilos de lectura $fl 2$, $fl 4$, $fl 6$ se desbloquean para llevar las indicaciones de posición de los biestables ap , aq , ar de los núcleos correspondientes $to1$, $to2$, $to3$;

405 de esta forma se limita a la mera reinscripción de las indicaciones que acaban de ser leídas. Al mismo tiempo, la llamada del circuito lógico central CLC es tratada por el envío de una señal al hilo de arranque a través de una puerta "OR" desbloqueada por las condiciones $t'4 aq1$, $ar0$.

410 La señal de llamada del circuito lógico central enviada al hilo mm se utiliza también para bloquear las puertas PT' , que suprimen el envío de impulsos de control $t'0 \dots t'4$.

El circuito lógico central CLC (figura 1) detiene al distribuidor de dirección D. en la posición considerada (hilo $fl 15$). Sirve a otros bloques de memoria, si se necesita, conectándose entonces

415 el mismo al bloque considerado, haciendo entonces que el biestable cn vaya a 1 (figura 2) a través del hilo $fl 16$. Disponiendo la condición $cn 1$, este biestable prepara el circuito para el cambio de información con el circuito lógico central. El último actúa en las puertas PT' , a

./..

307676



1964

16.

420 través del hilo desbloqueado dl', para restablecer el paso de los impulsos de control t'2, t'3, t'4 por la duración de un ciclo del distribuidor de tiempo DT.

En una forma general los impulsos de control t'0 ... t'4 son suministrados continuamente por el distribuidor de tiempo DT a través de PT', durante la exploración cíclica; pero tan pronto como la llamada del circuito lógico central es tratada, se suprimen estos impulsos para evitar cualquier cambio de posición fuera de tiempo de los biestables de lectura. Cuando el circuito lógico central está conectado al circuito lógico individual restablece todos o parte de estos impulsos, pero únicamente durante un tiempo limitado (uno o dos ciclos del distribuidor de tiempo).

425

430

En el instante t'2 la información correspondiente a las posiciones respectivas de los biestables ap, aq, ar se envían al circuito lógico central a través de los hilos apl, aql, arl y las puertas "AND" desbloqueadas por las condiciones t'2 y enl. El circuito lógico central deduce de ahí que el compartimiento de supervisión está llamando al marcador, que esta llamada todavía no está anotada y tiene que ocupar un lugar en el almacén de espera correspondiente, es decir en la fila de espera número 1.

435

En el instante t'3 el circuito lógico central envía una orden al biestable ar a través del hilo fl 18, y la puerta "AND" desbloqueada por las condiciones t'3 y enl, el hilo nt y una puerta OR; este biestable pasa entonces a la posición 1. En el instante t'4 se lleva esta indicación de posición al núcleo correspondiente to3. Debe señalarse que el núcleo to3 se coloca desde ahora en 1 aunque la llamada no haya ocupado todavía un lugar en el almacén de espera; una vuelta posterior al compartimiento de supervisión es evitada de esta forma y se ahorra tiempo.

440

445

./..



450 El circuito lógico central se desconecta del bloque consi-
derado haciendo que el biestable cn pase a 0 (hilo fl 17); entonces
actua en los exploradores EXM de todos los bloques (figura 1) a través
de una puerta "AND" desbloqueada por la condición er y una puerta OR
de forma que los dirige a los compartimientos de transferencia CT1 co-
rrespondientes a la fila de espera número 1.

455 Un indicador IND (figura 3) está afecto a cada almacén de
espera. Cada uno de ellos está constituido esencialmente por dos bies-
tables fa , ct . El biestable fa indica si hay por lo menos una llamada
pendiente en el almacén de espera; el biestable ct indica la ocupa-
ción total de los compartimientos de almacén. En primer lugar se supon-
460 drá que no hay ninguna llamada pendiente, en otros términos que todos
los compartimientos de transferencia del almacén están vacíos: el bies-
table fa está entonces en 0. El circuito lógico central CLC, después
de haber anotado la posición del biestable deduce de ella que tiene que
ocupar el primer compartimiento de almacén y lo marca con estado de
465 "prioridad". Se conecta el bloque BM1 que contiene este compartimen-
to y hace que el biestable de conexión cn (figura 2) pase a 1; al
mismo tiempo, actua en las puertas PT a través del hilo $d1$ para des-
bloquear las condiciones $t3$ y $t4$ durante un ciclo del distribuidor de
tiempo.

470 En el instante $t3$, el circuito lógico central hace que
los biestables t_i , t_j pasen a 1 a través de los hilos fl 21, fl 22,
las puertas AND desbloqueadas por la condición $t3$, $cn1$ y las puertas
OR. Al mismo tiempo lee la posición del distribuidor de dirección DA
(hilo fl 25, figura 1) que estatiza la dirección del compartimiento
475 de supervisión de llamada CS, lleva después esta dirección a los bies-
tables $tn... tn$ a través de los hilos fl 23, fl 24, puertas AND des-
bloqueadas por las condiciones $t3$ $cn1$ y puertas OR. Como se ha indica-

307676

29



18.

do esta dirección contiene 12 elementos que necesitan 12 biestables
tm ... tn. En el instante t4, las puertas AND conducen los hilos de
480 inscripción fl 8, fl 10, fl 12, fl 14 se desbloquean y llevan las in-
dicaciones de posición de los biestables ti, tj, tm ... tn a los nú-
cleos correspondientes toi, toj, tom ... ton. De esta forma la lla-
mada del compartimiento de supervisión se ha colocado en el comparti-
485 miento de la primera fila de espera; la indicación 11 llevada a los
núcleos toi toj indica que la llamada tiene prioridad, es decir que
tiene que ser servida antes que todas las que se inscribirán a con-
tinuación en la fila.

En el instante t4, se hace también que el biestable Oc
pase a 1 a través de una puerta AND desbloqueada por la condición t4
490 y til; de la misma forma el biestable op se le hace pasar a 1 a tra-
vés de una puerta "AND" desbloqueada por las condiciones t4, til,
tjl.

El biestable oc indica una ocupación del compartimiento
de transferencia; el biestable op indica una llamada de prioridad.
495 El hilo de salida ocl del biestable oc está conectado por una parte
al circuito lógico central, a través de la conexión flb, y por otra
parte al indicador de la fila de espera número 1 (hilo ocl, figura 3);
este hilo oc 1 termina finalmente en una de las entradas de una puer-
ta "OR" colocada encima del biestable fa. Los hilos ocl de los circui-
500 tos individuales de los otros bloques terminan también en esta puerta
OR. En el instante considerado, el explorador de memoria EXE está en
la posición correspondiente a la primera fila de espera y entonces da
una condición exml; la puerta AND colocada debajo de la puerta OR an-
tes mencionada está así desbloqueada. En estas condiciones el biesta-
505 ble fa de la fila de espera número 1 pasa a 1, indicando así que por
lo menos hay una llamada en la fila.

./..



El circuito lógico central sirve otros requerimientos, si es preciso, controlando entonces el resto de la exploración cíclica. A este fin, suprime la condición er (figura 1), reestablece la condición ec y hace que arranque el distribuidor de dirección Da (hilo fl 15). Los impulsos de control $t'0 \dots t'4$ previstos para el funcionamiento normal de los compartimientos de supervisión se dan de nuevo a través de la puerta PT' , empezando con $t'0$.

Los distintos casos particulares relativos a la inscripción de llamadas se tratan a continuación y se supondrá primero que el primer compartimiento de transferencia de la fila de espera está ocupado cuando se presenta una llamada, y en segundo lugar que está libre. Cuando se consulta el biestable fa , el circuito lógico central sabe que hay por lo menos una llamada pendiente en la fila pero no tiene ninguna indicación del compartimiento (s) que pueda estar disponible. En ese caso está forzado a leer los contenidos de todos los compartimientos de fila y a explorar sucesivamente la información estatizada en los registradores de lectura y escritura.

Después de haber controlado el ajuste de los varios exploradores de memoria EXM en el acimut correspondiente a la fila de espera número 1, el circuito lógico central CIC actúa en las puertas PT de todos los circuitos lógicos individuales CLI por medio de los hilos $d1$ para desbloquear las condiciones $t0 \dots t4$ pero únicamente durante la duración de un ciclo del distribuidor de tiempo DT .

En el bloque de memoria $BK1$ la operación es entonces como sigue. En el instante $t0$ se vuelven a 0 los biestables $ti, tj, tm \dots tn$. En el instante $t1$ las puertas "AND" insertas en los hilos de lectura fl 7, fl 9 se desbloquean para copiar de nuevo las condiciones de los núcleos toi, toj de los biestables correspondientes ti, tj . En el instante $t4$ las puertas "AND" conducen, los hilos fl 8, fl 10 se des-

./..

307676



bloquean para llevar las indicaciones de posición de los biestables t_i , t_j a los núcleos correspondientes t_{oi} , t_{oj} ; en otros términos las indicaciones que acaban de ser leídas se reinscriben. Como el primer compartimiento de transferencia se supone que está ocupado de prioridad, los biestables t_i , t_j están ambos en la posición 1; entonces el paso a :
540 de los biestables o_c , o_p se hace como se ha indicado previamente. Las puertas PT se bloquean entonces para suprimir los impulsos de control $t_0 \dots t_4$ y para evitar posteriormente cualquier cambio de posición de los biestables de lectura t_i , t_j .

545 En los distintos bloques de memoria tiene lugar una operación similar al menos con relación a las bobinas y biestables correspondientes. Como todos los compartimientos de la fila de espera distintos del primero se supone que están libres, los biestables t_i , t_j de los bloques correspondientes permanecen en la posición 0. En el
550 circuito lógico individual de cada uno de estos bloques, el biestable o_c se pone en la posición 0, caso de que no estuviera ya así, a través de una puerta "AND" desbloqueada por las condiciones t_4 , t_{i0} , t_{j0} ; de la misma forma, el biestable o_p se pone en la posición 0 a través de las puertas "AND" desbloqueadas por las condiciones t_4 , t_{i0} ó t_4 ,
555 t_{j0} y una puerta "OR".

Entonces, el circuito lógico central CLC (figura 1) hace que arranque el distribuidor de bloque DB y el explorador asociado EXP. Normalmente, este explorador designa el hilo de salida exb_1 correspondiente al primer bloque. A la recepción del impulso dado por el cir-
560 cuito lógico central, el explorador EXB abandona la posición 1 y da una vuelta completa; las puertas AND, insertas en las conexiones flb se desbloquean una a continuación de otra, lo que permite al circuito lógico central CLC probar los distintos bloques. La conexión flb corresponde a los hilos oc_0 , oc_1 , op_1 (figura 2) que transmiten al cir-

307376



21.

565 cuito lógico central las condiciones de los biestables oc y op. Como
el circuito lógico central encuentra el primer compartimiento de la
fila de espera ocupado (biestable oc en 1), prueba el siguiente; si
este último está libre (biestable oc en 0), deduce de ello que debe
capturar este compartimiento pero señalándolo sin prioridad. El resto
570 de la operación es idéntico al caso precedente con esta única diferen-
cia: que el circuito lógico central controla la inscripción de la in-
dicación 10 en los núcleos toi, toj. La segunda llamada ha ocupado así
un sitio en la fila de espera a continuación de la primera.

Siguiendo el mismo procedimiento se inscribe la última lla-
575 mada a continuación de las precedentes.

Cuando se ocupa el último compartimiento de la fila de es-
pera, los biestables oc de todos los circuitos lógicos individuales es-
tán en posición 1; el total de los biestables ocupados ot de la fila
de espera Nº 1 (figura 3) pasan a 1 a través de una puerta "AND" des-
580 bloqueada por todas las condiciones oc1, la condición t4 y la condi-
ción exml. Si hay otra llamada, al consultar el circuito lógico centra
al biestable ot de la fila de espera número 1 se cerciora de que ya
no hay compartimientos libres. Entonces coloca el explorador EXM en
el compartimiento de supervisión de llamada y se conecta al bloque que
585 contiene este compartimiento (Biestable en en 1, figura 2). Entonces
actúa en las puertas PT para desbloquear las condiciones t'3, t'4. En
el instante t'3 controla la vuelta a la condición de reposo del bies-
table ar a través de un hilo fl 19, una puerta "AND", desbloqueada por
la condición t'3 y en1, el hilo eff2 y una puerta "OR". En el instan-
590 te t'4, la condición del biestable ar se lleva al núcleo correspondien-
te to3. así se sabe que la llamada del compartimiento de supervisión
no podría anotarse en la fila de espera puesto que no hay compartimien-
to libre. El circuito lógico central controla entonces el nuevo arran-

./..

307676



1964

22.

595 que del explorador cíclico. La llamada se servirá más tarde, tan pronto como haya un compartimiento libre en la fila de espera; en la práctica la espera no excederá de la duración de un ciclo del explorador EXM, es decir de unos diez milisegundos.

600 Cuando la llamada concierne a uno de los otros dos equipos comunes de la instalación, el equipo nº 2 por ejemplo, el circuito lógico central se informa de ello por la condición de los biestables ap, aq (ap en 1, aq en 0). Entonces dirige los varios exploradores EXM a compartimientos de transferencia CT2 que constituyen la fila de espera nº 2. En estas condiciones, el explorador del primer bloque da la condición exm2 (figura 3) que prepara la operación de los biestables del indicador de fila de espera nº 2.

605 Por supuesto, el número de tres equipos comunes no es limitativo en absoluto y pueden preverse tantos almacenes o filas de espera como se necesite.

610 La figura 5 indica el procedimiento antes descrito. En esta figura, los distintos compartimientos de la fila de espera pueden representarse con cuadrados con una indicación que caracteriza la condición del compartimiento (compartimiento libre: 00; compartimiento ocupado: 10; compartimiento ocupado con prioridad: 11). Se ha utilizado el sombreado para distinguir mejor los compartimientos ocupados de los libres y las pequeñas flechas para indicar los compartimientos con prioridad. En una primera etapa (fila 1), todos los compartimientos de los almacenes de espera están libres. En una segunda etapa (fila 2) el primer compartimiento está ocupado y está marcado con prioridad. La llamada siguiente (paso nº 3) se inscribe en el segundo compartimiento que está sencillamente marcado ocupado. Las últimas llamadas se colocan después de las precedentes en el orden en que se presentan (pasos 4 y siguientes). Finalmente, en el último paso o paso $n + 1$ todos los compartimientos del almacén de espera están ocupados. ./..

620



Manejo de llamadas inscritas en el almacén de espera

625 Cuando un equipo común, marcador MG por ejemplo, queda libre, el biestable δp asociado a este marcador está en la posición 1 (figura 1). Si por lo menos hay una llamada pendiente en el almacén o fila de espera, el biestable correspondiente δa está también en la posición 1. En la práctica la instalación comprende muy frecuentemente, por razones de seguridad dos marcadores, pero se supone primeramente para simplificación que no hay más que un marcador. Con esta hipótesis, se establecen las conexiones marcadas con x y se suprime el biestable $\delta p'$ como se indica con las conexiones de las líneas de puntos. Los biestables δa y δp actúan a través de una puerta "AND" del circuito lógico central CLC; el último es avisado y conoce que tiene que servir a la primera llamada inscrita en el almacén de espera número uno. Detiene la exploración cíclica, se conecta al marcado MG y envía un código conveniente a los varios exploradores EXM a través de una puerta "AND" desbloqueada por la condición δr y una puerta "OR" para disponer los exploradores en el azimut correspondiente a la fila de espera número 1. El biestable δp pasa a cero para indicar que el marcador está ocupado.

645 Como se indica en la descripción del procedimiento de descripción de llamadas, se procede a la lectura del compartimiento de transferencia CT1 y esto se hace en todos los bloques al mismo tiempo. En cada uno de ellos (figura 2) los biestables δp y δc son colocados en la posición correspondiente (δc en 0 para un compartimiento libre, δc en 1 para un compartimiento ocupado, δp en 1 para un compartimiento con prioridad); los datos correspondientes se transmiten a los bancos de explorador de grupo a través de los hilos $\delta c 0$, $\delta c 1$, $\delta p 1$ y la conexión flb.

El distribuidor de bloque DB y el explorador correspondiente

./..

307676



24.

te EXB (figura 1) arrancan para probar sucesivamente los compartimien-
tos de fila de espera empezando por el primero. Se supondrá en primer
655 lugar que la llamada con prioridad, es decir la que está al principio
de la fila, ocupa el compartimiento número 1. El circuito lógico cen-
tral, al probar el hilo opl del primer bloque (figura 2), comprueba
que el biestable op está en posición 1; entonces decide servir a esta
llamada con prioridad.

660 Se conecta él mismo al bloque de memoria correspondiente
BKL, colocando el biestable en en 1, controlando a continuación el
desbloqueo de las condiciones $t_0 \dots t_4$ durante un ciclo del distri-
buidor de DT. En el instante t_0 , se procede a la reposición a 0 de
los biestables de lectura $t_i, t_j, t_m, \dots t_n$. En el instante t_1 , las
665 puertas "AND" insertas en los distintos hilos de lectura $f_{17}, f_{19},$
 f_{111}, f_{113} se desbloquean para estatizar las indicaciones llevadas
por los núcleos $t_{oi}, t_{oj}, t_{om} \dots t_{on}$ a los biestables correspondien-
tes $t_i, t_j, t_m \dots t_n$; los biestables t_i, t_j pasan a uno puesto que
el compartimiento considerado tiene prioridad; los biestables $t_m \dots$
670 t_n hacen estática la dirección del compartimiento de supervisión que
llama.

En el instante t_2 , se transmite esta dirección al circui-
to lógico central que la guarda en su memoria; la transmisión se hace
a través de los hilos $t_{m1} \dots t_{n1}$ puertas AND desbloqueadas por las
675 condiciones t_2 y c_{n1} y los hilos f_{129} . Durante los instantes t_3, t_4
y durante los instantes t_0, t_1, t_2 del ciclo siguiente, el circuito
lógico central termina sus ordenes. En el instante t_3 , controla la re-
posición a 0 de todos los biestables $t_i, t_j, t_m \dots t_n$ a través del
hilo f_{120} y la puerta "AND" desbloqueada por las condiciones t_3 y c_{n1} ,
680 hilo eff_3 y puertas "OR" conectadas a cada uno de los biestables. En
el instante t_4 las puertas "AND" insertas en los hilos de escritura

./..

307876



25.

fl 8, fl 10, fl 12, fl 14 se desbloquean para llevar las indicaciones dadas por los biestables $t_1, t_j, t_m \dots t_n$ a los núcleos correspondientes $t_{01}, t_{0j}, t_{0m} \dots t_{0n}$; el último vuelve de esta forma a cero, y queda libre el compartimiento.

Al mismo tiempo, la vuelta a cero del biestable cc está controlado a través de una puerta "AND" desbloqueada por las condiciones t_4, t_{i0}, t_{j0} ; de la misma forma, la vuelta 0 del biestable op está controlada a través de una puerta "AND" desbloqueada por las condiciones t_4, t_{i0}, t_4, t_{j0} y una puerta "OR".

El circuito lógico central se desconecta entonces del primer bloque (biestable cn en cero) para conectarse al segundo (biestable cn en uno).

Prueba el biestable fa (figura 3) para comprobar que por lo menos hay una llamada pendiente en el almacén de espera. Según una variante, se puede comprobar si el segundo compartimiento del almacén está ocupado, probando la condición del biestable oc (a través de un circuito no representado). En el instante t_3 , envía la indicación de ocupación de prioridad (11) a los biestables t_i, t_j , a través de los hilos fl 21, fl 22, sin cambiar nada en la posición de los otros biestables $t_m \dots t_n$. En el instante t_4 , las condiciones de los biestables t_i, t_j se copian de nuevo en los núcleos correspondientes t_{0i}, t_{0j} que pasan a la condición 1. De esta forma se marca el compartimiento con prioridad; la llamada que ocupaba la segunda posición en la primera fila se coloca así en primer lugar. En el circuito individual correspondiente, los biestables oc y op se colocan en 1.

La dirección memorizada en el circuito lógico central se transmite al marcador Mc (figura 1). El último, mediante el primero de cuatro impulsos, desbloquea una puerta "AND" por medio de las condiciones $n_{b1} \dots n_{bn}$, para conectarse con el registrador de lectura y es-

./..

307676



715 escritura RLE del bloque que contiene el compartimiento de supervisión correspondiente a la dirección memorizada. Envía los ocho últimos impulsos al explorador correspondiente EXI a través de una puerta "AND" desbloqueada por las condiciones er', nbl y una puerta OR para dirigir el explorador al compartimiento deseado. Entonces puede trabajar en este compartimiento de memoria, es decir leer la información, hacer operaciones lógicas e inscribir la información leída u otra información. En particular repone a cero los núcleos to1, to2, to3.

720 Cuando la primera llamada está servida y el marcador está libre, el biestable dp (figura 1) vuelve a la posición 1 avisándose de nuevo al circuito lógico central e inscribiéndose la llamada con prioridad en el segundo compartimiento de fila de espera y esta llamada se sirve siguiendo el mismo procedimiento. Las distintas llamadas se tratan de esta forma, sucesivamente, en el orden de inscripción.

725 Cuando se ha servido la última llamada, los hilos oc0 de todos los circuitos lógicos individuales (figura 2) se llevan al potencial característico que indica la condición cero del biestable correspondiente, el biestable fa de la fila de espera (figura 3) se repone a su posición cero a través de una puerta "AND" desbloqueada por todas las condiciones oc0, condición t4 y condición exml.

730 Al consultar a este biestable, el circuito lógico central deduce de ello que se han servido todas las llamadas; hace que el explorador de grupo EXB vuelva 1 y controla el nuevo arranque del explorador cíclico.

735 El procedimiento de llamada se representa en la figura 6. En un primer paso, todos los compartimientos del almacén de espera están ocupados teniendo prioridad el primer compartimiento. En la segunda etapa se sirve la primera llamada; el compartimiento correspondiente se libera y ahora es el segundo compartimiento el que tiene priori-

3 0 7 6 7 6



27.

740 . dad. Se continúa la misma operación en los pasos siguientes hasta el
paso n en el que unicamente hay una llamada que servir. Finalmente en
el último paso o paso $n + 1$, todos los compartimientos del almacén de
espera están libres.

745 . En el caso de que haya dos marcadores, las conexiones in-
dicadas por X (figura 1) tienen que suprimirse, y tienen que equiparse
el biestable dp' y las conexiones correspondientes señaladas con lí-
neas de puntos. Cuando un compartimiento de supervisión llama a un
marcador no hay ninguna razón para que trabaje con uno en vez de con
el otro; para el montaje de los dos marcadores solo se tienen que equi-
750 par una fila de espera y un biestable fa , por esta razón. Por otra
parte, cada uno de los dos marcadores tiene su biestable de disponibi-
lidad (dp para el primer marcador, dp' para el segundo).

La inscripción de una llamada en la fila de espera no pre-
senta ninguna dificultad particular y se hace como en el caso general.
755 En lo que respecta al manejo de una llamada la operación es la siguien-
te. Si por lo menos hay una llamada en la fila de espera (biestable fa
en uno) y si por lo menos hay un marcador libre (dp o dp' en uno), el
circuito lógico central es avisado a través de una puerta AND y una
puerta OR desbloqueada por uno de los dos biestables dp , dp' . Se co-
760 necta el mismo utilizando todos los medios apropiados a un marcador
disponible; el resto de la operación es el mismo que en el caso de un
solo marcador.

En la figura 8, el procedimiento de conexión del circuito
lógico central CIC con los circuitos lógicos individuales CLI y los
765 equipos comunes como los marcadores MC, está representada. Cuando el
circuito lógico central CIC necesita conectarse al marcador MC para
transmitirle datos, desbloquea una puerta "AND" por medio del hilo
fl 30 para conectarse a la barra omnibus BOL; de la misma forma, se

./..

307076

29 DIC 1954
28.



770

desbloquea otra puerta "AND" a través del hilo fl 33 para conectar el marcador MQ a la barra receptora B02. Entonces puede hacerse el cambio de información a través de la barra omnibus B01, el amplificador AP y la barra omnibus B02. El cambio de información en la otra dirección es decir desde el marcador MQ al circuito lógico central se hace actuando en las otras dos puertas "AND" a través de los hilos fl 31, fl 32.

775

En lo que se refiere a los circuitos lógicos individuales CLI, el circuito lógico central CLC actúa, según se ha indicado, por medio de los biestables de conexión cn. Una misma condición cn1 ha sido prevista para desbloquear las puertas de emisión y recepción pero esto no tiene importancia puesto que se han dispuesto posiciones de tiempo diferentes para cada dirección del cambio de información 21.

780

Como ha quedado claro en la descripción anterior, el circuito lógico central puede ser solicitado tanto por los circuitos lógicos individuales como por el equipo común de la instalación como por los marcadores. Por supuesto, el circuito lógico central únicamente puede tratar cada vez una llamada.

785

En la figura 9 se representa un diagrama del procedimiento de distribución de estas varias llamadas del circuito lógico central.

790

Normalmente, el dispositivo para terminar las ordenes ORD, integrado en el circuito lógico central CLC desbloquea una puerta "AND" por medio de un hilo fl 34; los impulsos t"0 emitidos por el distribuidor de tiempo a cada paso a la posición 0, hace que el distribuidor D1 y el explorador asociado EX1 avancen siendo explorados entonces los distintos compartimientos del bloque de memoria BM1 de una forma cíclica.

795

Cuando un circuito lógico individual CLI llama al circuito

./..



lógico central, este circuito da una señal a través de una puerta "OR", y controla la colocación del biestable at en la posición 1. El dispositivo para terminar las órdenes ORD, informado de este cambio de posición, bloquea la puerta "AND" que permite el avance del distribuidor de dirección DA, y se detiene la exploración cíclica. Al mismo tiempo, el equipo ORD hace que arranque el elemento distribuidor DO y el explorador EXO. El elemento distribuidor DO y el explorador EXO están constituidos, como se ha indicado por el distribuidor de dirección CA y el explorador EXM.

Cuando el explorador EXO llega a la posición correspondiente al circuito lógico individual que llama CLI, se desbloquea la puerta "AND" por medio del hilo fl 35, que permite la transmisión de la señal de llamada del circuito lógico individual al equipo ORD a través de una puerta "OR" y el hilo fl 36. Debido a esto, el equipo ORD bloquea el elemento distribuidor DO y al explorador asociado EXO en la posición considerada. Al mismo tiempo, la señal presente en el hilo fl 36 desbloquea la puerta AND colocada debajo del elemento distribuidor DO, registrándose el código binario estatizado por el último en el registrador RG, que forma parte también del circuito lógico central CLC. Entonces se conecta el último al circuito lógico individual que llama controlando, como se ha indicado, el paso a 1 del biestable de conexión en.

Cuando se ha procedido con la llamada del circuito lógico individual el equipo ORD vuelve a 0 el biestable de parada at y desbloquea la puerta "AND" que permite la nueva puesta en marcha del distribuidor de dirección DA.

Cuando está disponible un marcador MQ, su biestable dp está en 1, y cuando por lo menos hay una llamada pendiente en la fila de espera correspondiente, el biestable fa está también en 1. Los dos

3 0 7 6 7 6

29 DIC.



30.

830 biestables dp y fa actúan en combinación en una puerta AND para dar una señal de llamada al hilo fl 37 que controla el paso a l del biestable de parada at a través de una puerta OR; con esto se vuelve al caso precedente.

835 Las distintas llamadas que se emiten desde los circuitos lógicos individuales y desde los equipos comunes se tratan de esta forma sucesivamente en el circuito lógico central. Como no se han previsto circuitos de reposición para el explorador EXC; estas llamadas se manejan sin ningún orden de preferencia.

840 Para simplificación el esquema detallado de la parte del circuito lógico central que actúa en conexión con el circuito lógico individual no se ha representado; este esquema puede ser hecho fácilmente por los especializados en este arte puesto que en cada paso de funcionamiento, los contenidos de la información enviada y las órdenes terminadas de acuerdo con ello se han indicado de una forma clara. Según una técnica conocida, puede utilizarse un cableado lógico (matrices de diodos o de resistencias), o una programación lógica (previa inscripción de un programa en núcleos de ferrita o cualquier otro soporte material semejante). Además, los otros equipos representados en el diagrama general de funcionamiento de la figura 1 (memorias, exploradores, registradores de lectura y escritura) son bien conocidos.

850 Se sobreentiende que la descripción anterior ha sido dada únicamente a título de ejemplo no limitativo y que pueden hacerse numerosas variantes sin apartarse del alcance del invento. Se pueden sustituir los núcleos de ferrita por memorias diferentes, disponer de exploradores de otro tipo, adoptar otro diagrama de tiempo, etc. En particular, los distintos datos numéricos han sido únicamente mencionados para facilitar la comprensión de funcionamiento y pueden variar en cada caso particular.

./..



Los principios del invento se han descrito relacionados con un aparato específico, pero debe entenderse claramente que esta descripción ha sido hecha únicamente a título de ejemplo y no como una limitación del alcance del invento.

860 Este invento corresponde a una solicitud de Patente formulada en Holanda el 30 de Diciembre de 1963, señalada con el número 302.736 y se acoge, por lo tanto, a los beneficios que otorgan los Convenios Internacionales vigentes.

----- N O T A -----

865 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta Patente de veinte años, son los siguientes:

1 - Un sistema de selección para circuitos o equipo eléctrico que comprende una pluralidad de almacenes de datos o compartimientos de memoria capaces de asociarse temporalmente a uno o más circuitos o equipo común, caracterizado en éste, porque dichos compartimientos de memoria comprenden una pluralidad de compartimientos de transferencia que constituyen uno o más almacenes de espera, utilizando dichos compartimientos de transferencia para la inscripción de las direcciones de los compartimientos que llaman que tienen que asociarse temporalmente a dicho(s) circuito(s) común(es), haciéndose dichas inscripciones una a continuación de otra en el orden en que se presentan las direcciones mismas, siendo a continuación servidas las llamadas por dicho(s) circuito(s) común(es) en el orden de inscripción de dichas direcciones.

880 2 - Un sistema de selección como el del punto 1 caracterizado por marcar un almacén de espera para cada tipo de equipo común capaz de comunicar con el compartimiento de memoria, es decir, marcador, excitador de enlace, dispositivo de cargo de llamada, dispositivo

./..

307676

29 DIC



32.

885 de contabilización automática de mensajes, etc ..., que permite que las llamadas se sirvan con un mínimo de retraso.

3 - Un sistema de selección como el de los puntos 1 y 2 caracterizado por asignar el mismo código a los distintos compartimientos de un mismo almacén de espera situado en distintos bloques de memoria.

890 4 - Un sistema de selección como el del punto 3, caracterizado por disponer de varios compartimientos de un mismo almacén de espera en posiciones análogas en los distintos bloques de memoria, lo que permite, por medio de un mismo código, dirigir simultáneamente los exploradores a los compartimientos de este almacén de espera y
895 leer todos ellos de una sola vez.

5 - Un sistema de selección como el de cualquiera de los puntos precedentes caracterizado por disponer en cada uno de los compartimientos que pueden comunicar con un equipo común, uno o más elementos de memoria para inscribir el número del equipo común al que
900 tiene que llamarse y otro elemento para indicar si la llamada ha ocupado ya un lugar en el almacén de espera.

6 - Un sistema de selección como el de los puntos 3, 4 ó 5, caracterizado por asociar al circuito lógico central un explorador de bloque que puede hacer un ciclo completo desde una posición marcada, teniendo de esta forma el circuito lógico central la posibilidad de probar sucesivamente las marcas de los compartimientos de almacén de espera estatizadas en los registradores de lectura y escritura de los distintos bloques.
905

7 - Un sistema de selección como el de cualquiera de los puntos precedentes caracterizado por utilizar en cada uno de los
910 compartimientos de transferencia, elementos de memoria para inscribir en ellos una marca y otros elementos para registrar la dirección del

./..



compartimiento que llama, habiéndose previsto varias marcas, la primera de las cuales indica un compartimiento libre, es decir que no
915 contiene ninguna dirección, indicando la segunda un compartimiento ocupado y una tercera que caracteriza un compartimiento de prioridad, es decir que contiene la primera llamada inscrita y todavía no servida.

8 - Un sistema de selección como el de los puntos 3 ó 4 y
920 7, caracterizado en éste, porque cuando un compartimiento de memoria llama a un equipo común predeterminado y porque cuando esta llamada no haya ocupado todavía un lugar en el almacén de espera, el circuito lógico individual del bloque correspondiente se refiere al circuito lógico central que detiene la exploración cíclica, dirige los distintos
925 exploradores a los compartimientos de almacén de espera deseados, gobierna la lectura simultánea de todas las marcas, prueba sucesivamente todas estas marcas mediante el explorador de bloque, elige el primer compartimiento libre que sigue al compartimiento o compartimientos ya ocupados, siendo entonces capturado dicho compartimiento
930 y las direcciones del compartimiento de memoria que llama, estatizadas en el distribuidor de dirección, registradas en el compartimiento de almacén de espera.

9 - Un sistema de selección como el del punto 8, caracterizado en éste, porque cuando el circuito lógico individual llama al
935 circuito lógico central, el último actúa inmediatamente en el elemento de memoria del compartimiento de supervisión dispuesto para indicar las llamadas anotadas, como si el número de este compartimiento estuviera ya registrado en el almacén de espera, evitando esta disposición una vuelta del explorador al compartimiento considerado y consiguiendo así una ganancia de tiempo.
940

10 - Un sistema de selección como el de los puntos 8 ó 9,

./..

307676

29 DIC

34



945 caracterizado por asociar a cada almacén de espera un indicador que contiene esencialmente dos biestables, uno para indicar si por lo menos hay en el almacén de espera una llamada pendiente, el otro para señalar la ocupación total de este almacén, siendo la disposición tal que cuando el primer biestable indica un almacén de espera vacío, el circuito lógico central captura inmediatamente el primer compartimiento de este almacén sin llamar al distribuidor de bloque, y comunicándole la condición de prioridad.

950 11 - Un sistema de selección como el del punto 10, caracterizado en éste, porque cuando el segundo biestable indica que el almacén de espera está totalmente ocupado, el circuito lógico central dirige de nuevo el explorador al compartimiento que llama para volver a disponer el elemento de memoria previsto para las llamadas ya registradas en el almacén de espera, y gobierna el recomienzo de la exploración cíclica sirviéndose la llamada durante una de las vueltas siguientes tan pronto como haya un lugar disponible en el almacén de espera.

960 12 - Un sistema de selección como el de los puntos 8, 9, 10 u 11, caracterizado en éste, porque cuando un equipo común se queda disponible y por lo menos hay una llamada pendiente en el almacén de espera correspondiente, se advierte al circuito lógico central, el cual detiene la exploración cíclica, se conecta al equipo común, dirige los distintos exploradores a los compartimientos del almacén de espera, gobierna la lectura simultánea de todas las marcas, prueba sucesivamente estas marcas por medio de un explorador de bloque y captura el compartimiento que contiene la marca de prioridad, comunicándose entonces la dirección registrada en dicho compartimiento al equipo común que así posee todos los elementos para comunicar con el

970 compartimiento que llama.

./..



13 - Un sistema de selección como el del punto 12, caracterizado en éste porque cuando el circuito lógico central después de haber capturado el compartimiento de prioridad lo vacía de su contenido y le coloca la señal de disponibilidad, recibiendo a su vez el compartimiento siguiente la marca de prioridad de tal forma que cuando el equipo común u otro equipo común del mismo tipo se quede libre se procede con la segunda llamada de la misma forma.

14 - Un sistema de selección como el de cualquiera de los puntos 3 a 13 caracterizado en éste, porque la dirección de los compartimientos de memoria que llaman está constituida por dos grupos de elementos, indicando el primer grupo el bloque que contiene el compartimiento y el segundo la situación del compartimiento dentro del bloque, utilizando el equipo común el primer grupo de elementos para conectarse al registrador de lectura y escritura del bloque deseado y el segundo grupo para llegar al compartimiento a través del explorador de memoria.

15 - Un sistema de selección para circuitos o equipo eléctrico.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de treinta y cinco hojas escritas por una sola cara.

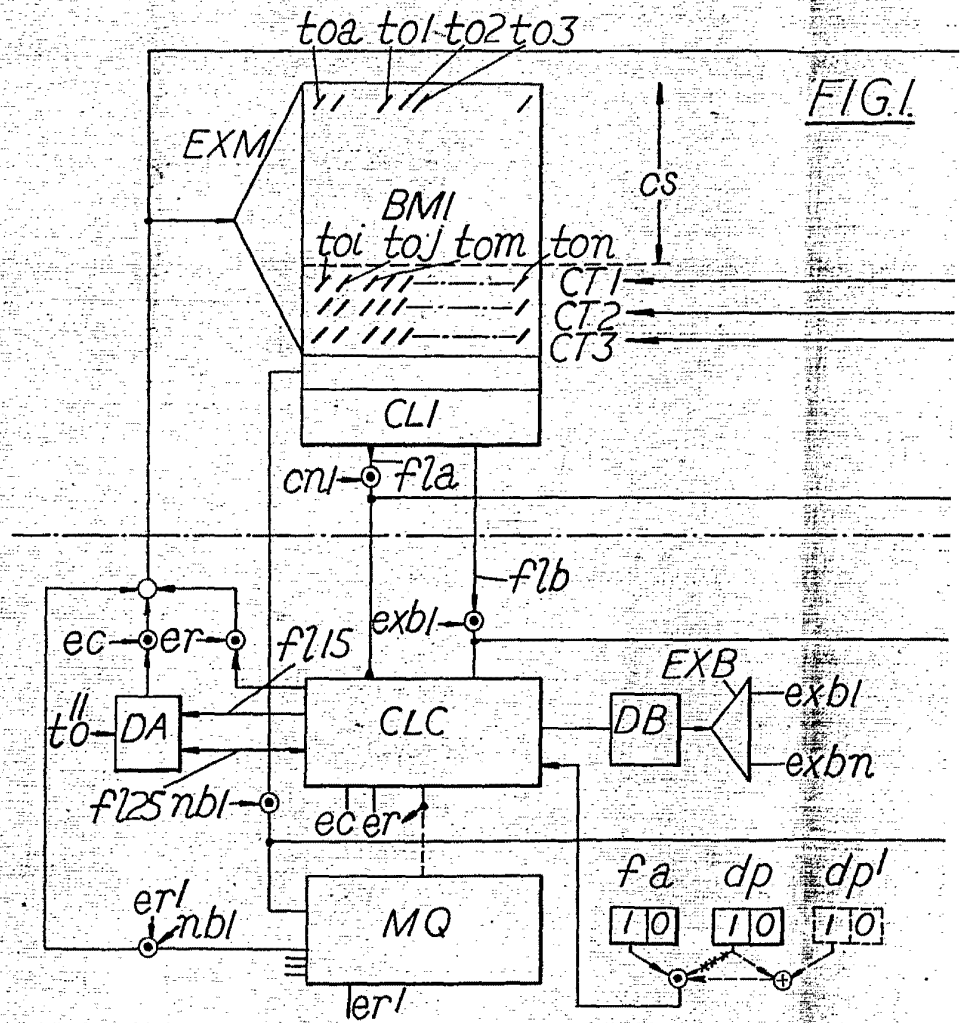


MADRID, 29 DIC. 1964

STANDARD ELÉCTRICA, S.A.

Secretario General

307676

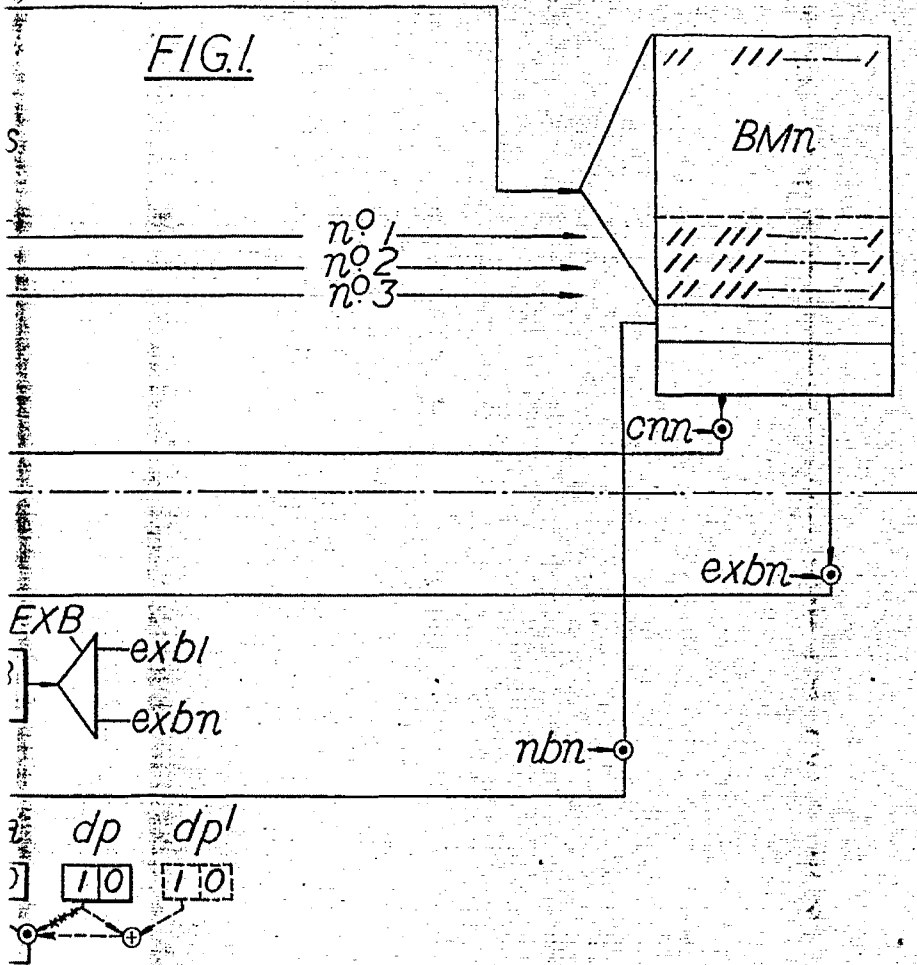


POOR
QUALITY

61200000 - H0000000



FIG. 1



29 DIC 1964

STANDARD ELECTRICA, S. A.

Secretario General

3 0 7 6 7 6

STANDARD ELECTRONIC SA.

10 pages shown Page 2

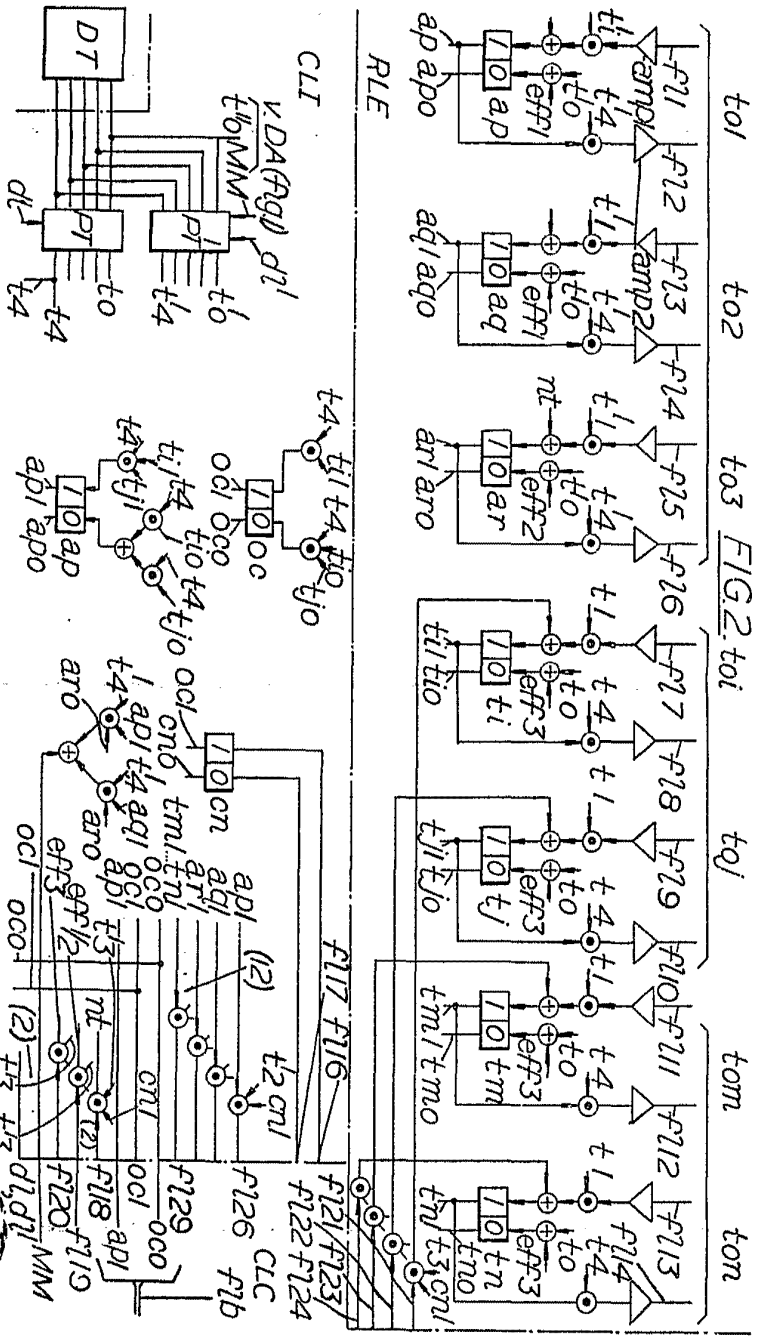
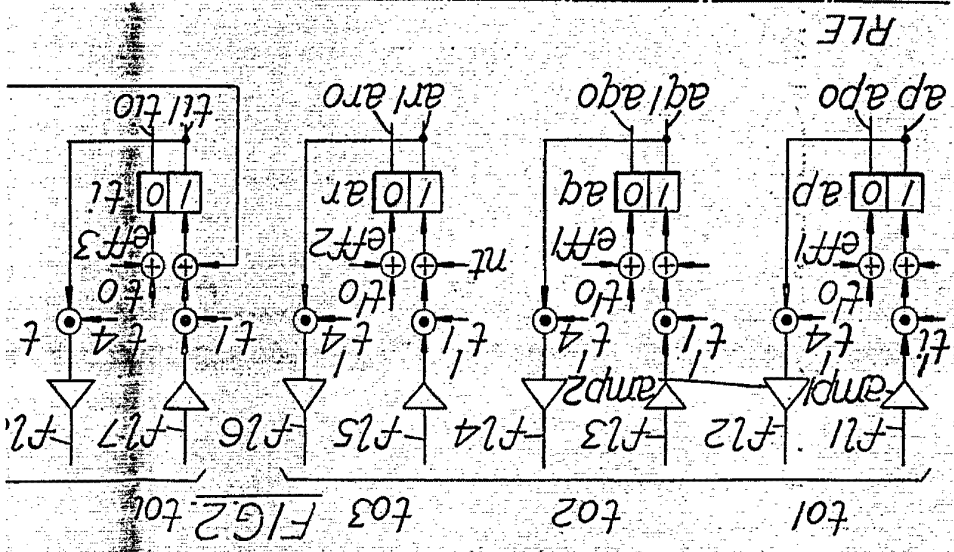
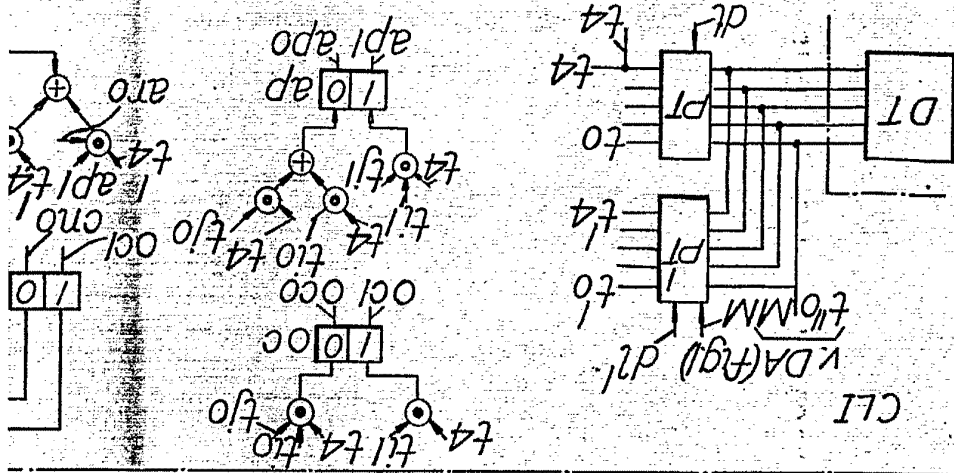


FIG. 2.01

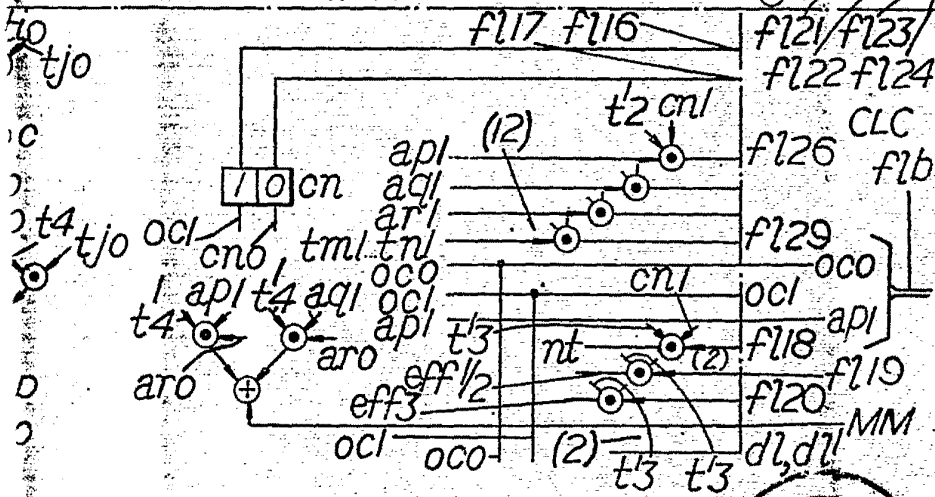
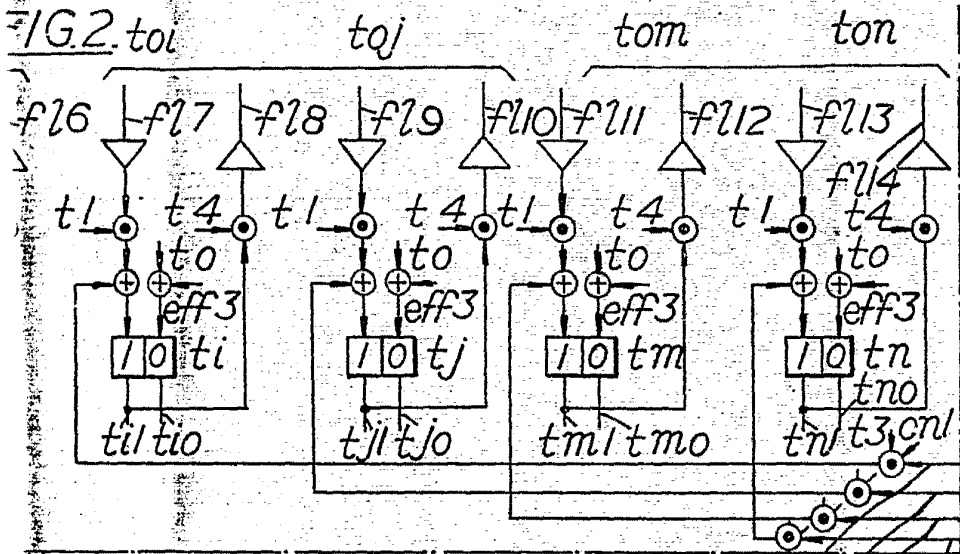


29 DEC 1964
 STANDARD ELECTRONIC SA.
 Standard Service

POOR QUALITY



3 07676



29 DIC 1964

STANDARD ELECTRICA, S. A.

Secretaria General

3 0 7 6 7 6

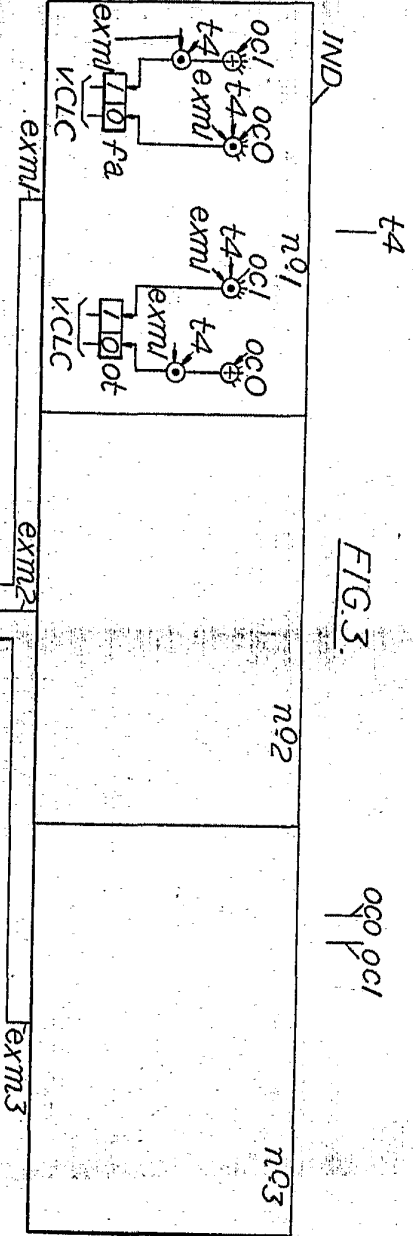


FIG. 3



FIG. 4

FIG. 2
FIG. 3



29 D/C 1964
 STANDARD ELECTRICAL, S. A.
 Avenida ...

POOR QUALITY

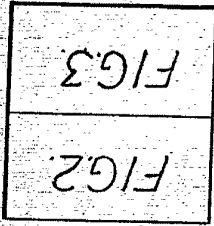


FIG. 4

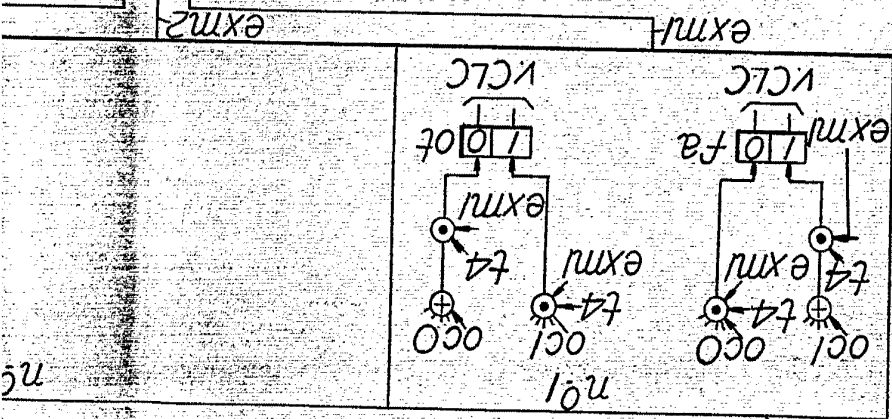


FIG. 3

f4

3 07676

STANDARD ELECTRICAL S. A.

Alonso de la Cruz H. 1964

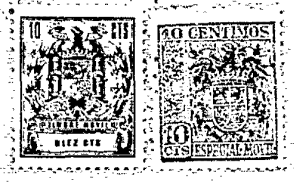
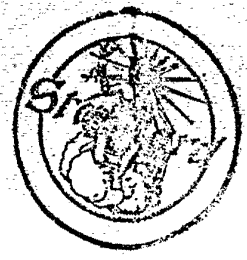
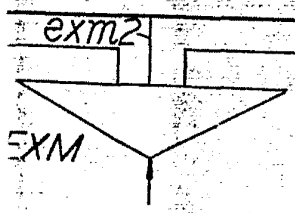
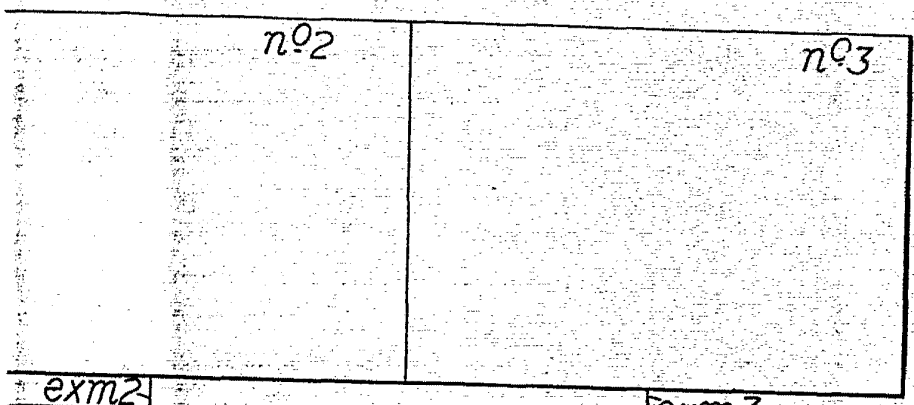


FIG. 3.

000 001
Y Y



29 DIC 1964

[Handwritten signature]
 STANDARD ELECTRICAL S. A.
 Secretario General

Gloria Olvera Horta

307676

FIG. 5.

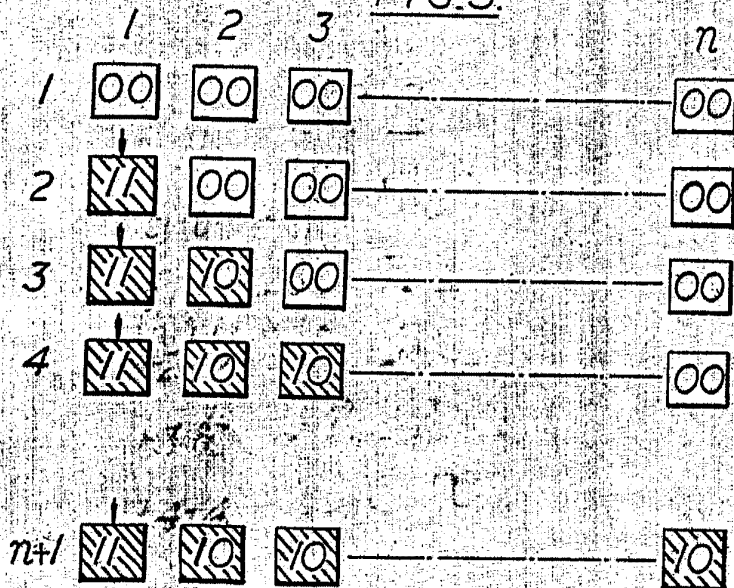
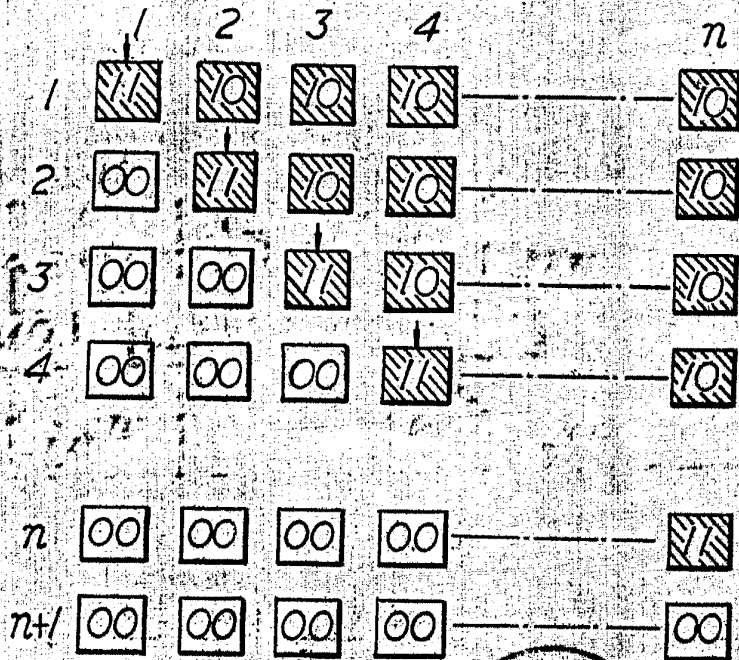


FIG. 6.



29 DIC 1964

STANDARD ELECTRICAL S. A.

[Signature]

POOR QUALITY

6. Marco Delgado - Haza

307676

FIG. 7

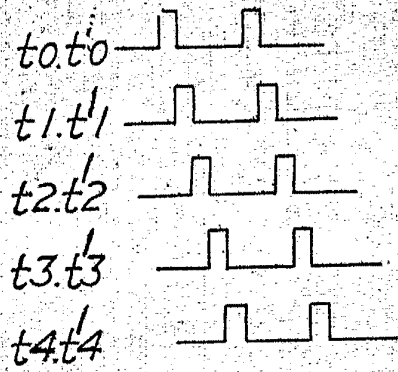
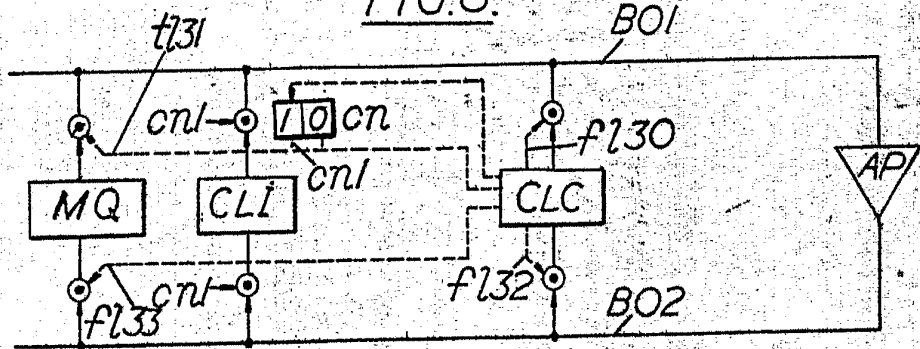


FIG. 8



29 DEC 1964

STANDARD ELECTRICA, S. A.

[Handwritten signature]

POOR QUALITY

POOR
QUALITY

307676

STANDARD ELECTRICA, S. A.

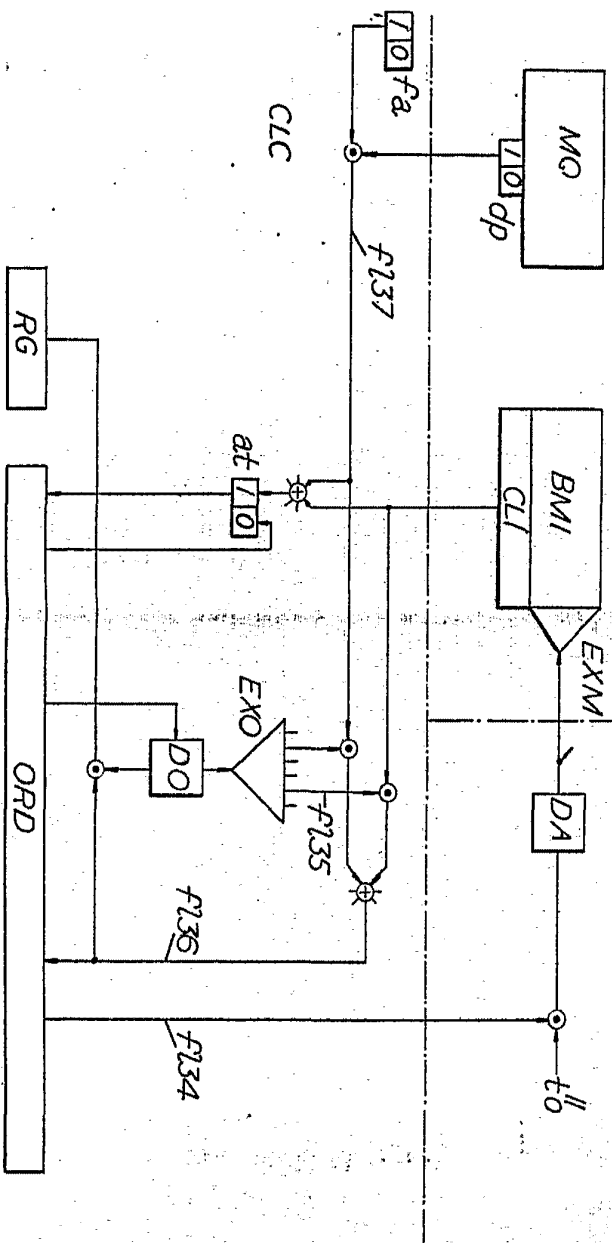
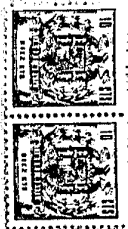


FIG. 9.



Impa. Standard - H. 1964



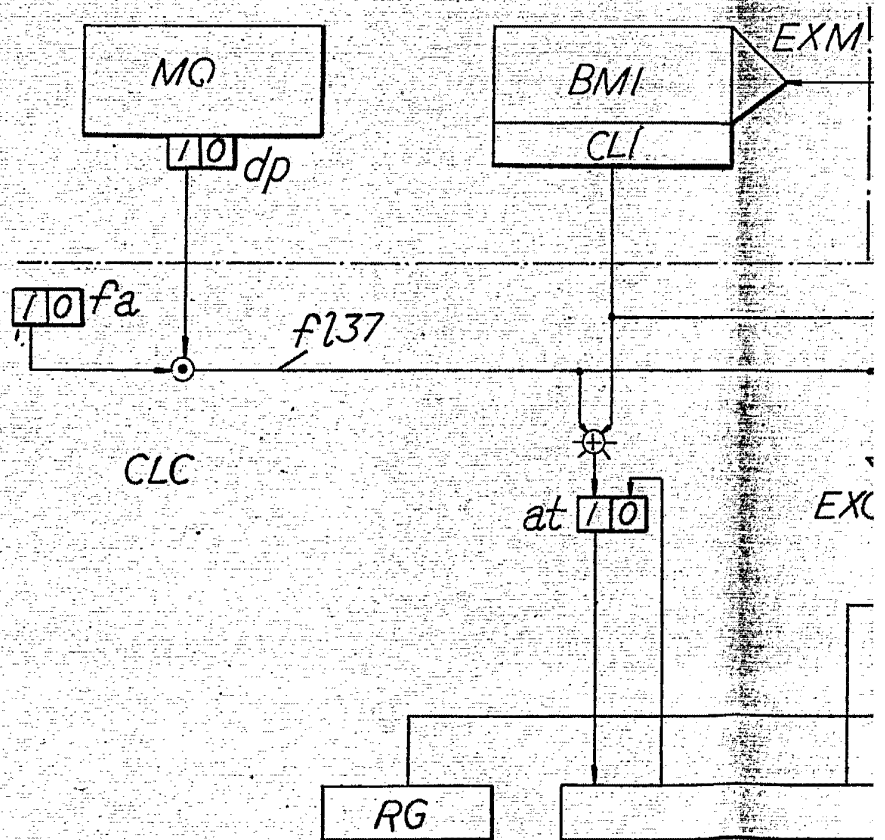
29 DIC. 1964

STANDARD ELECTRICA, S. A.

[Handwritten signature]

307876

FIG. 9.



POOR
QUALITY

Impresión Aluminio - Hoja 6

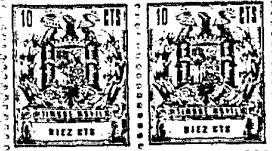
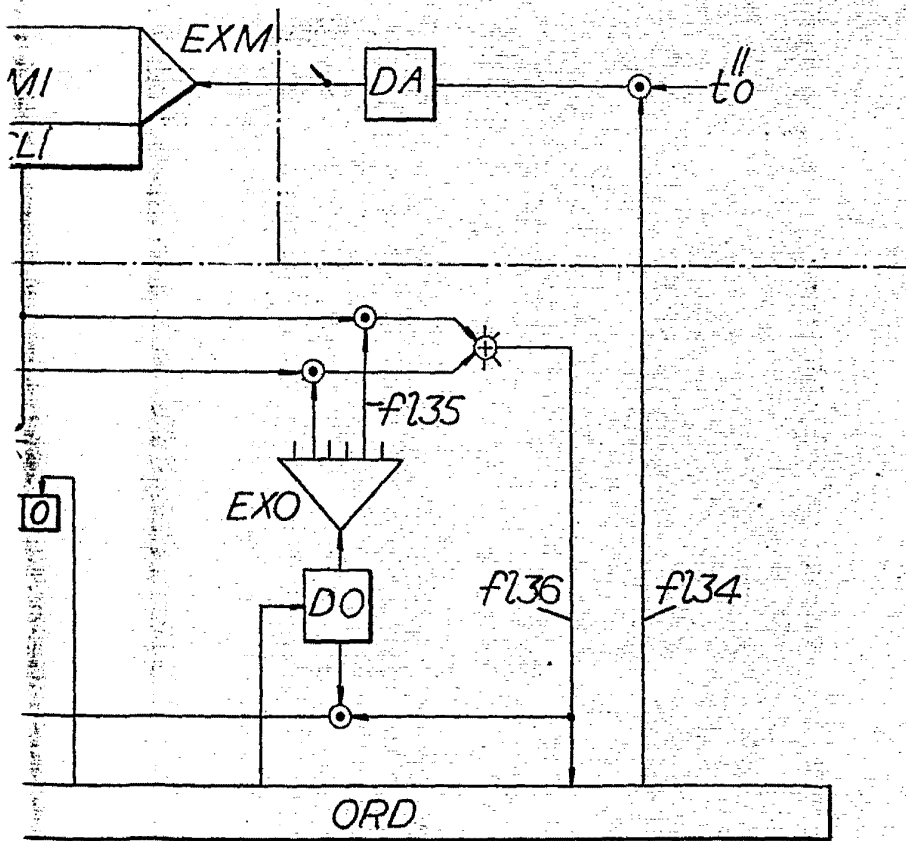


FIG. 9.



29 DIC. 1964

STANDARD ELECTRICA, S. A.

Secretario General