

10	ES	11	NUMERO	273258	10	Y
		21				
		22	FECHA DE PRESENTACION	1 JUL. 1983		



ESPAÑA

MODELO DE UTILIDAD

16 DIC. 1983

30	PRIORIDADES:	31	NUMERO	32	FECHA	33	PAIS	
----	--------------	----	--------	----	-------	----	------	--

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	
			G 06 F 3/14 7

54	TITULO DE LA INVENCION	
	"MICROORDENADOR NUMERICO"	

71	SOLICITANTE ES:	
	D. Philippe Hattoua Cohen	

	DOMICILIO DEL SOLICITANTE	
	Ayala, n.º 19 MADRID	

72	INVENTOR ES:	
----	--------------	--

73	TITULAR ES:	
	El solicitante	

74	REPRESENTANTE	
	JUAN JOSE ALONSO YAGUE (203-8)	

MEMORIA DESCRIPTIVA

La presente invención se refiere a un microordenador con posibilidades de presentación de la información sobre un monitor. Durante los últimos años se ha producido un incremento rápido en la utilización de microordenadores personales tanto para la utilización por profesionales, comerciantes, pequeños empresarios como por aficionados en general.

Generalmente este incremento se debe a la introducción de microprocesadores integrados de relativo bajo costo, acompañados de periféricos y programas de fácil manejo.

Un microordenador doméstico o para pequeño comercio debe, por ejemplo, funcionar con un cierto número de lenguajes de programación diferentes, que exigen memorias relativamente grandes. El microordenador debe poderse conectar a una pantalla standard y ofrecer una amplia gama de posibilidades de presentación, tales como la de caracteres alfanuméricos además de gráficos de alta resolución.

La satisfacción de estas necesidades exige generalmente la utilización de microprocesadores de relativo bajo costo y la mejora de las posibilidades de este microprocesador por técnicas de montaje. Esto disminuye el costo total reduciendo por ejemplo las necesidades de energía las estructuras del bus, etc. Otro punto importante es que los nuevos microordenadores puedan utilizar programas rea-

lizados para modelos anteriores. Como se verá mas adelante, el microordenador descrito ofrece una amplia gama de posibilidades, incluso posibilidades de presentación en pantalla que no se encuentran en modelos anteriores, así como amplias posibilidades de expansión y utilización de los periféricos mas diversos.

El microprocesador está compuesto por una unidad central de proceso (CPU), una memoria de acceso directo (RAM) y una memoria muerta (ROM), con un bus de direcciones y un bus de datos de interconexión. Uno de los aspectos más importantes del presente microordenador está en el hecho de que se han aumentado las posibilidades de la unidad central.

La memoria del citado microordenador está organizada de una manera no habitual para asegurar una compatibilidad en el bus de datos de 8 bits, mientras asegura transferencias binarias elevadas (16 bits Mhz), necesarias para presentación en pantalla de alta resolución.

Un primer conjunto de dispositivos de memoria están conectados a un primer bus de salida de memoria; estos dispositivos de memoria están igualmente conectados al bus de datos.

El subconjunto de presentación del microordenador descrito engendra una señal color video de una manera original.

Para complementar la descripción que se está reali

zando y ayudar a una mejor comprensión de las características del invento se acompaña a la presente Memoria Descriptiva y formando parte integrante de la misma, de un juego de planos cuyas Figuras representan lo siguiente:

5 La Figura 1 representa el diagrama esquemático de la unidad central de proceso y del bloque de memoria (ROM) de solo lectura, así como los buses de datos y direcciones.

La Figura 2 corresponde al circuito de generación de la señal de video.

10 La Figura 3 representa la organización del bloque de memorias de lectura escritura (RAM).

La Figura 4 corresponde a la circuitería relativa al multiplexor del bus de direcciones de la Memoria RAM y los circuitos de selección de la RAM.

15 La Figura 5 representa el circuito del generador de caracteres para el monitor de video.

La Figura 6 representa el multiplexor de video y sus registros de desplazamiento.

La Figura 7 corresponde al circuito de teclado.

20 La Figura 8 muestra la fuente de alimentación para todo el sistema

De acuerdo con dichas Figuras, el microordenador que presentamos se compone de las siguientes partes:

- Microprocesador.
- Memoria ROM

25

- Memoria RAM.
- Fuente de Alimentación.
- Circuito de teclado.
- Generador de Video.

5 que a continuación se describen detalladamente.

El microprocesador -1- empleado es el modelo 6502 (H7 8 Fig. 1) de la firma ROCKWELL o SYNERTEK. Este microprocesador se caracteriza por utilizar dos fases de reloj O1 y O2. El microprocesador usa sus buses de dirección y datos solo durante el período en que O2 esta en estado activo.

10 Cuando la señal O2 está en estado bajo el microprocesador realiza sus operaciones internas y no utiliza los buses de dirección y datos. Este mecanismo ha sido aprovechado para compartir la memoria RAM -2- entre la CPU -1- y el generador de video como se describirá posteriormente.

15 El microprocesador dispone de un bus de direcciones de 16 bits y un bus de datos bidireccional de 8 bits. Las líneas del bus de direcciones estan amplificadas por tres circuitos integrados del tipo "8t97 Buffers triestado" (3 Fig. 1). Las líneas del bus de direcciones se encuentran en estado abierto solo durante un ciclo de direccionamiento de memoria DMA y se encuentran activas en cualquier otro caso.

20

25

El bus de datos está amplificado mediante dos circuitos integrados del tipo "8t28" o buffers bidireccionales triestado (4 Fig. 1). Las líneas RDY, RES, IRQ y NMI procedentes del microprocesador -1- son forzadas a alto estado mediante resistencias 3.3 Kohms (RA 01 Fig. 1). Colocadas entre estas líneas y la línea de alimentación de + 5 V. Estas líneas solo aparecen en los conectores de periféricos.

La línea "set overfolw" (SO) del microprocesador está unida directamente a masa.

La memoria ROM -5- está compuesta por seis circuitos integrados de memoria de solo lectura de 2K x 8 bits (D0, E0, F0, D8, E8, F8 fig. 1). Cada uno de estos seis circuitos integrados son habilitados por medio de un circuito integrado -6- del tipo 74 LS 138 (fig. 2) que conectado a su vez al bus de direcciones del microprocesador decodifica las direcciones comprendidas entre las posiciones de memoria D000 y FFFF (en código hexadecimal), las ocho salidas de datos de todas las memorias ROM -5- se conectan a los buffers del bus de datos del microprocesador. Las ROM -5- poseen tres entradas de selección para permitir su conexión. CS1 y CS3 ambas activas a nivel bajo se conectan al circuito de selección -6- 74LS138 ya mencionado anteriormente. Por otro parte CS2 que es activa a nivel alto se conecta a una resistencia que lo une al positivo de alimentación y también a los conectores de periféricos -7-. De esta for-

ma los periféricos pueden inhibir la memoria ROM -5- for-
zando un estado bajo en esta línea.

Como sistema principal de almacenamiento se usa
una memoria RAM -2- de 48 KBYTES construída en torno a cir-
5 cuítos integrados de RAM dinámica de 16K x 1 bits (E3-E10,
D3-D10, C3-C10 Fig. 3). Esta memoria se utiliza tanto por
el microprocesador -1- como por el generador de video. El
microprocesador -1- lee o escribe en memoria RAM -2- sólo
durante el ciclo de reloj 02 y el circuito de generación
10 de video realiza el refresco de la pantalla solo durante
el ciclo 01.

Tres circuitos integrados -8- del tipo 74LS153
(E11, E12, E13 fig. 4), un circuito integrado -9- del tipo
74LS283 y la mitad de un circuito integrado -10- 74LS257
15 constituyen el multiplexor del bus de direcciones de la me-
moria RAM. Este circuito parte de las señales de selección
de dirección generadas por el microprocesador y el genera-
dor de video y las multiplexa en seis líneas de selección
de dirección de la RAM. Las otras líneas de selección RAS
20 y CAS son generadas por el circuito de selección de RAM.

Este circuito esta construído en torno a dos circuitos in-
tegrados -11- del tipo 74LS139 (E2, F2 Fig. 4), la mitad de
un circuito integrado del tipo 74LS153 (C1 fig. 4) y otro
circuito integrado del tipo 74LS257 mas la mitad de otro
25 del mismo tipo. Este circuito dirige las señales a cada co-

luma de RAM.

Las pastillas de memoria dinámica se refrescan automáticamente durante el ciclo 01 por medio del generador de video. Este lee la memoria para refrescar la pantalla 50 veces por segundo.

Como consecuencia de esta acción se refresca automáticamente cada bit de los 48 KBYTES de RAM. Esto en conjunción con la compartición de los ciclos de acceso entre el microprocesador y el generador de video, permite que las tres funciones puedan realizarse sin interferencias.

Las líneas de entrada de datos de la RAM se conectan directamente al bus de datos del sistema. Las líneas de salida de datos son controladas por dos circuitos integrados 74LS174 -12- de tipo LATCH (fig.3), multiplexadas con las siete líneas de datos procedentes del teclado. Estas salidas "lacheadas" de la RAM se conectan directamente al generador de video y por intermedio de dos circuitos integrados -13- 74LS257 (fig. 3) se conectan también al bus del sistema.

La fuente de alimentación es del tipo conmutado, particularmente diseñada para proveer alimentación a los circuitos integrados que componen el microordenador.

La fuente de alimentación es autoexcitada y por lo tanto no emplea un oscilador auxiliar.

Un circuito de inicialización reinicialización pro

vee una protección contra fallos. Para ello se emplea un montaje simple de detección de sobretensiones. Asimismo se emplea un bobinado primario adicional para proveer protección en las condiciones de funcionamiento en vacío.

5

Las fuentes de alimentación continua-continua son bien conocidas, basándose en que la potencia es transferida del primario al secundario del transformador después de que la corriente ha cesado en el primario. La regulación del voltaje de salida se consigue controlando la cantidad de energía almacenada en el campo magnético mediante el control de la corriente de pico en el primario por medio de un transistor de potencia. En las fuentes autoexcitadas se utiliza normalmente un oscilador auxiliar para comenzar las oscilaciones. En este caso se emplea un circuito de arranque-rearranque constituido exclusivamente por componentes pasivos que lo confieren mayor fiabilidad, además este circuito proporciona una excelente protección contra fallos.

10

15

20

Uno de los problemas que se presentan en las fuentes de alimentación que emplean el transformador consiste en la potencia disipada debido a las pérdidas producidas por la inductancia dispersa, la capacidad parásita y el coeficiente de acoplamiento que no llega a ser la unidad.

25

Parte de la potencia se disipa en el transistor de potencia que controla la corriente en el primario, en el diodo recuperador, etc. Esto expone a los componentes a se-

veras sobrecargas en algunos casos, mas aún cuando ocurre una condición de fallo tal como la falta de carga o el secundario abierto. Toda la energía almacenada se debe disipar en el primario. En la fuente de alimentación descrita se emplea un bobinado auxiliar que recupera una parte esencial de la energía no transferida devolviéndola al primario.

La fuente de alimentación incluye al menos un bobinado primario y un bobinado secundario. El primario se conecta entre el colector del transistor de potencia y la fuente de potencia, el dispositivo de arranque se acopla al emisor del transistor de potencia que inicia las oscilaciones causando un flujo de corriente relativamente bajo a través del susodicho emisor.

En el presente circuito el dispositivo de arranque consta de un condensador en serie con una resistencia a los que se les aplica la tensión negativa de la línea de corriente alterna.

Cuando ocurre un fallo que causa la desaparición de las oscilaciones en la fuente, el circuito de arranque intenta recomenzar dichas oscilaciones. Aun cuando el fallo permanezca los intentos de relanzar las oscilaciones no dañan la fuente pues la corriente producida por el circuito de arranque es baja. A continuación se describe una fuente de alimentación especialmente diseñada para la alimentación del microordenador. En la descripción se omiten algunos de-

talles por ser bien conocidos en este tipo de circuitos mientras que otros son completamente detallados en orden a una mejor comprensión del circuito.

5 Refiriéndonos a la Fig. 8, el transformador -14- incluye varios bobinados primarios -15-, -16-, -17- y -18- y varios secundarios -19-, -20-, -21-, -22- y -23-. El bobinado primario -15- transfiere energía desde la fuente continua primaria al campo magnético del transformador. El bobinado parásito -16- tiene el mismo número de vueltas que el -15- por razones que se detallarán posteriormente. El bobinado -17- se emplea para proveer un potencial de control con el cual regular la corriente en el bobinado -15-. El bobinado de realimentación -18- provee una realimentación positiva al transistor de potencia -24-.

10 15 Los bobinados secundarios -19-, -20-, -21-, -22- y -23- incluyen unos diodos rectificadores -25- que aseguran que la corriente fluye en los bobinados secundarios solamente en el período de reposo, para producir la salida de corriente continua.

20 En este circuito se emplea un transformador de entrehierro, siendo la anchura de este entrehierro de aproximadamente 0,0028 pulgadas.

25 Con esta distancia casi toda la energía del campo magnético se almacena en el entrehierro en vez de hacerlo en el núcleo.

La corriente continua en el primario se deriva de una línea de corriente alterna a través de un filtro de línea y el puente de diodos -26-. La salida de este puente de diodos proporciona una tensión continua positiva en la línea -27-. Esta tensión continua se conecta a un extremo del bobinado -15-. El otro extremo de este bobinado -15- se conecta al colector del transistor -24-.

Como se describirá mas detalladamente, el transistor -24- se utiliza para controlar el flujo de corriente en el bobinado -15-. La línea -27- también se conecta al colector del transistor -24- a través de la resistencia -28- y el condensador -29-.

El bobinado parásito -16- tiene uno de sus extremos conectado a la línea -27- a través del diodo -30-. Este mismo extremo está también conectado al colector del transistor -24- a través del condensador -31- y la resistencia -32-. El otro extremo del bobinado -16- está conectado al nudo de tierra -33-.

El circuito de arranque está constituido por la resistencia -34-, de un valor relativamente alto, en serie con el condensador -35-, entre el emisor del transistor -24- y el nudo de tierra -30-. El condensador -35- se encarga por la porción negativa de la corriente alterna a través de un circuito de carga. El acoplamiento a la fuente de corriente alterna se obtiene a través del condensador -36- y la re

sistencia -37-. Un extremo de la resistencia -37- se conecta mediante el diodo -38- al nudo de tierra -30-. Esta resistencia también se conecta al emisor del transistor -24- a través de la resistencia -39-. El emisor del transistor -24- se acopla al nudo de tierra a través del condensador -40-, proporcionando un desacoplo de alta frecuencia. La corriente principal de emisor durante las oscilaciones normales circula a través del diodo -41- y las resistencias -42- y -43-.

10 La regulación de la tensión de salida se obtiene controlando el tiempo de bloqueo del transistor -24- mediante el circuito activo de bloqueo formado por los transistores -44-, -45-, y -46-.

15 El transistor -41- compara la tensión de salida con la referencia proporcionada por el diodo ZENER -48-, compensado en temperatura por los diodos -49- y -50-. El resultado de la comparación se realimenta mediante el fotodiodo -51- que a su vez está acoplado ópticamente con el fototransistor -46-, regulando de esta manera la tensión de salida.

20

El circuito formado por el tiristor -52- y el diodo ZENER -53- sirve para proteger al ordenador contra sobretensiones.

25 El circuito de arranque está formado por los condensadores -35- y -36-, las resistencias -34-, -37- y -39-

y los diodos -38- y -41-. Este circuito proporciona en reposo una tensión negativa al emisor del transistor -24-, forzando su paso a conducción. Debido a la elevada ganancia de potencia de este transistor, y a la red de realimentación positiva, a través del bobinado -18-, se produce el arranque de las oscilaciones. Una vez producido el arranque la tensión en el emisor del transistor -24- pasa a ser ligeramente positiva quedando inactivo el circuito de arranque.

10 El circuito de regulación está formado por los transistores -44- y -45-, que controlan el bloqueo del transistor -24- cuando comienzan las oscilaciones. Este circuito detecta tanto las variaciones de la corriente alterna como la tensión continua de salida. Lo primero se logra mediante una realimentación local a través de la tensión desarrollada en el bobinado -17-.

20 En la etapa de salida de la fuente, el transistor -47- compara la tensión de referencia desarrollada por el ZENER -48- con su propia tensión de emisión, la tensión de emisor es función de la tensión de salida en la línea -54-. El resultado de esta comparación determina la cantidad de corriente que circula por el fotodiodo -51-, que a su vez regula las características del fototransistor -46-. Este transistor controla el punto de bloqueo del transistor -24-.

25

La fuente de alimentación descrita proporciona las tensiones de +5V., +12 V., -12V. y -5 V. necesarias para el funcionamiento del microordenador, protegiendo además a este contra las condiciones de fallo mas frecuentes.

5 El teclado incorporado está construido en torno a un circuito integrado -55- del tipo MM5470 (ROM decodificadora de teclado). Las entradas a dicha ROM, de la patilla a la 12 y de la 22 a la 31 están conectadas a la matriz de interruptores de las teclas del teclado. Las salidas de dicha ROM están amplificadas por un circuito integrado -56- del tipo 7404 (buffer) y conectadas a la placa principal a través de un conector. El decodificador de teclado efectúa un barrido rápido de la matriz de teclas buscando una que esté presionada. Esta acción de barrido es controlada por un oscilador de frecuencia libre constituido por tres secciones -57- del circuito integrado 7400. La rapidez de dichas oscilaciones está controlada por el condensador -58- y por las resistencias 59- y -63- situados en la placa del circuito impreso del teclado.

20 La tecla RPT está conectada a un circuito temporizador -61- 555. Este circuito integrado, el condensador y tres resistencias generan una señal de repetición de 10 Hz.

Los datos procedentes del teclado van directamente a los multiplexores y "latches" de la memoria "RAM" (dos circuitos integrados -13- del tipo 74LS257. La línea Strobe

del conector del teclado posiciona la báscula -62- 74LS74. Cuando el selector de entrada-salida activa su línea cero el dato que esta presente en las siete entradas del conector del teclado y el estado de la báscula de Strobe son multiplexados en el bus de datos.

En la pantalla de video se representan 192 líneas agrupadas en 24 filas de ocho líneas cada una. Cada fila representa parte o todo el contenido de cuarenta bytes de memoria.

El circuito de generación de video obtiene sus señales de sincronización y temporización por medio de una cadena de contadores -63- del tipo 74LS161 (fig.2), estos contadores generan 15 señales de sincronismo:

H0 H1 H2 H3 H4 H5

V0 V1 V2 V3 V4

VA VB VC

La familia de señales "H" constituye la posición horizontal del byte en la pantalla en el rango binario 000000-100111. Las señales V0 a V4 constituyen la posición vertical de la fila en la pantalla. Las señales VA VB VC corresponden a la posición vertical de la línea dentro de la fila.

Estas señales se envían al multiplexor de direcciones -8- -9- y -10- de la RAM -2- que a su vez las convierte en la dirección de una posición de memoria depen

diendo del modo de presentación seleccionado por los interruptores spot.

El multiplexor de RAM envía esta dirección al conjunto de la memoria durante el ciclo de reloj ϕ_1 .

5 Los "latches" que memorizan el dato procedente de la RAM envían este al circuito de generación de video. El circuito integrado -9- 74LS283 (Fig.4) por su parte, dirige la dirección de memoria de tal forma que coincida con la presentación en la pantalla.

10 Si la zona explorada para la presentación en la pantalla contiene un caracter de texto entonces el generador de video envía los seis bits mas bajos del dato al generador de caracteres -64- del tipo 2513. Las siete columnas de cada caracter son muestreadas por medio de las se-
15 ñales VA VB VC y la salida del generador de caracteres se serializa para convertirla en una cadena de puntos por medio del circuito integrado -65- 74166. Esta cadena se envía a una puerta or exclusive -66-, quien los convierte si el bit alto del dato esta en off y cada uno de los seis bits
20 esta en esta bajo o la salida del temporizador -67- 555 (fig. 6) esta alta. Esto permite reproducir caracteres en modo inverso o en modo flahs. La cadena de bits se envía entonces al selector multiplexor de video.

25 Si en el computador se ha seleccionado el modo gráfico entonces el dato procedente de la RAM se envía a dos

registros de desplazamiento -68- del tipo 74LS194, quienes proceden a su serialización enviándolo posteriormente al selector multiplexor de video.

5 El multiplexor -69- del tipo 74LS257 efectúa la selección entre gráficos del alta resolución y color.

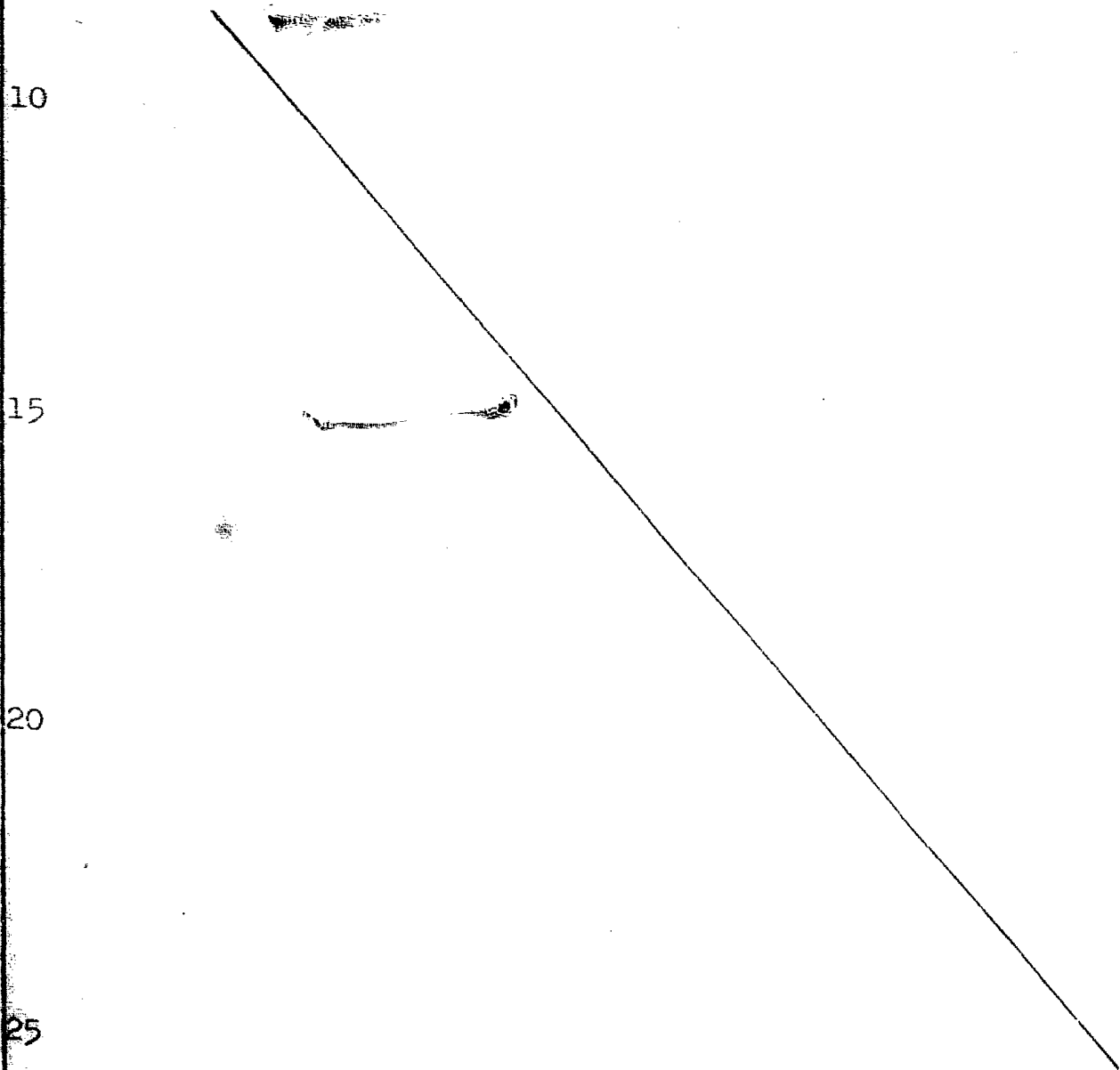
Los datos serializados son retardados medio ciclo de reloj por medio del circuito integrado 74LS74 si el bit alto del byte está a nivel alto. Esto produce la alternancia de color en el modo gráfico de alta resolución.

10 El selector multiplexor de video mezcla las dos cadenas de datos procedentes de las fuentes mencionadas anteriormente de acuerdo con la posición de los interruptores soft de video.

15 Los circuitos integrados -68- 74LS194 y -70 74LS-151 (fig. 6) seleccionan cada una de las cadenas para texto, gráficos en color o gráficos en alta resolución dependiendo del modo de pantalla seleccionado. La salida serie final se mezcla con la señal de sincronismo y el burst de color proporcionados por el circuito generador de sincronismos de video, dando lugar a la señal de video compuesta
20 que se envía a los conectores de salida.

25 Los interruptores soft de video que controlan los modos de video se decodifican como parte de las funciones de entrada salida. Las puertas lógicas -71- (fig. 5) se usan como control de los distintos modos de video. La se -

ñal de burst de color se crea mediante estas puertas lógicas -71- y está condicionada por la resistencia -72-, la bobina -73-, el condensador -74- y el trimer -75-. Este trimer -75- permite variar el tintado de color producido en la pantalla. El transistor -76- y la resistencia -77- eliminan el burst de color cuando se presenta texto.



ñal de burst de color se crea mediante estas puertas lógicas -71- y está condicionada por la resistencia -72-, la bobina -73-, el condensador -74- y el trimer -75-. Este trimer -75- permite variar el tintado de color producido en la pantalla. El transistor -76- y la resistencia -77- eliminan el burst de color cuando se presenta texto.

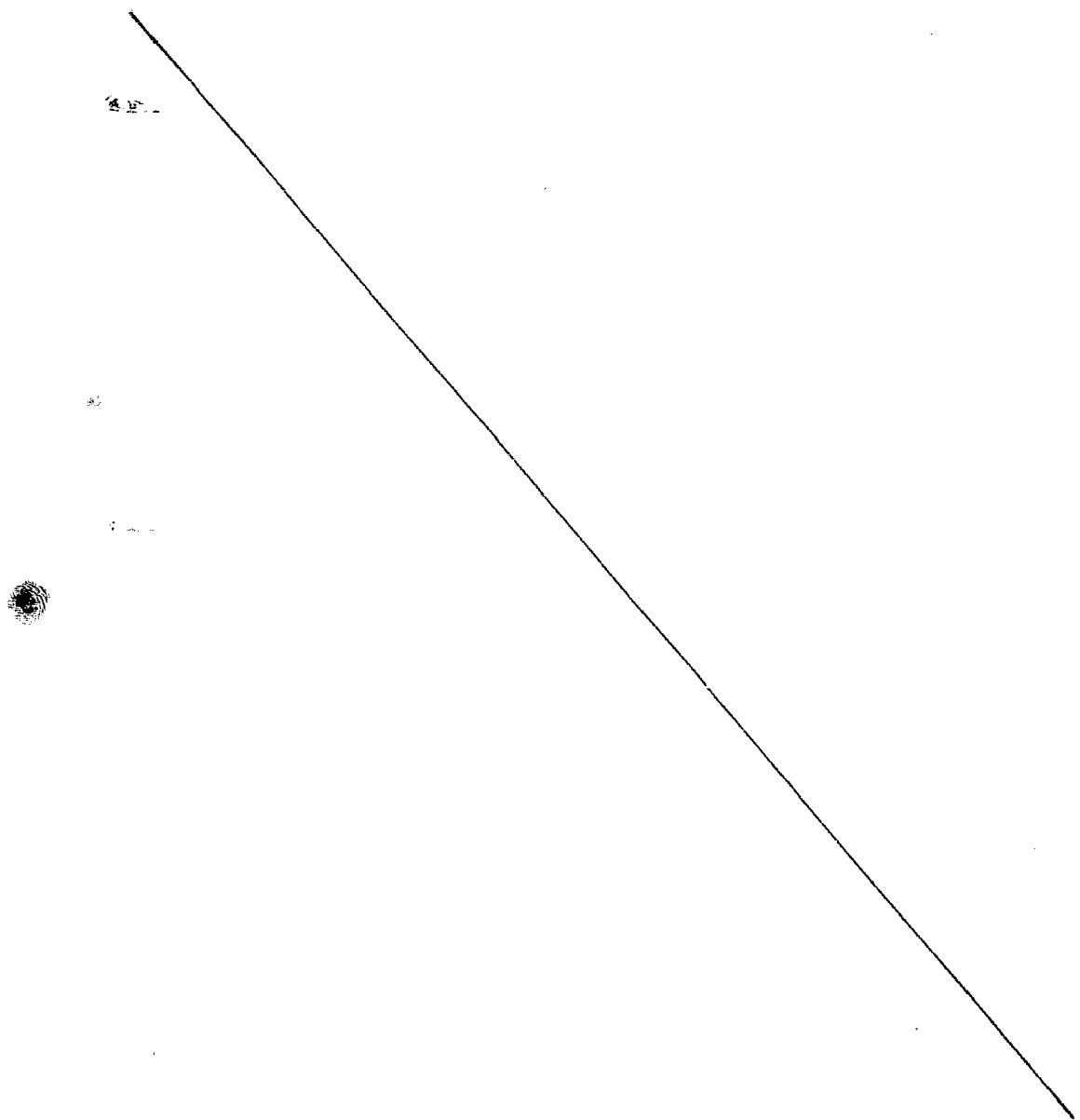
5

10

15

20

25



REIVINDICACIONES

5 1a.- MICROORDENADOR NUMERICO, que estando consti-
tuído a partir de una fuente de alimentación, una Unidad
Central de Proceso, una memoria de acceso directo (memoria
RAM), un bus de direcciones interconectando dicha unidad
central con dicha memoria RAM de tal forma que la menciona-
da unidad central pueda direccionar emplazamientos dentro
de la dicha memoria RAM, un reloj de dos fases O1 y O2, un
bus de datos interconectando la unidad central de proceso y
10 la memoria RAM, una Memoria muerta (memoria ROM) interconec-
tada al mencionado bus de direcciones y al mencionado bus
de datos, un generador de video, un dispositivo de visuali-
zación que permita presentar la información elaborada por
el microordenador en un monitor standard, bien sea en forma
de texto o en forma de gráficos, esencialmente se caracteri-
15 za por poseer un mecanismo que permite compartir la memoria
RAM entre la mencionada unidad central de proceso y el men-
cionado dispositivo de visualización sin interferirse mutua-
mente, existiendo una línea de conexión a los conectores de
periféricos de tal forma que los citados periféricos puedan
inhibir el funcionamiento de dicha memoria ROM, y estando
20 la citada memoria RAM compartida entre la citada unidad Cen-
tral de Proceso y el circuito generador de video.

25 2a.- MICROORDENADOR NUMERICO, según la reivindica-
ción 1a., caracterizado porque el microprocesador solo acce

de a la citada Memoria RAM durante el ciclo de reloj O2 y el citado circuito de generación de video solo accede a dicha memoria RAM durante el ciclo de reloj O1, evitando de esta forma interferencias de funcionamiento entre el citado microprocesador y el citado circuito generador de video.

3ª.- MICROORDENADOR NUMERICO, según la reivindicación anterior caracterizado además por incorporar un multiplexor que efectúa la multiplexión del citado bus de direcciones para direccionar la citada memoria RAM.

4ª.- MICROORDENADOR NUMERICO, según las reivindicaciones anteriores que se caracteriza por llevar incorporado un teclado.

5ª.- MICROORDENADOR NUMERICO, según reivindicaciones anteriores, caracterizado porque las líneas de salida de datos de la citada memoria RAM son multiplexadas con las procedentes del teclado.

6ª.- MICROORDENADOR NUMERICO, según reivindicaciones anteriores, caracterizado por incorporar una memoria ROM decodificadora del mencionado teclado, dicha ROM muestra los interruptores que forman el mencionado teclado determinando si hay alguna tecla presionada en cuyo caso genera el código correspondiente a la citada tecla.

7ª.- MICROORDENADOR NUMERICO, según la reivindicación 6ª.-, caracterizado porque la mencionada memoria ROM está controlada por un oscilador de frecuencia libre.

8ª.- MICROORDENADOR NUMERICO, según la reivindicación anterior, caracterizado porque el mencionado teclado posee una tecla de repetición.

5 9ª.- MICROORDENADOR NUMERICO, según la reivindicación 8ª., caracterizado porque la mencionada tecla de repetición de dicho teclado está conectada a un circuito temporizador que determina la frecuencia de dicha repetición.

10 10ª.- MICROORDENADOR NUMERICO, según reivindicaciones anteriores, cuyo dispositivo de visualización comprende:

- Un dispositivo de referencia de tiempo para proveer una señal de referencia de color para dicho monitor de video.
- Un dispositivo de sincronización horizontal para proveer señales de sincronismo horizontal para dicho monitor de video estando el mencionado dispositivo de sincronismo acoplado a dicho dispositivo de referencia de tiempo de tal forma que dicha señal de sincronismo sea un submultiplo impar de dicha señal de referencia de color.
- Un dispositivo de compensación de tiempo acoplado al mencionado dispositivo de referencia de tiempo, y a dicho dispositivo de sincronización horizontal, para ajustar dicha señal de sincronismo horizontal, de tal forma que dicha señal de sincronismo horizontal este en fase con dicha señal de referencia de color para que los gráficos de color esten bien definidos en dirección vertical del tubo de rayos catódicos.

20

25

11^a.- MICROORDENADOR NUMERICO, según reivindicaciones anteriores, cuyo mencionado dispositivo de sincronización horizontal comprende un contador digital.

5 12^a.- MICROORDENADOR NUMERICO, según la reivindicación 11^a., cuyo mencionado dispositivo de compensación de tiempo retarda periódicamente la cuenta de dicho contador.

10 13^a.- MICROORDENADOR NUMERICO, según reivindicación 12^a., cuya mencionada señal de referencia de color es de una frecuencia aproximada de 3.58 Mhz. y cuya mencionada señal de sincronismo horizontal es de una frecuencia aproximada de 15.734 Hz.

14^a.- MICROORDENADOR NUMERICO, según reivindicaciones anteriores, cuyo circuito de temporización comprende:

- Un contador de sincronismo horizontal.
- 15 - Un dispositivo de referencia de tiempo para sincronizar dicho contador y para proveer una señal de referencia de color cuya frecuencia sea un múltiplo impar mayor que la velocidad con que la mencionada cuenta ocurre en dicho contador.
- Un dispositivo para retardar la cuenta en dicho contador cuando la cuenta en el mencionado contador alcanza un determinado valor. Dicho dispositivo de retardo acopla dicho contador de sincronismo horizontal y dicho dispositivo de referencia de tiempo, por lo cual unos gráficos en color de buena definición son leídos, almacenados y presentados en el
- 20
- 25 mencionado monitor.

15^a.- MICROORDENADOR NUMERICO, según reivindicación 14^a., que incluye un divisor digital para dividir por un número entero impar, acoplado entre el mencionado dispositivo de referencia y dicho contador.

5 16^a.- MICROORDENADOR NUMERICO, según reivindicación 15^a., cuyo mencionado divisor digital incluye un contador de registro de desplazamiento de tal forma que la carga de señales digitales en dicho registro contador se interrumpe cuando alcanza una predeterminada cuenta.

10 17^a.- MICROORDENADOR NUMERICO, según reivindicación 16^a., cuya mencionada señal de referencia de color es de una frecuencia aproximada de 3.58 Mhz.

15 18^a.- MICROORDENADOR NUMERICO, según reivindicaciones anteriores, caracterizado porque la fuente de alimentación es del tipo conmutado y autoexcitado.

19^a.- MICROORDENADOR NUMERICO, según la reivindicación 18^a., caracterizado porque la citada fuente de alimentación posee un circuito de inicialización/reinicialización para proveer una protección contra fallos de tensión.

20 20^a.- MICROORDENADOR NUMERICO, según la reivindicación 19^a., caracterizado porque la citada fuente de alimentación incorpora un transformador, el cual posee un bobinado primario auxiliar para proveer protección en caso de sun cionamiento en condiciones "no carga" o vación de la citada
25 fuente.

21ª.- MICROORDENADOR NUMERICO, según reivindicaciones 16ª. a 20ª., caracterizado porque la citada fuente de alimentación incorpora un circuito regulador de tensión, que controlando el bloqueo del transistor de potencia de la citada fuente mantiene la tensión de salida de dicha fuente estable ante variaciones de carga y de la tensión de entrada.

22ª.- MICROORDENADOR NUMERICO.

La presente memoria consta de 25 hojas foliadas, mecanografiadas por una sola de sus caras a doble espacio y de 8 hojas de dibujos.

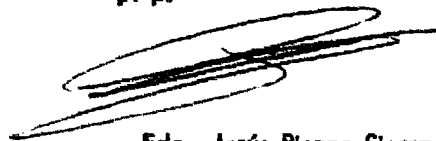
Madrid, 27 JUL. 1983

Philippe Bolioua Cohen

p. a.

JUAN JOSE ALONSO YAGÜE

p. p.



Fdo.: Jesús Picazo Sierra

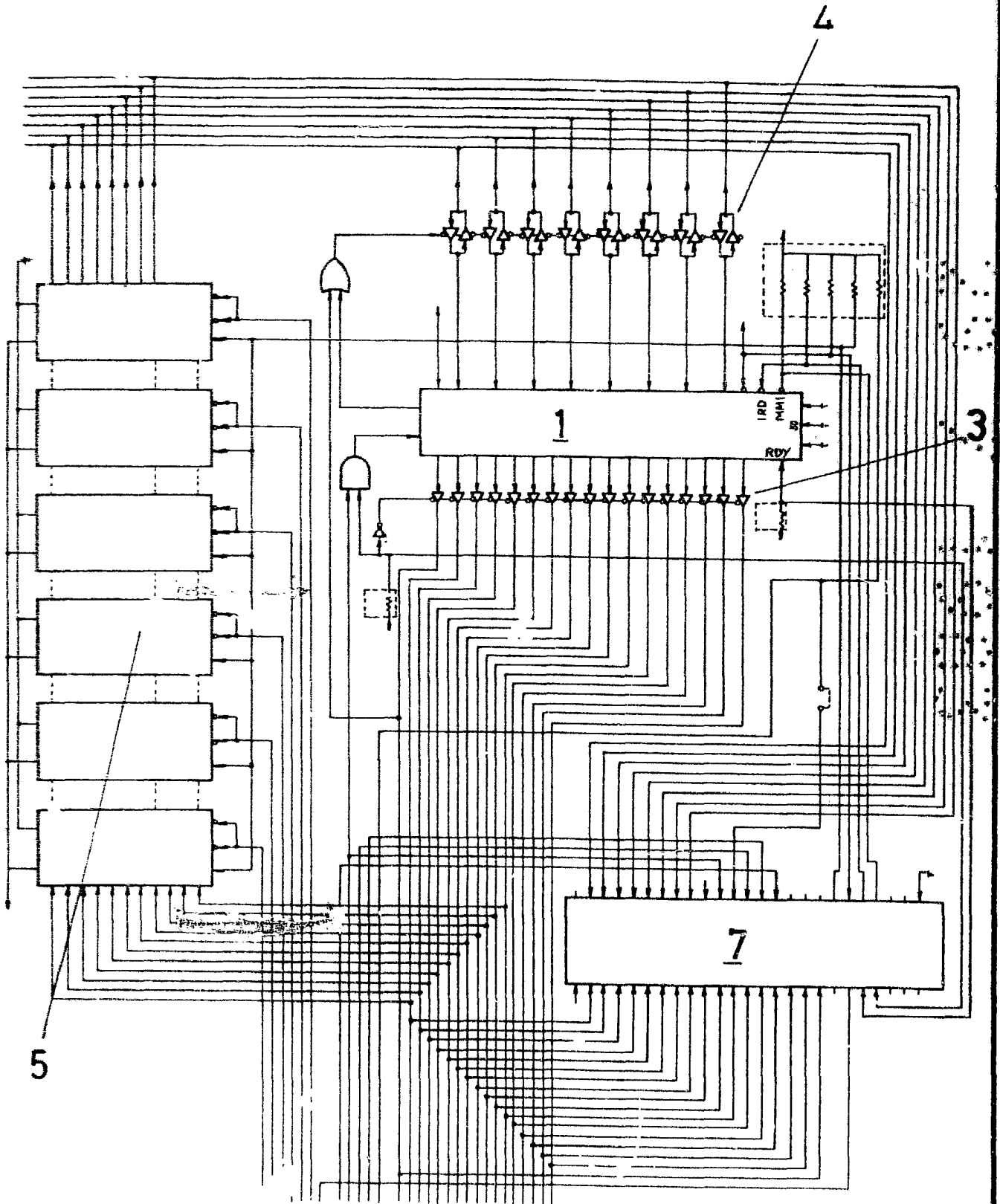


FIG. 1

ESCALA VARIABLE

MADRID **1** JUL. 1983
Philippe Halioua Cohen
p. a.

JUAN JOSE ALONSO YAGUE
P. pr

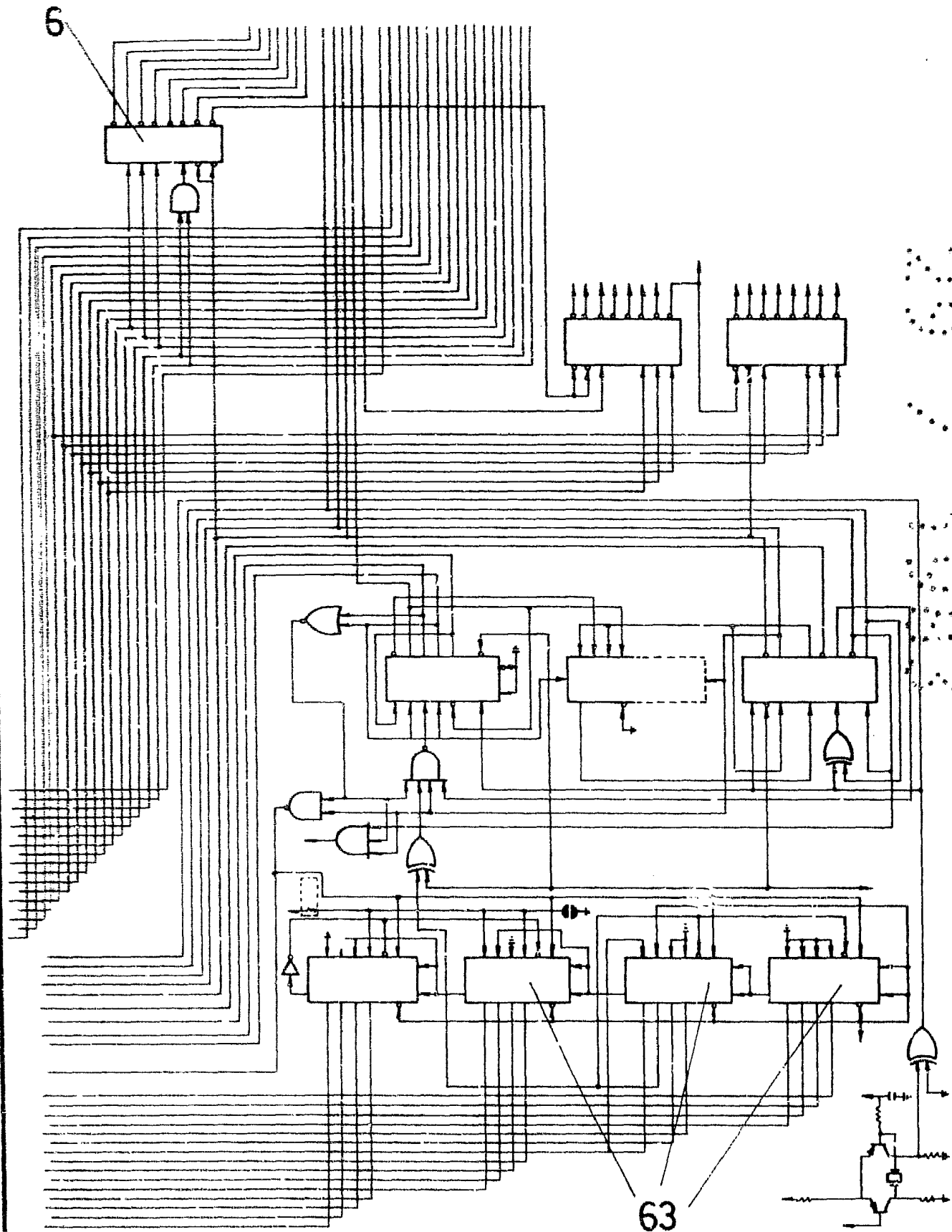


FIG. 2

MADRID JUL. 1983

Philippe Halioua Cohen
p. a.

JUAN JOSE ALONSO YAGÜE

P. P.

ESCALA VARIABLE

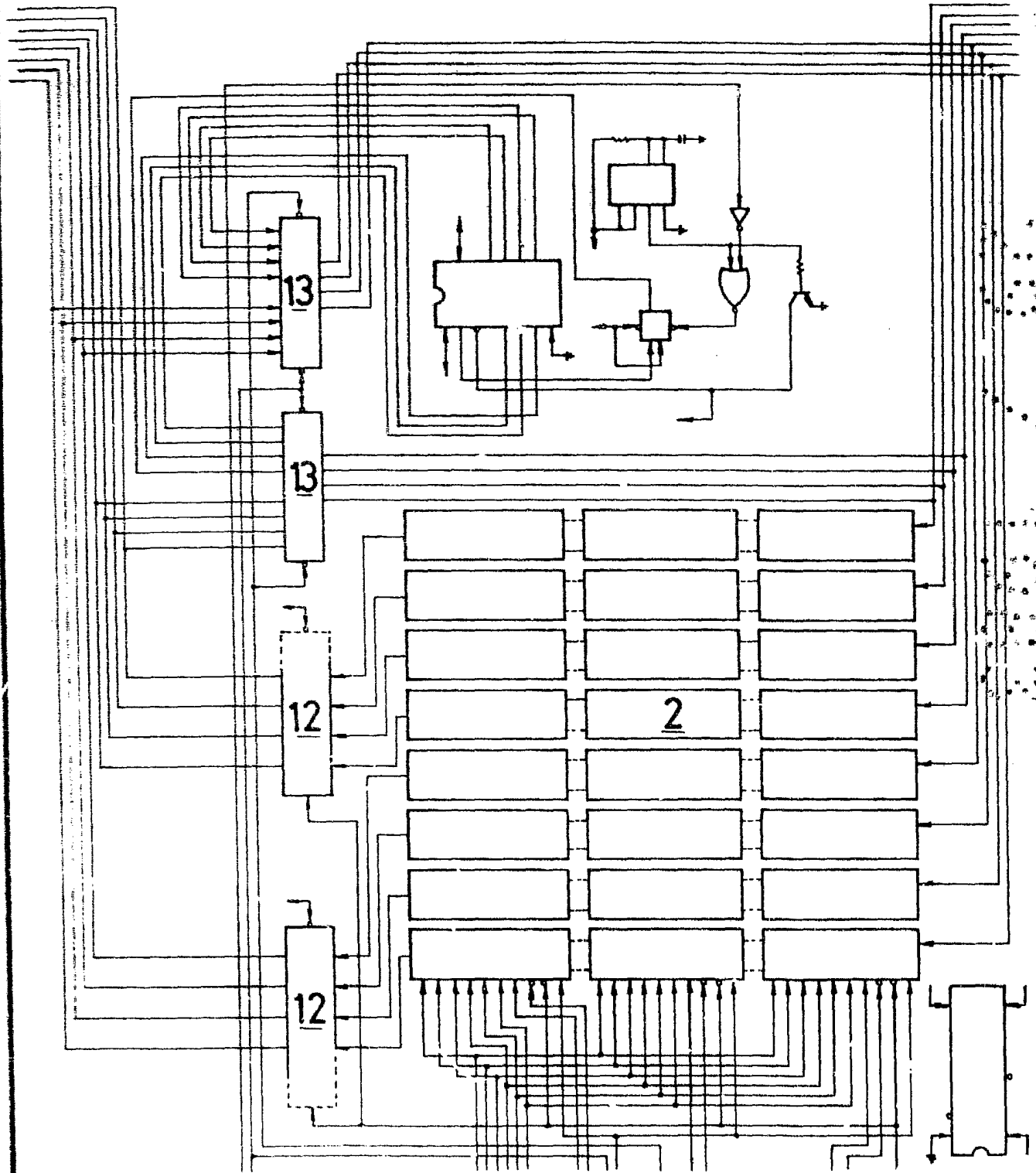


FIG. 3

MADRID 1 JUL. 1983

Philippe Halioua Cohen
p. a.

JUAN JOSE ALONSO YAGÜE

P. P.

ESCALA VARIABLE

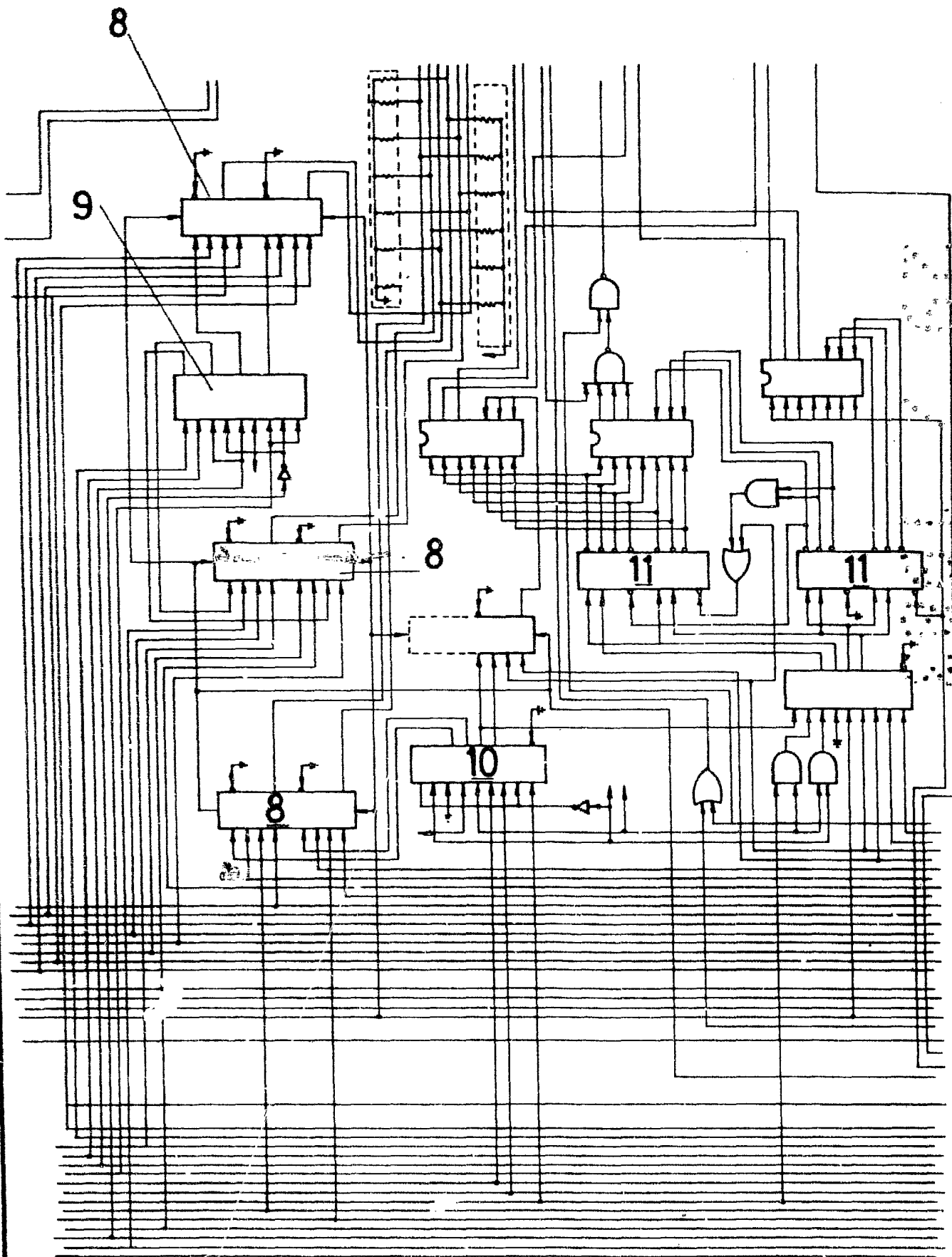


FIG. 4

ESCALA VARIABLE

MADRID 1 JUL. 1983

Philippe Haloua Cohen
p. a,

JUAN JOSE ALONSO YAGÜE

p. p.

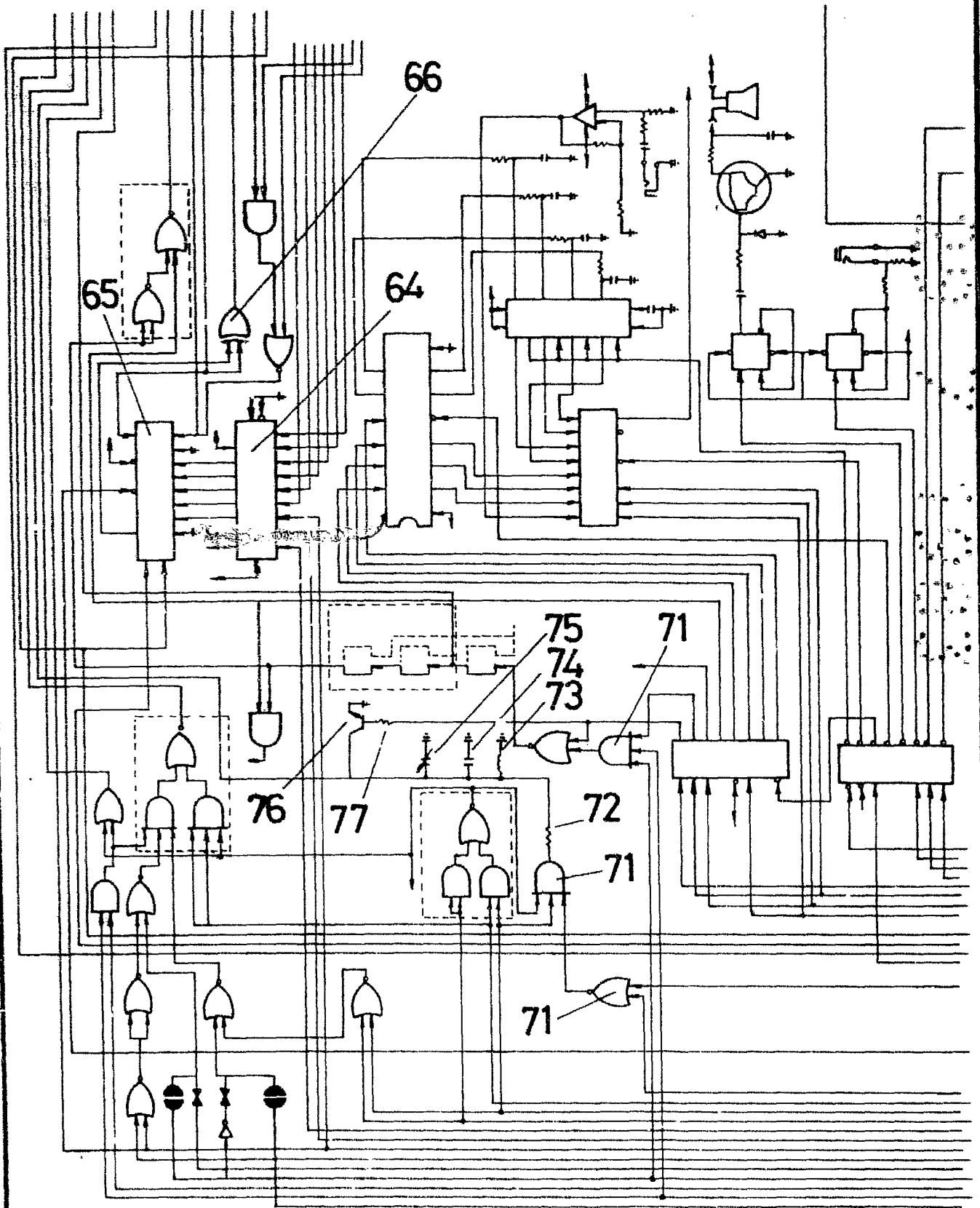


FIG. 5

ESCALA VARIABLE

MADRID 1 JUL. 1983
Philippe Halioua Cohen
p. a.

JUAN JOSE ALONSO YAGUE

D. P.

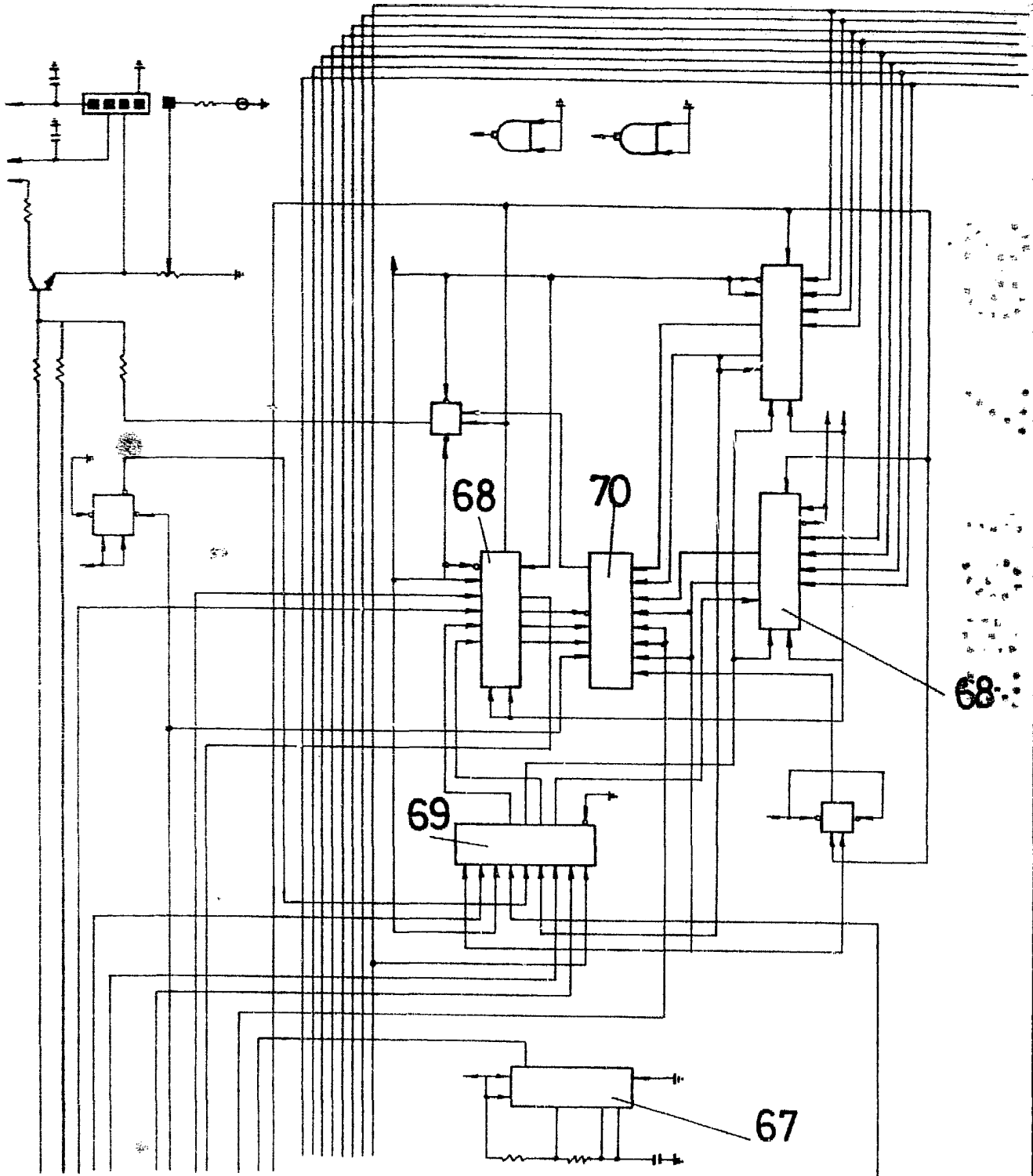



FIG. 6

ESCALA VARIABLE

MADRID  1 JUL. 1983
Philippe Halioua Cohen
p. a.

JUAN JOSE ALONSO YARDE
~~P. P.~~

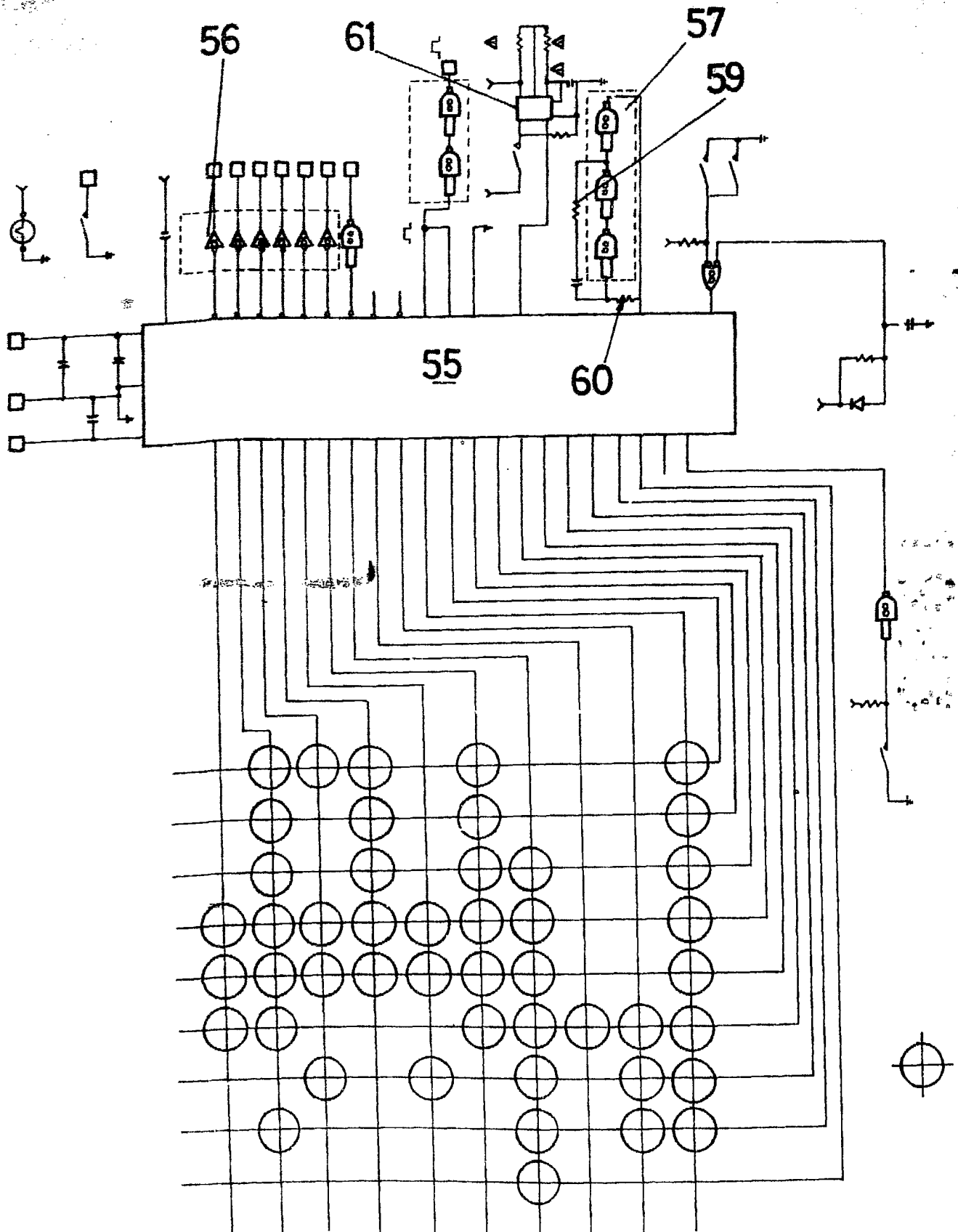


FIG. 7

ESCALA VARIABLE

MADRID **31** JUL. 1983
Philippe Halioua Cohen
p. a.
JUAN JOSE ALONSO YAGUE
R. P.