

NO.

270372

12 AGO.



PATENTE DE INVENCION

a favor de

WESTERN ELECTRIC COMPANY, INCORPORATED - de nacionalidad
norteamericana - domiciliada en NEW YORK (E.U.) 195 Broadway

por:

"RECEPTOR DE SEÑALES"

-----:oOo:-----

Memoria Descriptiva

Este invento se refiere a receptores de señales para convertir varias señales entrantes de distintas frecuencias en una señal saliente de corriente continua, y aplicar ésta a puntos correspondientes entre varios puntos de salida,

270372

12 AGO



de acuerdo con las frecuencias de las señales entrantes pre-
citadas.

Un ejemplo de sistema de señales de frecuencia múltiple emplea señales engendradas de conformidad con la clave de multifrecuencia 4x4, que pueden tener origen en un pulsador de subestación telefónica, por ejemplo. La señal cifrada comprende combinaciones elegidas de rachas ditónicas coincidentes, y cada combinación comprende un tono de una banda de frecuencias relativamente altas y otro de una banda de frecuencias relativamente bajas. Las señales cifradas de frecuencia múltiple del tipo indicado se describen con más amplitud en el número de enero de 1960 de Bell System Technical Journal, 39 B.S.T.J. 235.

En un sistema telefónico que utilice esas señales, el equipo de la estación central comprende un receptor que convierte cada par de tonos en señales de corriente continua, y se emplean de ordinario combinaciones adecuadas de estas señales para iniciar el funcionamiento del equipo de conmutación de la central.

Un problema continuo de los equipos receptores del tipo indicado es la producción de señales salientes de aparente validez en respuesta a señales entrantes falsas, que pueden comprender, por ejemplo, palabras y ruidos. Aunque se han aplicado a receptores de señales ya conocidos diversas combinaciones de pruebas de validez de señales, el esquema utilizado es innecesariamente complejo, y los resultados no son del todo satisfactorios. Por eso, un objeto específico de este invento es evitar que un receptor de señales de frecuencia múltiple funcione a causa de señales entrantes falsas.

270372

12 AGO



De acuerdo con el presente invento, se disponen medios que responden a una duración determinada de la coincidencia entre el grupo de señales entrante para engendrar una señal de tiempo; medios que responden a esa señal para almacenar la identidad de frecuencia de cada una de las señales entrantes, cualquiera que sea el momento de terminar estas; medios que responden a la señal de tiempo para impedir la conversión de entradas, aparte del grupo citado de señales entrantes; mientras dure la señal de tiempo, y medios que responden a la señal de tiempo para aplicar una señal saliente a los puntos de salida que corresponden a la combinación de frecuencias de la citada serie de señales entrantes.

Una forma de realización del invento emplea un circuito de prueba de coincidencia y duración de señales, el cual, en combinación con circuitos sintonizados y conexiones lógicas de comprobación, impone una revisión de validez a las señales entrantes, las cuales, para ser reconocidas como válidas, no solo deben caer dentro de bandas de frecuencia seleccionadas de antemano, sino también coincidir en tiempo durante un periodo de duración prefijada. La validez de frecuencia de cada componente de una señal entrante se comprueba examinando la tensión a través de los circuitos sintonizados. Esta revisión se denomina en adelante "función detectora". Las pruebas de duración y validez se efectúan en impulsos de corriente continua derivados al efectuar la función detectora. Al terminar las dos pruebas de validez, o sea de frecuencia y de duración de coincidencia, pueden no subsistir los tonos entrantes, y si no existe función acumulativa o de memoria, puede perderse la identidad de frecuencia de los tonos. La identidad de tonos entrantes se acumula o almacena

270372

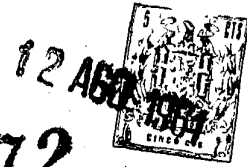


combinando las funciones detectoras y de salida del receptor. Más concretamente, la etapa detectora y la etapa de salida para cada canal de frecuencia, que pueden comprender, por ejemplo, dos transistores, primero y segundo respectivamente está interconectadas para formar varios multivibradores compensados biestables. El multivibrador compensado en un canal activo pasa al estado "de salida" si concurren dos condiciones: primera, una entrada procedente de uno de los circuitos sintonizados selectivos; y segunda, potencia disponible para el emisor del transistor de salida. La potencia para los emisores de todos los transistores de salida se obtiene de un circuito activador, que a su vez es accionado por la salida de un sincronizador en el circuito de prueba de coincidencia. Pero una vez que el multivibrador compensado pasa al estado de salida, persiste en el mismo mientras esté presente la salida sincronizada del activador, con lo que se retiene la identidad del canal operante, termine o no la señal de entrada durante el intervalo de salida sincronizado.

El funcionamiento de todos los detectores, salvo el activo en cada una de las dos bandas de frecuencia, se inhibe mientras dura cada señal saliente, lo cual proporciona una protección suplementaria contra entradas falsas. La función inhibitoria puede confiarse a un circuito de inhibición que, en respuesta a una salida del activador, eleva la polarización del emisor de los transistores detectores a un nivel que excluye todos, menos los dos que derivan sus corrientes de base de sus parejas de salida.

La detección continua de una señal, después de terminado el intervalo sincronizado de salida, no se deja

270372



convertir en repetición de la señal saliente. Esto se logra mediante el circuito de prueba de duración y coincidencia, que no puede reactivarse para iniciar una segunda señal hasta que termine la primera.

5 El invento se comprendera mejor por la siguiente descripción detallada de un ejemplo de realización del mismo, referido a los planos anejos, en los cuales indican:

La figura 1, un esquema de conjunto de un receptor de señales de frecuencia múltiple, conforme al invento;

10 Las figuras 2 y 3, unidas, un esquema de conexiones del receptor representado en la figura 1;

La figura 4, un diagrama de sección de la relación entre las figuras 2 y 3;

15 La figura 5, una gráfica de ejemplos de formas de onda procedentes del circuito expuesto en las figuras 2 y 3.

20 El receptor de la figura 1 comprende un amplificador compensador -2- cuya salida se aplica a cada uno de dos filtros -1- y -5- de eliminación de banda. El filtro -4- elimina la banda de frecuencias B o relativamente bajas, y el filtro -5-, la banda de frecuencias A o relativamente altas. Las salidas de los filtros -4- y -5- deben ser de magnitud suficiente para vencer el nivel liminar de los limitadores -3- y -6-, respectivamente. La función de los limitadores -3- y -6- consiste en convertir las señales entrantes de racha tónica en una salida de onda cuadrada simétrica a la frecuencia tónica. Los circuitos selectivos o sintonizados -17- a -10- en la banda A y -11- a -14- en la banda B están sintonizados en serie, y resuenan cada uno a una frecuencia correspondiente de tono entrante. El receptor, como queda descrito hasta ahora, es en substancia de tipo

25

30

12 AGO 1958

10372

corriente.

En la red A, cada uno de los circuitos sintonizados -7- a -10- va seguido de los correspondientes detectores de coincidencia -15- a -18-. Unidades correspondientes en la red B son los detectores de coincidencia -19- a -22-. Cuando no llega señal inhibitoria del inhibidor -57-, cada uno de los detectores de coincidencia -15- a -22- puede dejar pasar una señal de su correspondiente circuito sintonizado a un detector respectivo -31- a -38-, a través de un pasadizo OR (o) respectivo -23- a -30-. En consecuencia, hablando en términos de conexiones lógicas, cada uno de los detectores de coincidencia -15- a -22- desempeña una función de AND NOR. Cada uno de los canales de las dos redes comprende además un detector de coincidencia OR respectivo -39- ó -40-, y una etapa correspondiente de salida, cada una de las cuales comprende uno de los detectores de coincidencia AND -41- a -48- y uno de los amplificadores -49- a -56-. El resto del receptor comprende unidades comunes a las redes A y B, a saber: detector de coincidencia AND -58-, circuito de prueba de duración -59-, sincronizador de salida -60-, circuito activador -61-, y amplificador de inhibición -57-. La función específica y la acción del receptor, y la relación cooperativa entre las diversas combinaciones de circuitos, pueden describirse mejor trazando el trayecto de una señal tomada como ejemplo.

Supongase ante todo que se ha aplicado una señal entrante, compuesta de dos tonos, al punto de entrada -1-. Cada uno de los dos tonos se amplifica en el amplificador común de entrada -2-. El tono de alta frecuencia queda bloqueado por el filtro -5- eliminador de banda, y el tono de



270372

baja frecuencia lo es por el filtro -4- eliminador de banda. El limitador -3- convierte el tono A o de alta frecuencia en onda cuadrada de igual frecuencia, y una función similar desempeña el limitador -6- con el tono B. Las salidas de los
5 limitadores se traducen respectivamente en una salida de un par respectivo de los circuitos sintonizados -7- a -14-, y cada circuito del par resuena a una de las frecuencias de tono entrante. Por ejemplo, los circuitos sintonizados -7- y -11- pueden producir salidas, y cada salida pasa a
10 su vez por uno de los detectores de coincidencia AND NOT -15- y -19-, y por uno de los detectores de coincidencia OR -23- y -27-, respectivamente, como entrada a uno de los detectores -31- y -35-. Los detectores están polarizados adecuadamente para crear un limen o nivel que una señal
15 entrante ha de superar antes de poderle considerar condicionalmente como válida. Después de la prueba liminar en los detectores -21- y -35-, las dos señales se aplican, por uno de los detectores de coincidencia OR -39- y -40-, al detector de coincidencia AND -53-. Las señales han de coincidir en este punto antes de poder aplicar una al circuito
20 -59- de prueba de duración. Por su parte, el circuito -59- inicia el funcionamiento del sincronizador -60- de salida solo en el caso de que la coincidencia entre las dos señales persista durante un periodo prefijado, por ejemplo, 30
25 milisegundos.

Si la prueba de coincidencia y duración es satisfactoria, se han pasado todas las pruebas requeridas, las señales entrantes se aceptan como válidas, y se inicia la fase de salida del funcionamiento del receptor.

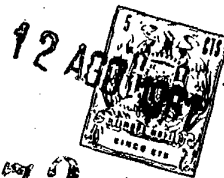
30 En respuesta a una salida del circuito -59- de

270372



prueba de duración, el sincronizador de salida -60- engendra un impulso acompasado con una duración que fija la de la señal saliente final. El problema, en este punto del funcionamiento, es aplicar una señal procedente del sincronizador -60- a uno de los detectores de coincidencia de salida -49- a -52- y a uno de los detectores de coincidencia de salida -53- a -56-, pues solo interesa una señal saliente de estos detectores de coincidencia de salida cuyos correspondientes detectores se han puesto en funcionamiento. Mientras se efectua la prueba de coincidencia y duración, en los circuitos, sintonizados hay información disponible acerca de la identidad de las frecuencias de los tonos de señal entrantes. Sin embargo, no puede presumirse que la información en los circuitos sintonizados haya de quedar necesariamente almacenada durante un tiempo apreciable despues de haber terminado las señales entrantes. Por consiguiente, si las señales entrantes terminan antes de poder aplicar la señal del sincronizador de salida -60- al par adecuado de detectores de coincidencia de salida -49- a -56-, no es posible determinar en tal momento cual par de detectores de coincidencia de salida debe emplearse.

El problema aquí esbozado se resuelve aplicando la señal de salida del sincronizador a un circuito activador -61-. El activador -61-, a su vez, activa dada uno de los detectores de coincidencia AND -41- a -48-, y los mantiene activados mientras dure la señal procedente del sincronizador de salida -60-. En una forma de realización específica del invento, se ha empleado una salida del sincronizador de -50 milisegundos de duración. Aunque están excitados todos los detectores de coincidencia AND -41- a -48-, solo pueden re-



270372

gistrar salidas de los detectores de coincidencia cuyos de-
tectores están en funcionamiento. Por tanto, en el presente
caso, funcionan los detectores de coincidencia AND -41- y
-45-, y movilizan las etapas de salida respectivas -49- y
5 -53- del amplificador. Para asegurar el funcionamiento de
las etapas de salida -49- y -53- por toda la duración de la
señal procedente del sincronizador de salida -60-, con in-
dependencia de la terminación de las oscilaciones en los
circuitos sintonizados -7- y -11-, parte de la señal salien-
10 te se devuelve a la entrada del detector correspondiente.
En consecuencia, en el presente ejemplo, en la red A se rea-
limenta una señal a la entrada de un detector -31-, por un
pasadizo OR -23-. De manera análoga, en la red B se realimen-
ta una señal a un detector -35-, por un detector de coinci-
15 dencia OR -27-. El resultado es que dos detectores de coinci-
dencia de salida, como los -49- y -53-, quedan en funcio-
namiento por toda la duración de la señal procedente del
sincronizador de salida -60-.

Por el esquema de conjunto de un receptor conforme
20 me al invento, como se representa en la figura 1, se aprecia
que una señal dítonea entrante de duración mayor que la medida
por el sincronizador de salida -60- produciría una segunda
salida de uno de los amplificadores de salida -49- a -56- al
terminar el periodo de activación. Pero esto se impide evi-
25 tando el reajuste del circuito -59- de prueba de duración,
y por ello del sincronizador de salida -60-, hasta que se
reactive uno de los detectores -31- a -33-. En la figura 1
no se excluye el medio específico empleado para impedir tal
reajuste; pero se comenta más adelante al describir las fi-
30 guras 2 y 3.

270372



Se emplea un recurso complementario para aumentar la protección contra el funcionamiento incorrecto del receptor a causa de señales falsas. Como se ha apuntado antes, los ocho detectores de coincidencia AND -41- a -48- están en funcionamiento en el periodo de activación. Si los tonos de señal entrante son muy breves, lo suficiente para poderlos reconocer, es posible que vayan seguidos de señales falsas, compuestas de palabras o ruidos cuyos componentes de frecuencia correspondan a la de resonancia de uno o más de los circuitos sintonizados -7- a -14-. Esta posibilidad suscita el peligro consiguiente de que uno o más de los circuitos sintonizados responda a una señal falsa y produzca una salida en una o más etapas de salida, además del paractivado por la señal correcta., Tal consecuencia de operaciones se impide inhibiendo la transmisión de información desde los circuitos sintonizados -7- a -14- a los detectores -31- a -38- durante el periodo de activación. Más concretamente, una parte de la salida del activador -61- se realimenta a través del amplificador de inhibición -57-, y se aplica a cada uno de los detectores de coincidencia AND NOT -15- a -22-. Mientras persista esta situación, un detector -31- ó -35- se halla efectivamente a salvo de la aplicación directa de señales entrantes, y solo puede mantenerse en actividad mediante retroalimentación desde su correspondiente amplificador de salida.

Las figuras 2 y 3 presentan conjuntamente un esquema detallado del circuito de parte del receptor representado en conjunto en la figura 1. El amplificador compensador -2- y los filtros -4- y -5- de eliminación de banda, representados en la figura 1, se han omitido en la figura 2, por-



372

que puede emplearse cualquiera de varias combinaciones de amplificadores y filtros ya conocidas. Tambien se han suprimido los pormenores del limitador -6- de la red B de la figura 1, idéntico al limitador -3- de la red A. Los bloques o unidades de equipo en las figuras 2 y 3 llevan los mismos números y símbolos empleados para sus análogos de la figura 1.

El limitador -3- consta de cuatro etapas que comprenden respectivamente los transistores -04-, -05-, -06- y -07- y sus elementos de circuito asociados. En las etapas primera y tercera los transistores -04- y -06- son amplificadores limitadores de emisor a masa, y su función primordial es producir una onda cuadrada saliente de amplitud fijada, substancialmente simétrica y uniforme dentro de un margen relativamente extenso de amplitudes y frecuencias de entrada. Los transistores -05- y -07- son etapas de seguidor de emisor, que proporcionan respectivamente una impedancia de bajo punto de inyección y una baja impedancia de salida para el transistor -06-.

Suministran la polarización la primera etapa limitadora los generadores E_1 y E_2 de corriente continua negativa, en combinación con las resistencias -R17-, -R18-, -R21-, -R22- y -R25-. Otros elementos complementarios del circuito que contribuyen al funcionamiento de la primera etapa son el diodo -D3- y el condensador #C19-, que estabilizan la tensión del emisor del transistor -04-, y el condensador -C17-, que limita la ganancia en alta frecuencia e impide así que se formen oscilaciones nolestas. Al realizar su función como limitador, el transistor -04- actua en substancia como un interruptor cuya situación operante depende de la polaridad

12 AGO.



5372

de la señal de entrada. La salida del colector del transistor -Q4-, limitada además por el diodo -D1- de doble paso, se aplica a la base del transistor -Q5- de la segunda etapa.

El colector del transistor -Q5- está polarizado directamente por el generador E_1 de corriente continua, y la polarización del emisor está suministrada por el generador E_2 de corriente continua a través de la resistencia -R27-. Como ya se ha indicado, la función primordial del transistor -Q5- es proporcionar una impedancia de bajo punto de impulsión para la segunda etapa limitadora, que es el transistor -Q6-. La salida del emisor del transistor -Q5- se aplica a la base del transistor -Q6- por medio del condensador -C23- de acoplamiento.

El funcionamiento general del transistor -Q6- como limitador, y las funciones de los elementos del circuito asociados son en substancia idénticas a las descritas antes para la primera etapa limitadora, transistor -Q4-, salvo que en la segunda etapa no hay limitación adicional de diodo, y es distinta la polarización para el transistor -Q6-. Concretamente la polarización de la base y del colector del transistor -Q6- proviene en parte de la caída de tensión a través del diodo Zener -D23- en el circuito -57- del inhibidor, por las resistencias -R29- y -R33-. En este punto, importa señalar que la caída de tensión a través del diodo -D23- se aprovecha también para polarizar el emisor de cada uno de los transistores -Q12- a -Q19-, que a su vez establecen el limen de los detectores. Empleando la misma tensión para regular la amplitud de la salida de los limitadores -3- y -6- y para fijar el limen de los transistores detectores -Q12- a -Q19-, la relación entre la tensión de salida del limitador y la tensión

270372



de reconocimiento del detector se mantiene relativamente constante, y no depende en substancia de la temperatura o de la tensión de alimentación. En consecuencia, la anchura de banda de reconocimiento asociada a los circuitos sintonizados permanece relativamente fija, sean cuales fueren los cambios de reconocimiento de los transistores detectores -Q12- a -Q19-.

La salida del colector del transistor -Q6- está acoplada a la base del transistor -Q7- por medio del condensador -C29-. Suministran la polarización de la base del transistor -Q7- los generadores E_1 y E_2 de corriente continua, que actúan a través de las resistencias -R39- y -R40-. La resistencia -R43- polariza el emisor del transistor -Q7-, y el generador E_3 polariza el colector. La salida final del limitador -3- es recogida del emisor del transistor -Q7-, y se aplica al punto común PA de los circuitos sintonizados de la red A, por mediación del condensador -C31-. Una salida correspondiente del limitador -6- de la red B se aplica al punto común PB de los circuitos sintonizados de la red B,

Cada uno de los ocho circuitos sintonizados comprende una resistencia del grupo -R75- a -R82-, una inductancia del grupo -L11- a -L18-, y un condensador del grupo -C33- a -C40-, y todos se hallan sintonizados para resonar a una de las frecuencias respectivas de señal. Cada uno de los detectores de coincidencia OR -23- a -30- de la figura 1 comprende un par respectivo de diodos -D7-, -D8- a -D21-, -D22-, y cada detector -31- a -38- de la figura 1 comprende uno de los transistores -Q12- a -Q19-.

Como se ha indicado antes, el línea de los detectores se establece polarizando los emisores de los transistores

12 AGO.



res detectores desde el generador E_2 de corriente continua, reducido por la caída de tensión a través del diodo -D23- del circuito de inhibición. El transistor -Q20- de este circuito está normalmente polarizado para que sea conductor lo cual proporciona un paso de resistencia relativamente baja a la corriente continua desde el cátodo del diodo -D23- al emisor de cada uno de los transistores detectores -Q12- a -Q19-.

El funcionamiento de un circuito de detector, como el de la red A que comprende el transistor -Q12-, se inicia por una señal procedente de su respectivo circuito sintonizado, siempre que las puntas positivas de la tensión de corriente alterna a través del condensador -C33-, reducidas por la caída de tensión a través del diodo -D8- y de la unión base-emisor del transistor -Q12-, rebasen el nivel o nivel señalado de reconocimiento de tensión del detector. El diodo -D8- es conductor, el transistor -Q12- pasa a ser conductor por impulsos, y el cambio de tensión resultante en el colector carga el condensador -C41-. La acción rectificadora del transistor -Q12- y la de filtro del condensador -C41- transforman así la señal de corriente alterna a través del condensador -C33- en una señal de corriente continua a través del condensador -C41-. En el caso de una señal entrante correcta constituida por un tono en cada una de las dos bandas de frecuencias, funciona también un detector en el grupo que comprende los detectores -Q16- a -Q19-, y carga a su vez el respectivo condensador -C47- a -C50- del circuito del colector. Después de cada ciclo de carga, el condensador -C41- se descarga al potencial de masa por un trayecto que comprende las resistencias -R90- y -R93-. De manera

270372

12 AGO



análoga, se constituye en la red B un trayecto a masa para cada uno de los condensadores -C47- a -C50-, el cual comprende la resistencia respectiva -R94- a -R97- y la resistencia común -R101-.

5 La descarga de corriente continua de cada detector operante se aplica a una etapa de salida correspondiente de las indicadas en la figura 3, por medio de las resistencias respectivas de los grupos -R80-, -R83- y -R86-, -R89-, por un conductor respectivo de los de enlace -202-, -204-, -206-,
10 -209-, -211-, -213-, -215- y -217-. Como se expone en la figura 1, la salida de cada uno de los detectores -31- a -38- en la red A se aplica también al detector de coincidencia OR-39-. De modo similar, la salida de cada uno de los detectores de la red B se aplica al detector de coincidencia OR
15 -40-. La salida de cada uno de los detectores de coincidencia OR -39- y -40- se aplica a su vez a un detector de coincidencia AND -58-. En la figura 2, el detector de coincidencia OR -39- comprende la combinación de las resistencias
20 -290- a R93- y la resistencia -R98-. Análogamente el detector de coincidencia OR -40- de la red B comprende la combinación de las resistencias -R94- a -R97- y de la resistencia
25 -101-. El detector de coincidencia AND de prueba de coincidencia, en la figura 1, comprende los diodos -D25- y -D26- en la figura 2. Estos diodos están convenientemente polarizados para que las señales coincidentes derivadas de un detector de la red A y de un detector de la red B coloquen ambos diodos en situación de no conducción, Siempre que exista tal situación, indica que se ha realizado la prueba de coincidencia y se inicia la prueba de duración prefijada de
30 coincidencia.

270372

12 AGO



El circuito -59- de prueba de coincidencia y duración representado en la figura 3 comprende los transistores -Q21-, -Q22-, -Q23- y sus elementos de circuito asociados, y sirve para desarrollar una señal saliente siempre que los diodos -D25- y -D26- estén en situación de no conducción durante un lapso prefijado. Si uno o ambos diodos son conductores, el potencial en la base del transistor -Q21- se mantiene bastante positivo respecto a su emisor para que el transistor -Q21- permanezca no conductor. Pero cuando ambos diodos -D25- y -D26- no son conductores, la polarización de la base del transistor -Q21- se vuelve negativa respecto al emisor, en virtud de un potencial de polarización determinado solamente por la combinación del generador E_2 de corriente continua, la resistencia -R99- y la resistencia -R100-; por consiguiente, el transistor -Q21- se hace conductor. El potencial polarizador del emisor del transistor -Q21- se fija por obra del circuito de polarización que comprende el generador E_2 de corriente continua y las resistencias -R102- y -R103-. La polarización del colector del transistor -Q21- se fija por el hecho de conducir la corriente el diodo -D28-, a través de la unión base-emisor del transistor -Q22- y de la resistencia -R104-, al generador E_2 de corriente continua.

En situación normal o de reposo, cuando el transistor -Q21- no es conductor el transistor -Q22- es conductor. Los elementos de circuito que establecen esta situación polarizando adecuadamente el transistor -Q22-, comprenden las resistencias -R104-, -R103-, -R107- y los diodos -D28- y -D29-. Pero cuando el transistor -Q21- es conductor, el potencial en su colector, y por ello el potencial en la base

270372

12 AGO



del transistor -Q23-, cambia a un valor bastante menos
negativo que su emisor, para inactivar este último transis-
tor. El potencial en el colector del transistor -Q23- aumen-
ta en sentido negativo hacia un valor determinado por las
resistencias -R106-, -R107-, el diodo -D29- y el generador
E₂ de corriente continua negativa. La naturaleza y duración
de este aumento vienen determinadas en primer término por la
constante de tiempo del condensador -C51- y de la resistencia
-R106-. Si persiste la coincidencia de señales entrantes
por un lapso suficiente (en un ejemplo de realización se fija-
ron 30 milisegundos), la carga en el condensador se hace
bastante negativa para que la base del transistor -Q23- se
vuelva negativa respecto a su emisor, y el transistor -Q23-
es activado. Los potenciales de polarización del emisor y
del colector del transistor -Q23- son fijados por el diodo
-D30- y la resistencia -R108-, respectivamente. Cuando el
transistor -Q23- se hace conductor, ello indica que se han
efectuado todas las pruebas de validez de señales, y que el
par de tonos entrantes se ha aceptado como correcto. Al
llegar aquí, las únicas operaciones requeridas son engendrar
una señal saliente sincronizada y aplicarla al par adecuado
de terminales de salida.

El circuito -60- sincronizador de salida es un
multivibrador estable que comprende los transistores -Q24- y
-Q25-. En reposo, el transistor -Q24- está inactivo y acti-
vado el transistor -Q25-. Cuando se activa el transistor
-Q23-, el aumento de tensión resultante en su colector se
aplica a la base del transistor -Q25- por mediación de los
condensadores -C52- y -C54-, y se inactiva el transistor
-Q25-. La caída de tensión resultante en el colector de este

270372

12 AGO



transistor se aplica a la base del transistor -Q24- por el condensador -C53-, y se activa el transistor -Q24-. El aumento de tensión consiguiente en el colector del transistor -Q24- refuerza el primitivo aumento de tensión que dejó inactivo el transistor -Q25-. Con el transistor -Q25- inactivado, el condensador -C54- se descarga, de acuerdo con la constante de tiempo fijada por su propia capacidad y la acción de la resistencia -R114-.

En un momento en que la tensión a través del condensador -C54- sigue cambiando a un ritmo relativamente rápido, el potencial en la base del transistor -Q25- se hace suficientemente negativo respecto a su emisor para conmutarlo a la situación de conducción. El periodo total de inactividad del transistor -Q25- fija la duración de la señal saliente en su colector. En un ejemplo de realización del invento, se fijó para este periodo un lapso del orden de 50 milisegundos.

Durante el periodo de inactivación del transistor -Q25-, el potencial reducido de su colector disminuye el potencial de base del transistor -Q26- respecto a su emisor y activa el transistor -Q26-. El potencial resultante en el colector del transistor -Q26- es suficientemente más positivo que el establecido por el generador E_2 de corriente continua y el diodo -D40- en los emisores de los transistores de salida -Q27- a -Q34-, para que se active cualquier transistor de salida con una señal adecuada en su base. Si, por ejemplo, hay una señal saliente en la base de ambos transistores -Q27- y -Q31-, se produce en el colector de cada uno de ellos una señal saliente. Estas dos señales pueden emplearse entonces para iniciar el funcionamiento

270372

12 AGO.

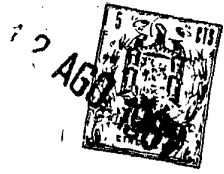


del equipo corriente de conmutación de la estación central, no representado. En cuanto al receptor ilustrado en las figuras 2 y 3, se supone que un relevador respectivo es activado por una salida de cada uno de los transistores de salida -Q27- a -Q34-. En uno y otro caso, una combinación del respectivo diodo -D32- a -D40- y de la respectiva resistencia -R125- a -R132- se emplea como circuito moderador para preservar su correspondiente transistor de salida de los picos de corriente inducida producidas por el relevador de salida, no representado.

Una función complementaria desempeña la salida del colector de los transistores de salida. El colector de cada uno de los transistores de salida -Q27- a -Q34- está conectado a la base del correspondiente transistor detector por un trayecto que comprende una resistencia respectiva -R117- a -R124- y un diodo respectivo -D17- a -D21-. Cada combinación de detector y transistor de salida comprende un circuito multivibrador con interconexiones de colector o base dispuestas de modo que ambos transistores estén activados o inactivados, y la situación común en cualquier momento particular se establece por la presencia o ausencia de una señal saliente válida. En consecuencia, los dos transistores detectores -Q12- y -Q16-, por ejemplo, se fijan en actividad por retroalimentación positiva, mientras siga activado el transistor activador -Q26-. Además, las señales salientes finales persisten mientras dura la salida del sincronizador de salida -G3-, aunque las salidas de los correspondientes circuitos sintonizados terminen en un momento anterior cualquiera.

En la precedente exposición se describe el empleo

270372



de la salida del sincronizador -60- como norma para la duración de la señal saliente final. Esa salida desempeña además una función auxiliar, la de iniciar el funcionamiento del circuito -57- de inhibición.

10 Cuando el transistor -325- se inactiva, el cambio de tensión resultante en su colector se aplica a la base del transistor -320- por el conductor -220-, el diodo -324- y la resistencia -R35-, y se inactiva el transistor -320-.
15 Con el transistor -320- inactivado, queda abierto el trayecto de corriente continua de resistencia relativamente baja desde el generador T_2 a los emisores de los transistores detectores, y el condensador -C40- admite la corriente de emisor de los dos transistores -Q12- y -Q16- activados. El consiguiente aumento de tensión en los emisores de los
20 transistores detectores -Q12- o -Q16-, es suficiente para que no funcionen por efecto de una salida de ninguno de los circuitos sincronizados. Pero el aumento del nivel del detector no basta para inactivar los transistores conductores -Q12- y -Q16-. Por consiguiente, el sistema de halla bien protegido contra cualesquiera señales entrantes falsas que puedan recibirse durante el periodo de descarga del sincronizador -60-.

25 El funcionamiento del receptor representado en las figuras 2 y 3 se puede resumir convenientemente a base de las formas de onda producidas en el circuito en puntos concretos de interés como respuesta a una señal entrante correcta. En la figura 5 se exponen ejemplos de formas de onda. Aunque estas se han representado a escala común de tiempos, se aplican escalas variables en el eje de tensiones, y los voltajes específicos son los indicados. La forma de
30



onda A es una señal entrante correcta que comprende dos tonos coincidentes de unos 600 y 1000 ciclos, respectivamente. Las formas de onda B y C son los dos tonos después de separados por los circuitos filtrantes -- y -3- indicados en la figura 1. La amplitud de tensión de las dos ondas es de 0,1 voltio y 30 milivoltios, respectivamente. Estas ondas se han ampliado en la escala de tiempo a fin de ilustrar más claramente sus características. Las salidas correspondientes de los limitadores -3- y -6-, ampliados de manera análoga, se representan como formas de onda D y E. Cada una de las salidas del limitador es una onda cuadrada de la misma frecuencia fundamental que su entrada en forma de onda sinusoidal. Pero las amplitudes de las salidas del limitador son iguales, siempre que las señales entrantes rebosen el limen del limitador. Una salida típica de limitador puede ser del orden de 2 voltios de punta a punta.

Las formas de onda F a H proceden de una sola red, de la red A, por ejemplo, ya que son idénticas las formas de onda en puntos correspondientes de la red, pasadas las etapas del circuito sincronizado. La forma de onda F ilustra una salida típica de circuito sincronizado. La tensión media de punta a punta es de unos 20 voltios, y su duración viene a ser la de la señal entrante, o sea de 10 milisegundos.

La forma de onda siguiente en interés es la salida del detector, que se ha tomado del colector de un transistor -Q12-, por ejemplo. La forma de onda G, un impulso de corriente continua negativa de unos 25 voltios, con onda denteada parcialmente superpuesta, es una onda típica de salida del detector. La parte denteada de la forma de onda G

12 AGO.

270372



tes mencionadas, mientras dure la señal de sincronización; y medios que responden a esta última señal para aplicar una señal saliente a los puntos de salida que corresponden a la combinación de frecuencias de las diversas señales entrantes citadas.

5

2.- Receptor según la reivindicación 1, el cual comprende unos primeros elementos para probar la validez de cada una de las señales entrantes respecto a la frecuencia; unos segundos elementos que responden a los primeros para probar la validez de las señales entrantes respecto a la amplitud, y que provocan la acción de los elementos que prueban la duración; y medios para aplicar una parte de la señal saliente a los elementos segundos, a fin de determinar la duración de esta señal, cualquiera que sea la duración continua de las señales entrantes.

10

15

3.- Receptor según la reivindicación 2, en el que los elementos primeros comprenden varios circuitos sintonizados, cada uno de los cuales resuena a una frecuencia prefijada,

20

4.- Receptor según las reivindicaciones 2 o 3, en el que los elementos segundos constan de varios circuitos detectores, cada uno de los cuales comprende un transistor.

5.- Receptor según cualquiera de las reivindicaciones 2 o 4, en el que un conjunto de transistores de salida, correspondientes a respectivos puntos de salida y a los elementos que aplican parte de la señal a los elementos de prueba de duración, comprenden un circuito de retroalimentación desde cada uno de los transistores de salida a un transistor detector respectivo.

25

30

6.- Receptor según cualquiera de las reivindicaciones

12 AGO 1964
270372



nas precedentes, en el que los elementos de prueba de duración comprenden un circuito multivibrador de transistor.

5 7.- Receptor según cualquiera de las reivindicaciones precedentes en el que los elementos de prueba de duración comprenden medios que responden a los segundos elementos para engendrar una señal de disparo, y medios que responden a esta señal de disparo para engendrar la señal de sincronización por un tiempo prefijado.

10 8.- Receptor según cualquiera de las reivindicaciones precedentes, el cual comprende un circuito para cada frecuencia de señal que pueda existir válidamente en una señal de entrada; estando cada circuito provisto de un circuito sintonizado y un detector, y comprendiendo los elementos de inhibición medios para elevar el limen de los detectores.

15 9.- Receptor según la reivindicación 8, en el que cada uno de los detectores comprende un primer transistor, y cada uno de los elementos que aplican una señal saliente comprende un segundo transistor; con medios que conectan el colector de cada primer transistor a la base de un segundo transistor respectivo, y otros medios que conectan el colector de cada segundo transistor a la base de un primer transistor capaz de responder al mismo.

20 10.- Receptor según las reivindicaciones 8 ó 9, el cual comprende redes primera y segunda, cada una provista de filtro de eliminación de banda, limitador y varios trayectos, y medios para mantener una relación constante entre la amplitud de la salida de esos limitadores y el limen de los detectores.



270372

11.- Receptor de señales.

Esta memoria consta de veinticinco páginas escritas por una sola cara.

BARCELONA, 12 AGO. 1961

P. A.

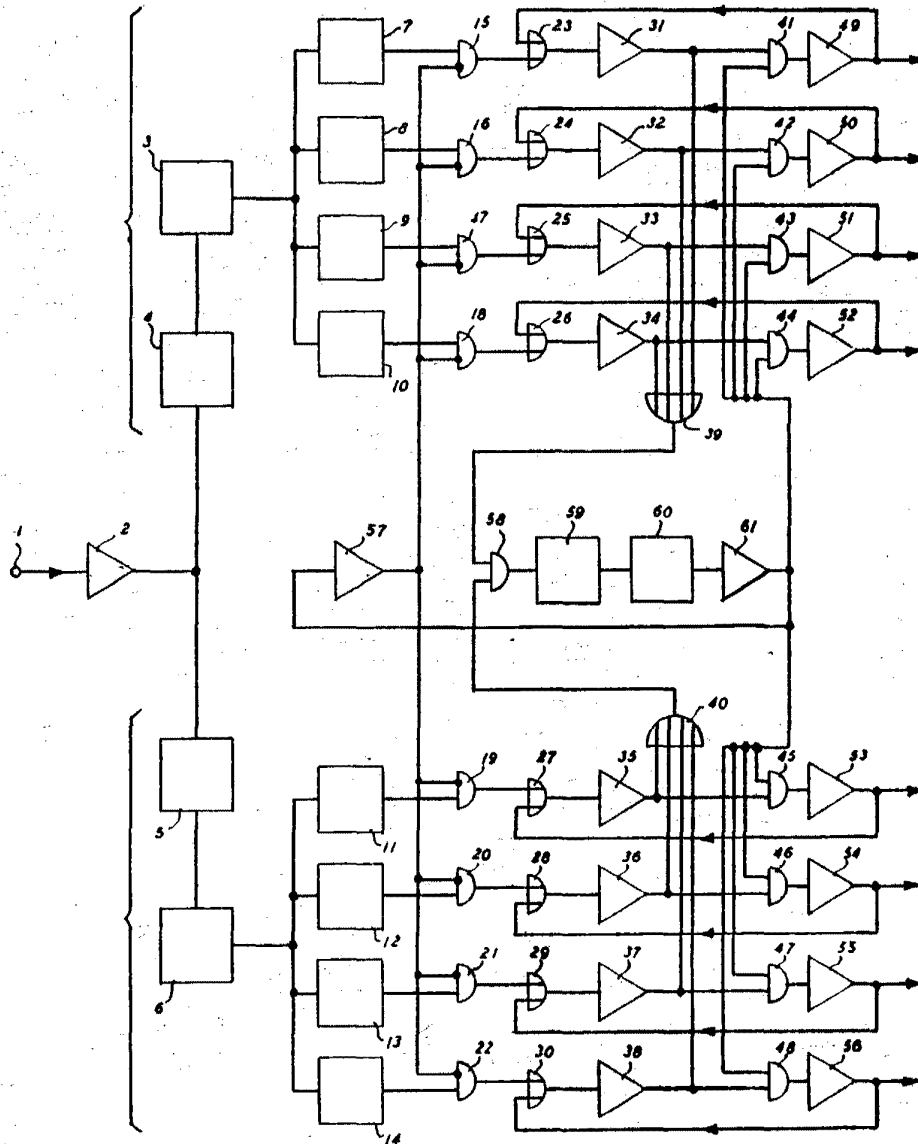
A large, stylized handwritten signature in black ink, consisting of several overlapping loops and strokes, is written over the typed name.

JOSE M. I.
P. A.



270372

FIG. 1



[Handwritten signature or scribble]

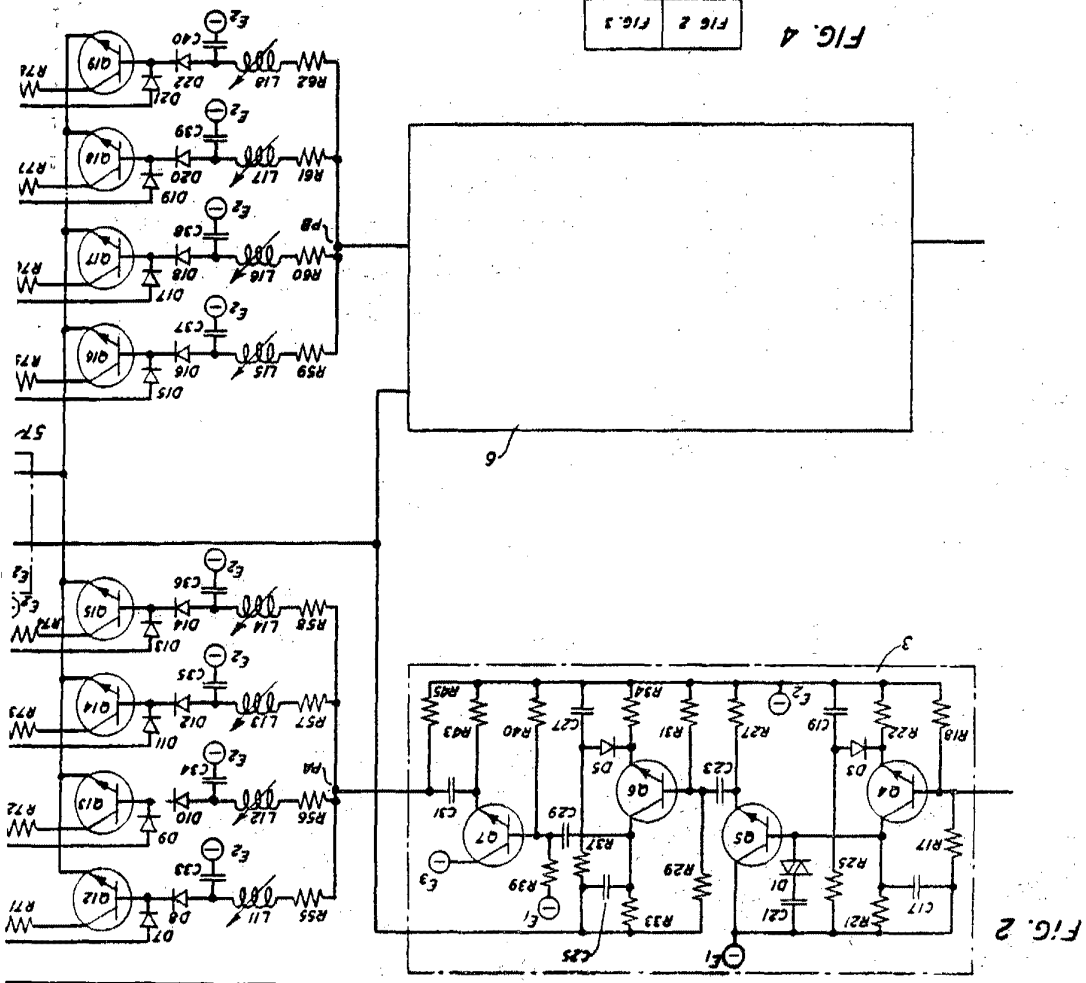
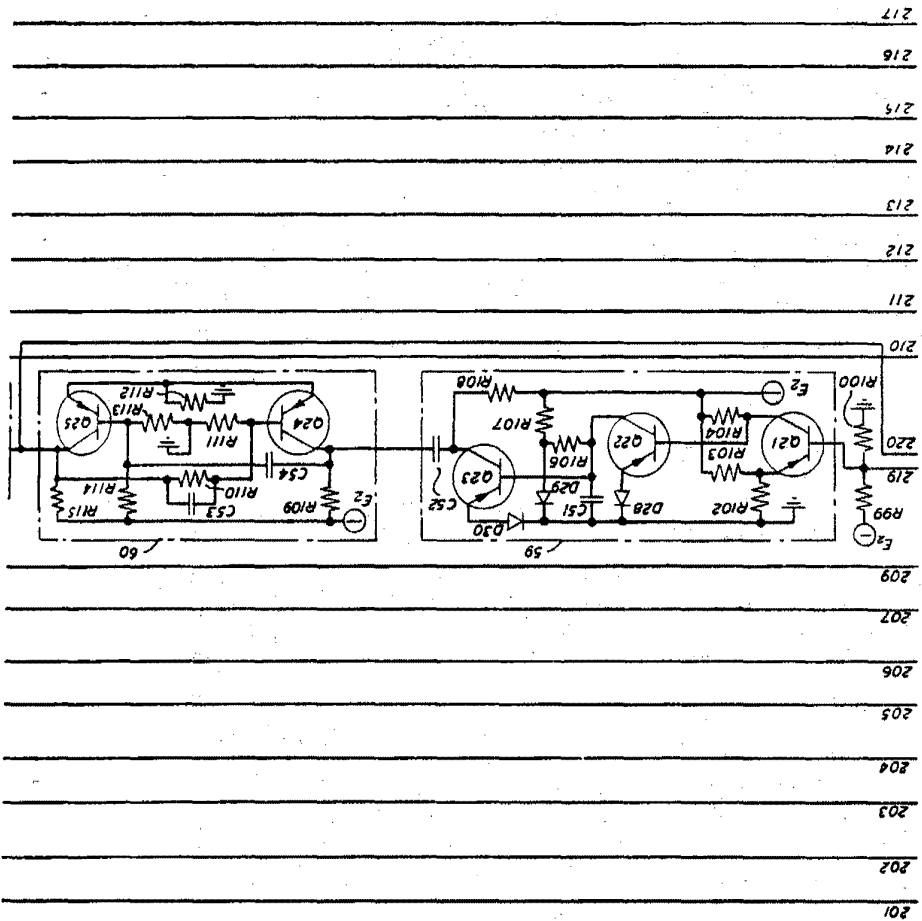
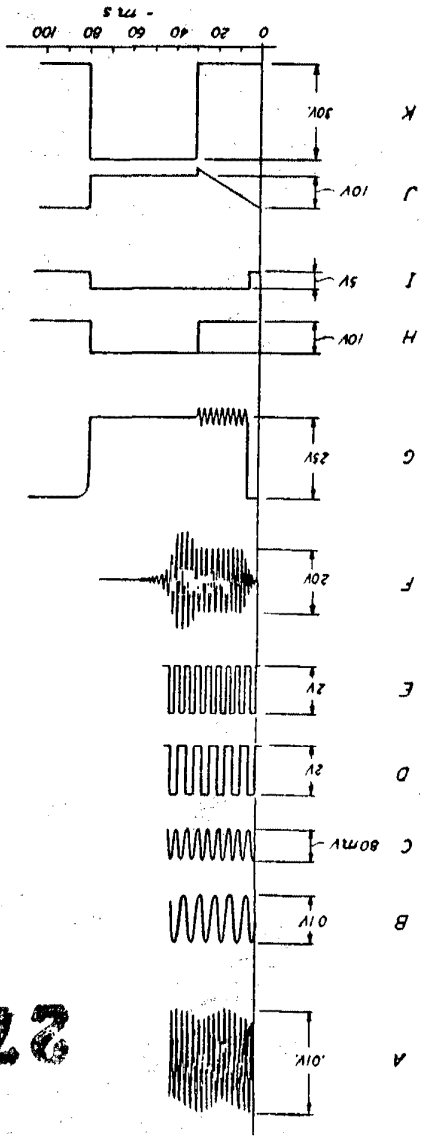


FIG. 3



217
216
215
214
213
212
211
210
209
207
206
205
204
203
202
201

[Handwritten scribbles]



270372

FIG. 5

2 HOJAS HOJA 2
Boesch et al

