

AÑO

Expediente núm.



252771

REGISTRO DE LA PROPIEDAD INDUSTRIAL

252771

PATENTE DE **INVENCIÓN**

MEMORIA DESCRIPTIVA

que se acompaña a la solicitud de

una **PATENTE DE** **Invención** por veinte años, en España

a favor de

..... **STANDARD ELECTRICA, S.A.**, de nacionalidad
Española domiciliado en Madrid
calle de **Ramírez de Prado** núm. **5**

por:

..... **SISTEMA DE TELECOMUNICACION AUTOMATICO**

Nº 15636

Agente Sr. Rodríguez Villar

252771



252771

MEMORIA DESCRIPTIVA

PARA SOLICITAR PATENTE DE INVENCION EN ESPAÑA POR:
SISTEMA DE TELECOMUNICACION AUTOMATICO, A NOMBRE
DE STANDARD ELECTRICA, S.A. DOMICILIADA EN MADRID,
CALLE DE RAMIREZ DE PRADO, 5

El presente invento se refiere a sistemas de conmutación entre canales de comunicación multiplex y más particularmente canales multiplex de división de tiempo.

Generalmente un canal de comunicación sobre el que se transmiten simultáneamente varias comunicaciones se designa con el nombre de enlace multiplex. En los sistemas multiplex de división de tiempo las n señales que se han de transmitir simultáneamente se seleccionan en cada periodo de repetición del sistema, se codifica después la información obtenida por selección para cada señal y estas n informaciones codificadas se transmiten sucesivamente durante un periodo de repetición. Ya han sido descritos medios para efectuar conmutaciones entre grupos de enlace multiplex. A fin de recordar el principio de tales disposiciones de conmutación se con-

./..

252771



2.

15 siderará, por ejemplo, el caso de n enlaces multiplex $E_1 \dots E_n$, comprendiendo cada uno m canales multiplex $e_1 \dots e_m$. Cada uno de los canales entrantes puede tener acceso por medio de dispositivos conmutadores a los n canales multiplex $s_1 \dots s_n$ de p enlaces multiplex saliente $S_1 \dots S_p$. Cada periodo de repetición del sistema, comprende m tiempos elementales. Los enlaces entrantes y salientes funcionan en sincronismo y se supondrá que las señales correspondientes a los canales e.i.ó.s.i. se transmiten en el tiempo elemental del orden i de cada periodo de repetición. Cuando se han de transmitir señales tales como señales vocales, la velocidad a que tienen que accionar los conmutadores hace necesario utilizar barreras electrónicas como medio de conmutación. En el caso que se considera cada enlace entrante tiene acceso a los p enlaces salientes, por medio de p barreras electrónicas, por ejemplo el enlace entrante E_u tiene acceso a los p enlaces salientes por medio de p barreras electrónicas $Pu-1 \dots Pu-p$. Cuando se requiere enlazar el canal e.i. del enlace entrante E_v , al canal s.i. del enlace saliente S_w , es suficiente abrir la barrera electrónica $Pv-w$ en el instante i . En los sistemas conmutadores, el canal entrante, por ejemplo, e.i.- E_v frecuentemente está predeterminado y se busca despachar la comunicación a través de cualquiera de los canales de un enlace saliente S_w , pues todos los canales de este enlace saliente dan generalmente acceso a la misma dirección. Si en el enlace saliente S_w el canal que corresponde a la misma posición en el tiempo en que la vía entrante (e.i.) está libre, es suficiente controlar la abertura de la barrera electrónica $Pv-w$ en la posición de tiempo i a fin de establecer la comunicación. Si el canal s.i. no está libre la comunicación no puede establecerse por esta vía.

20
25
30
35
40 A fin de vencer esta dificultad se ha propuesto asociar a cada enlace entrante un circuito que comprende memorias en las que es

./..



252771

3.

45

50

55

60

65

posible almacenar la información que aparece en todos o en parte de los canales entrantes. En este caso, y considerando el ejemplo precedente, si la vía s.i del enlace saliente Sw no está libre y si la vía s.j. lo está, la información que llega sobre la vía entrante e.i del enlace.E.v se almacena en el intervalo de tiempo i y en la posición de tiempo i , la información almacenada en el intervalo de tiempo i se saca de la memoria asociada en el enlace entrante Ev. y al mismo tiempo se abre la barrera electrónica Pv-w. Tal procedimiento equivale a retardar en un tiempo adecuado la información que aparece en los canales de los enlaces entrantes a fin de permitir su transposición a los enlaces salientes. Este método que permite una mejor utilización de los sistemas conmutadores entre canales multiplex implica, sin embargo limitaciones que resultan de un bloqueo interno del que es fácil dar un ejemplo. Se supondrá, por ejemplo, que en el sistema que se ha considerado y en el que el número de enlaces entrantes es igual al número de enlaces salientes ($p = n$) todos los canales entrantes, excepto uno, están en comunicación con vías salientes. Se supondrá, por ejemplo, que el canal entrante Ea-es y el canal saliente Sb-sr son los únicos libres.

El invento se describirá particularmente con referencia a los adjuntos dibujos en los cuales:

La fig. 1 muestra diagramáticamente una disposición conmutadora que utiliza el invento, y mostrada en detalle en las figs. 2, 3, 4, 5, 13 y 14.

La fig. 2 muestra el circuito conmutador asociado a un enlace entrante.

Las figs. 3, 4, 5 y 14 muestran el circuito de control asociado a todos los circuitos de los enlaces entrantes y a los de los enlaces salientes.

./..

252771



4.

70 La fig. 13 muestra el circuito asociado a un enlace saliente.

Las figs. 6, 7, 8, 9, 10, 11, 12, 15 y 16 son tablas que dan el programa de conmutación en diferentes pasos de funcionamiento.

La fig. 17 muestra diagramas de impulsos utilizados para explicar el funcionamiento del circuito de las figs. 2, 3, 4, 5, 13 y 14.

75 Un ejemplo de realización del sistema de conmutación que utiliza el invento se muestra diagramáticamente en la fig. 1. Está diseñado para establecer conexiones entre dos grupos de enlaces multiplex de división de tiempo. Como es sabido, un enlace multiplex es un medio de transmisión sobre el que se transmiten simultáneamente varias comunicaciones.

80 Cada periodo de repetición del sistema está dividido en intervalos de tiempo, en número igual al número de canales de comunicación estando cada intervalo, denominado usualmente en la técnica posición de tiempo, asignado a un canal de comunicación. Para mayor claridad, pero
85 sin limitarlo en modo alguno al campo de aplicación del invento, se considerará un ejemplo típico en la descripción siguiente que consiste en un enlace multiplex que comprende veinte canales y un sistema de transmisión en el que el periodo de repetición es de 100 microsegundos, de modo que se asignen cinco microsegundos a cada uno de los canales. Se supondrá también
90 que todos los enlaces multiplex, los entrantes así como los salientes, funcionan en sincronismo. En el ejemplo mostrado en la fig. 1, se han considerado diez enlaces multiplex entrantes EI-EI0, estando cada uno de los enlaces asociado a un circuito EEL/EEI0. Los veinte canales en cada uno de estos enlaces entrantes se designarán más adelante en esta descripción como "canales entrantes" y están identificados por la posición de tiempo a ellos asignada. Del mismo modo, se han considerado

./..

252771



5.

100 diez enlaces salientes S1/S10 y los veinte canales en cada uno de los enlaces salientes se designará como "canales salientes y están identificados del mismo modo que los canales entrantes. Los enlaces salientes terminan en equipos conmutadores indicados respectivamente por ES1-ES10, que se han
105 mostrado a fin de materializar el funcionamiento del sistema y que efectúan la conmutación requerida para cambiar el enlace multiplex a canales de transmisión no multiplex, denominado "canales de transmisión normal". Los canales de transmisión normal están asociados al conjunto ES-1 y al enlace saliente S1 y se muestran en N1-1/N1-n y los asociados al conjunto ES-10 se han mostrado en N10-1/N10-n. Cada enlace entrante puede conectarse por medio de barreras electrónicas a los enlaces salientes S1/S10 a través de barreras electrónicas p1-1/p1-10 y el enlace entrante E10 puede conectarse a los mismos enlaces salientes a través de las barreras electrónicas p10-1 a p10-10. Como se explicará en detalle con relación
110 a las fig. 2, 3, 4, 5, 13 y 14 las barreras electrónicas que permiten conectar un enlace entrante (por ejemplo E1) a los diez enlaces salientes están controlados por el circuito (en este caso ES1) asociado a este enlace entrante. Del mismo modo las barreras electrónicas tales como p1-1 a p1-10
115 a p1-n por medio de las cuales el enlace saliente S1 puede conectarse a cualquiera de los canales de transmisión normales N1-1 a N1-n están bajo el control del conjunto ES1 asociado a este enlace saliente. El funcionamiento de los circuitos asociados a los enlaces entrantes o en los que terminan los enlaces salientes se controla desde un circuito común mostrado en EC que recibe la información requerida para establecer la conexión.
120

Se explicará ahora brevemente el funcionamiento del sistema mostrado en la fig. 1. El circuito de control EC que posiblemente puede ser común a varios conjuntos conmutadores tales como el mostrado, recibe a fin de establecer una comunicación:

./..



252771

6.

125

1 - La identidad de un canal entrante sobre un enlace entrante, esto es, la identidad del enlace entrante y la posición de tiempo dentro de un periodo de repetición al que este canal entrante se presenta.

130

2 - La identidad del canal de transmisión normal con el que debe establecerse una conexión. El circuito EC puede deducir de esta información o recibir desde un circuito central la identidad del enlace saliente a través del que ha de establecerse esta comunicación.

135

Se supondrá por ejemplo que el canal entrante que se presenta en la posición de tiempo 4 en el canal El debe conectarse con el canal de transmisión normal N10-n y esto necesariamente a través del enlace saliente S10. El circuito de control EC comprueba entonces que por lo menos un canal saliente está libre en el enlace saliente S10. En caso contrario no se puede establecer la conexión. Esta comprobación puede efectuarse por el circuito EC a través de los circuitos EE1 a EE10 como se explicará posteriormente. Puede también efectuarse estableciendo selectivamente una conexión entre el enlace saliente S10 y el circuito EC.

140

145

Cuando existe un canal saliente libre en el enlace saliente por medio del cual debe establecerse la conexión, el circuito EC transmite su identidad al conjunto EE1 asociado al enlace entrante que recibe también desde el circuito EC la identidad del enlace saliente. Cada circuito tal como EE1 asociado a un enlace entrante El está constituido principalmente por dos memorias que cada una comprende tantos departamentos como número de canales hay en el enlace entrante asociado. En la primera de estas memorias cada departamento está asignado a un canal entrante y las informaciones que aparecen en estos canales son registradas en los departamentos correspondientes. La segunda memoria comprende el mismo número de departamentos y estos departamentos están asignados a posiciones de tiempo. La identidad del enlace saliente a través del cual debe esta-

150

./..

252771



7.

155 blecerse la comunicación y la identidad del canal entrante con el que debe establecerse la conexión se registran en cada departamento. Desde la posición de tiempo, dentro de un periodo de repetición correspondiente a un canal saliente, se extraen los contenidos del departamento asociado de la segunda memoria. La información sobre la identidad del enlace saliente se utiliza para controlar en esta posición de tiempo la abertura de la barrera electrónica que conecta la salida de la primera memoria al enlace saliente. La información en el canal entrante se utiliza para inducir la lectura en el departamento de la primera memoria correspondiente a este canal entrante, la información registrada en el mismo. Esta información que aparece en la salida de la primera memoria se transmite así sobre el enlace saliente en esta posición de tiempo. Puede comprenderse que la segunda memoria debe proveerse de tal modo que la información sea registrada en la misma en forma semipermanente, esto es, que no sea destruida por la lectura, mientras que la primera memoria se produce de tal modo que la lectura de las informaciones induce su borrado. En otras palabras, las informaciones que aparecen en los canales entrantes se registran a medida que tiene lugar su llegada y se transmiten sobre los canales salientes en posición de tiempo diferentes y esto de acuerdo con información suministrada por el circuito central EC para establecer la comunicación. El circuito común EC transmite al circuito ES10 que termina en el enlace saliente S10, la identidad del canal saliente sobre el que se presenta la comunicación y la identidad del canal de transmisión normal con el que debe establecerse la conexión. El circuito ES10 se provee para controlar en la posición de tiempo correspondiente al canal saliente en el enlace S10, la abertura de la barrera electrónica provista entre este enlace saliente y el canal de transmisión normal con el que ha de establecerse la conexión.

180

Un sistema tal como el descrito tiene desventajas de-

./..

252771



8.

bido al hecho de que aparece un bloqueo interno rápidamente e impide una óptima utilización del sistema conmutador. El bloqueo aparece, por ejemplo, en el caso siguiente: cuando se requiere establecer una conexión desde un canal en un enlace entrante a través de un enlace saliente que comprende canales entrantes libres en las posiciones, de tiempo, por ejemplo 6 y 10, y si estas posiciones están ya utilizadas para establecer conexiones entre este enlace entrante y respectivamente otros dos enlaces salientes, no es posible establecer esta conexión, pues puede conducir a la lectura en la misma posición de tiempo de dos departamentos de la primera memoria y abrir simultáneamente dos barreras electrónicas en paralelo conectando la salida de esta memoria a dos enlaces salientes. Sin embargo, si existe un canal libre en el enlace saliente a través del que debe establecerse la comunicación, puede mostrarse matemáticamente que con tal que se haga una modificación en las posiciones de tiempo en los que están establecidas algunas de las conexiones existentes, es posible encontrar una posición de tiempo en el enlace saliente en la que puede establecerse la nueva comunicación que no puede interferir con las conexiones ya establecidas. Se describirán en detalle medios para efectuar esta modificación, con relación a las figs. 2 y 15. Por otra parte, ha de observarse que en este caso, cada modificación efectuada en un par de conexiones, ha de señalarse a los circuitos tales como ES1 y ES10 de tal modo que las modificaciones requeridas se efectúen en estos circuitos a fin de mantener la conexión establecida con un canal de transmisión normal.

También se describen en detalle con relación a las figs. 2 y 15 medios que permiten el control de estas modificaciones en los circuitos ES1 a ES10. El funcionamiento del circuito mostrado en las figs. 2 a 7 que utiliza características del invento se describirá ahora en detalle. En los dibujos se han utilizado símbolos para representar elementos elec-

./..

252771



9.

trónicos clásicos. Una barrera electrónica de cualquier clase se representa por un círculo asociado a conductores radiales. Los conductores entrantes llevan una flecha cuyo extremo toca el círculo y los conductores salientes una flecha en la dirección opuesta. Siempre que el círculo no tenga indicación especial esta barrera electrónica es una barrera de coincidencia, esto es, que tiene que aplicarse una señal a cada uno de los conductores entrantes a fin de obtener una señal en el conductor saliente. En algunos casos, se ha representado una barrera electrónica por dos círculos concéntricos a fin de indicar que se refiere a varias barreras electrónicas controladas en paralelo, en este caso uno de los conductores entrantes tiene un número que indica el número de conductores controlados simultáneamente. Cuando se trata de una barrera electrónica conocida como mezclador, esto es, una barrera electrónica que suministra una señal de salida cuando se aplica una señal a uno de sus conductores entrantes la cifra 1 se muestra dentro del círculo. Por otro lado, se utiliza a veces una señal de bloqueo que implica el cierre de la barrera cualesquiera que sean las señales aplicadas a las otras entradas. El conductor en que se aplica la señal de bloqueo se indica por una pequeña barra perpendicular. En todos los circuitos la información que aparece en los canales multiplex entre los que se efectúan las conmutaciones o dentro del circuito lógico para el fin de controlar estas conmutaciones están en forma codificada, por ejemplo, a cada elemento de información corresponde un grupo de impulsos. Puede suponerse, por ejemplo, que se utiliza la clave binaria y que los impulsos que forman la clave de un elemento de información se transmiten uno detrás de otro sobre un solo conductor o simultáneamente sobre tantos conductores como cifras binarias hay en la clave. En el ejemplo de puesta en práctica que se considera se ha supuesto que la información fué transmitida en paralelo sobre los enlaces y que en el circuito de control común las señales

./..

252771



10.

fueron también transmitidas en paralelo. Sin embargo, a fin de simplificar los detalles, sólo se ha mostrado en todos estos casos, un solo conductor circundado por un círculo asociado a un número que indica el número de conductores.

240

Se han utilizado también en las fig. 2, 4 y 13 memorias que cada una comprende un determinado número de departamentos. Estas memorias pueden ser de cualquier tipo, sin embargo, a fin de expresarlo típicamente se han considerado memorias que utilizan matrices con núcleos magnéticos de ciclo de histéresis rectangular y cada departamento está constituido por los núcleos magnéticos dispuestos sobre la misma línea. La información contenida en un departamento se extrae aplicando una señal al conductor horizontal que pasa a través de los núcleos magnéticos de este departamento. Con referencia, por ejemplo, a la fig. 2, una memoria magnética M1 que comprende 20 departamentos cada uno de 5 cifras binarias se muestra en la parte superior izquierda. Las líneas horizontales rpl a rp20 están controladas por un circuito SW1 que recibe bajo cualquier forma, por ejemplo, en forma de clave, la identidad del departamento que ha de leerse y que en respuesta aplica una señal de lectura al conductor horizontal correspondiente. Los conductores de las columnas cd1 a cd5 pasan a través de los núcleos magnéticos dispuestos en una misma columna y terminan en un circuito registrador y lector ELL. Este circuito está asociado a un almacén de lectura RL1 y a un almacén de registro RE1. Cada almacén es un circuito de memoria provisional en el que se puede almacenar información después de haber sido extraída de la memoria (registrador ELL) pendiente de su transmisión en el instante adecuado o pendiente de su registro en la memoria (registrador RE1). El registro y la lectura efectuada, en el caso de la memoria M1, en cada periodo de funcionamiento del sistema, en el almacén RE1 y RL1 que tienen un terminal de control cerca del

245

250

255

260

./..

252771



11.

265 cual se indica en relación con el diagrama de impulsos de la fig. 17, el ins-
tante en que se efectúan, para el almacén RE1, el registro en la memoria
y para el almacén RL1, el registro de la información registrada en los mis-
mos al ser transmitida sobre el canal saliente. El circuito EL1 es el cir-
cuito asociado a la matriz de núcleo magnético que aplica a los conducto-
res de memoria las señales adecuadas a fin de inducir el registro en un
270 departamento de memoria de la información presente en el almacén RE1.

Las memorias que funcionan generalmente del mismo modo
que la memoria M1 pueden ser de dos tipos. En el primer tipo, la informa-
ción extraída de un departamento se borra en el departamento de que ha si-
do extraída. En el segundo tipo la información leída en un departamento de
275 la memoria permanece registrada en su departamento y puede ser leída en
el mismo varias veces sucesivas. Como es bien sabido, las memorias que uti-
lizan matrices de núcleo magnético son de tal modo que normalmente el re-
gistro de la información contenida en un departamento induce su borrado
y cuando se requiere mantener esta información registrada en el departa-
280 mento debe volverse a registrar en el mismo inmediatamente. Se comprende
así, como es bien sabido en la técnica que la diferencia entre estos dos
tipos de memoria resulta del circuito de registro y lectura tal como EL1
que estará o no diseñado de tal modo que vuelva a registrar en un departa-
285 tamento lo que acaba de leerse en el mismo. La memoria M1 pertenece al
primer tipo, mientras que las memorias M2 y M3, fig. 2, y M5, fig. 13,
pertenecen al segundo tipo. De todos modos, el tipo de memoria utilizado
no tiene importancia para la práctica del invento, dependiendo la elec-
ción de un tipo determinado de memoria de consideraciones técnicas que
290 sobrepasan el campo del presente invento. Estará claro al perito en la
materia que pueden utilizarse, por ejemplo, en vez de las memorias magné-
ticas mostradas, memorias de circulación utilizando dispositivos retarda-
dores.

./..

252771



12.

295

300

305

La fig. 2 muestra el circuito (designado EEL en la fig.1) asociado al enlace entrante EEL que es el primer enlace multiplex de un grupo de 10. Como se ha indicado, las señales transmitidas sobre este enlace aparecen en forma de clave. Se supondrá, a fin de expresarlo típicamente, que cada elemento de señal transmitido durante una posición de tiempo consiste en cinco cifras binarias. Por otra parte, efectuándose la transmisión en paralelo, los enlaces entrantes y los salientes comprenden cada uno cinco conductores. Las señales que aparecen en los 20 canales de este enlace entrante están distribuidas, después de ser retardadas según el caso y se explicará posteriormente, sobre los enlaces salientes S1, S2 S10. Como se ha explicado, cada periodo de repetición del sistema de transmisión sobre el enlace EL, comprende 20 intervalos de tiempo de 5 microsegundos cada uno, asignados respectivamente a los 20 canales entrantes de este enlace.

310

315

320

Cada posición de tiempo de cinco microsegundos constituye una unidad de tiempo para el funcionamiento del sistema y está dividida en cuatro intervalos de tiempo iguales elementales de 1,25 microsegundo respectivamente t_1 , t_2 , t_3 y t_4 . El sistema de transmisión sobre los enlaces se produce de tal modo que la información se presenta sobre los canales entrantes en los instantes t_1 , mientras que la información se transmite sobre los canales salientes en el instante t_4 . Desde el punto de vista del funcionamiento de la memoria M1, los cuatro intervalos de tiempo elementales t_1 se usan del modo siguiente: el intervalo de tiempo t_1 se utiliza para registrar en el registrador RE₁ la información que aparece en esta posición de tiempo en el canal entrante; el intervalo de tiempo t_2 se utiliza para registrar en un departamento de la memoria la información contenida en el almacén RE1; el intervalo de tiempo t_3 se utiliza para inducir a través del circuito ELL la lectura del contenido de un de-

./..



252771

13.

325

330

335

340

345

partamento de memoria y la transferencia de la información así extraída al
almacén RLI y el intervalo de tiempo t_4 se utiliza para transmitir la infor-
mación registrada en el almacén RLI al enlace saliente. Como se ha explica-
do, la elección del departamento en el que ha de efectuarse la lectura o
el registro se hace aplicando al circuito SW1 la clave correspondiente a
este departamento, a continuación de lo cual el circuito SW1 aplica una
señal adecuada a fin de inducir la lectura o el registro. Por otra parte,
cada departamento está asignado a una posición de tiempo que corresponde
a un canal entrante sobre el enlace entrante E1. El circuito GP/pg2 se
provee de modo que funciona en sincronismo con el sistema de transmisión
sobre los enlaces entrantes y en cada posición de tiempo en el instante
 t_2 aplica al terminal CO2 la clave que corresponde al canal entrante aso-
ciado a la posición de tiempo precedente, en el periodo de repetición. El
circuito GP puede ser común a todos los enlaces entrantes y la clave CO2
puede aplicarse en paralelo a los circuitos SW1 de todos los enlaces en-
trantes. Se comprende por ejemplo que en el instante t_1 de la posición de
tiempo N^o.4 las señales que aparecen en el canal entrante N^o.4 se regis-
tran en el registrador RE1 y que en el instante t_2 el circuito GP aplica
al terminal CO2 la clave que corresponde al terminal 4 a fin de inducir
el registro del contenido del almacén RE1 en el departamento correspondiente
a este canal. En otras palabras, el registro de las señales que aparecen
en los canales entrantes . efectúa en sincronismo el funcionamiento del
sistema de transmisión sobre el enlace entrante. Se explicará posterior-
mente, la razón por la cual la lectura se efectúa en forma sincrónica;
sin embargo, puede definirse más exactamente ahora que en el instante t_3
la clave del departamento que tiene que leerse es aplicada por el conduc-
tor abl al circuito SW1 que de este modo marca el departamento, cuyo con-
tenido tiene que extraerse, siendo entonces este contenido transferido

./..

252771



14.

350 al almacén RL y esto a través del circuito EL1 que recibe para este fin una señal en el instante t_3 .

355 Las memorias M2 y M3 son generalmente idénticas a la memoria M1, excepto que la información se registra en las mismas en forma semipermanente. Por otra parte estas memorias se controlan desde el punto de vista de elección de componentes, simultáneamente por el mismo circuito SW2. Quedará entendido sin embargo, que podría haberse provisto un circuito de control tal como SW2 para cada una de las memorias. Por otra parte, el funcionamiento de esta memoria es siempre síncrono, esto es, el circuito GP aplica en cada posición de tiempo al terminal CO1 una clave idéntica a la aplicada en el instante t_2 al terminal CO2 del circuito SW1. Sin embargo, esta clave se aplica durante el intervalo t_1 .

360 Cada grupo de dos departamentos correspondientes de las memorias M2 y M3, esto es, los dos departamentos controlados simultáneamente por el circuito SW2 está asignado a una posición de tiempo sobre un enlace saliente.

365 Posteriormente se describirá con relación a las figs. 3 a 5, los medios utilizados para determinar la información registrada en estas dos memorias. Por ahora será suficiente decir que en dos departamentos correspondientes de las memorias M2 y M3 la clave del enlace saliente a través del que ha de establecerse la comunicación en la posición de tiempo que corresponde a estos dos departamentos se registra en el departamento de la memoria M2 y la clave del canal entrante con el que ha de establecerse la comunicación se registra en el departamento de la memoria M3.

375 En la descripción que sigue s.y. ($y = 1, 2 \dots 20$) designará las posiciones de tiempo en los enlaces salientes S_n ($n = 1, 2 \dots 10$). Por ejemplo, el canal 14 en el enlace saliente N^o.2 se escribirá

./..

252771



15.

380 S2-s14. Del mismo modo, las posiciones de tiempo en los enlaces entrantes
Em ($m = 1 \dots 10$) se designarán por e.x. ($x = 1 \dots 20$). Quedará entendido
que los enlaces entrantes y salientes funcionan en sincronismo y que las
posiciones de tiempo s.2 y e.2 son idénticas. Sin embargo, es mejor, a fin
de simplificar la descripción, designarlos de diferentes modos.

385 A fin de mostrar el funcionamiento del circuito, se su-
pondrá que el canal EL-e4 tiene que conectarse al canal S2-s14. Por lo
tanto, en los departamentos correspondientes N°. 14 de las memorias M2
y M3, se registran respectivamente la clave del enlace saliente S2 y la cla-
ve del canal entrante e.4. En el curso de un periodo de repetición en el
instante t_1 de la posición de tiempo 4, la señal en clave que aparece so-
bre el enlace EL se registra en el registrador RE1 en el instante t_2 de
390 esta misma posición de tiempo, el contenido del almacén RE1 se transfiere
al departamento N°.4 de la memoria M1 y el almacén RE1 se libera. En el
instante t_1 de la posición de tiempo 14 las claves del canal entrante que
llama son ambas extraídas de los departamentos de las memorias M2 y M3
que corresponden al instante 14 y esta información se transfiere respecti-
vamente a los almacenes de lectura RL2 y RL3 asociados a las memorias M2
395 y M3. En el instante t_3 de la posición de tiempo 14 del mismo periodo de
repetición, se extrae el contenido de los almacenes de lectura RL2 y RL3.
La clave del enlace saliente (que comprende cuatro cifras en el caso de
10 enlaces salientes cuando se utiliza la clave binaria) se aplica al des-
400 cifrador SW3 que en respuesta prepara la marcación de uno de los conducto-
res de salida cal-cal0 (ca2 en el caso que se considera) y por lo tanto
la abertura de la barrera electrónica asociada pl-2. El circuito SW3 se
provee con una memoria que no se ha mostrado y que retiene la información
registrada en la misma hasta el momento de su lectura. El circuito SW3 re-
405 cibe también en cada posición de tiempo una señal en el instante t_4 y se

./..

252771



16.

410 provee de tal modo que controla la abertura de la barrera electrónica pl-1...
...pl-10 durante el instante t_4 . Del mismo modo, en el instante t_3 la cla-
ve del canal entrante extraída del almacén de lectura RL3 es aplicada por el
conductor abl al circuito SW1 de la memoria M1, a fin de transferir en el
almacén RL1 el contenido del departamento correspondiente al canal entran-
te. En el instante t_4 el contenido del almacén RL1 se aplica en paralelo
a las barreras electrónicas pl-1, pl-10 y por lo tanto se transmite sobre
el canal S2 cuya barrera electrónica pl-2 es abierta por la señal de sali-
da del descifrador SW3. El circuito está entonces dispuesto para atender
415 otra comunicación en la posición de tiempo siguiente.

420 El funcionamiento del circuito de control (figs. 3, 4 y 5)
durante el establecimiento de una comunicación, esto es, durante los proce-
sos sucesivos que terminan en la inscripción en las memorias M1, M2, M3,
fig. 2, de la información requerida para el funcionamiento del circuito con-
mutador, será explicada ahora. Se supondrá que el circuito mostrado en CCO
fig. 5 está en posesión de la información del canal entrante que llama
(Em-ey) y que por otra parte conoce el enlace saliente (Sn) a través del
cual debe establecerse esta comunicación. Tan pronto como el circuito de
control (figs. 3, 4, 5 y 14, es conectado por el circuito CCO fig. 5 a fin
425 de establecer una comunicación, el circuito CCO induce la inscripción en
los registradores RJE, RTE, RJS, fig. 5 respectivamente de las claves
Em-ey y Sn. El funcionamiento del circuito mostrado en las figs. 3, 4, 5
y 14 se ha dividido en cuatro pasos, T1, T2, T3, T4 mas una posición de
reposo RE. Se supondrá que en el momento de la inscripción de la informa-
ción en los tres registradores el circuito está en reposo, en la posición
430 RE. Se supondrá también que los registradores RJE, RTE y RJS, se proveen
en la forma usual para proporcionar una señal permanente tan pronto como
una información ha sido registrada en los mismos. Las tres señales así
obtenidas se aplican a la barrera electrónica de coincidencia PE1 fig. 5

./..

252771



17.

435 que controla a su vez la barrera electrónica PS1 que recibe desde otro extre-
mo las señales de sincronización S_y de todo el sistema. Las señales S_y son
suministradas por ejemplo por el generador de impulsos GP fig. 2. Se supone
que una señal de sincronización aparece en el instante t_1 de la primera po-
sición de tiempo de un grupo de 20, esto es, cada 100 microsegundos, fig.17.
440 El circuito CET, figura 5 es un contador de siete posiciones y está según se
ha indicado en la posición de reposo, en este momento del funcionamiento. Se
observará que el paso T3 se ha dividido, para facilitar la explicación, en
tres pasos, T31, T32, T33. Tan pronto como se obtiene una señal de salida
de la barrera PS1, el contador CET cambia a la posición 1.

445 El circuito de control (figs. 3, 4 y 5) tiene acceso :
de un lado a todos los enlaces entrantes y a los circuitos asociados a los
mismos y de otro lado a todos los enlaces salientes o más específicamente
en el ejemplo que se considera, a todos los conductores de control de las
barreras electrónicas que permiten acceso a los enlaces salientes. En la
450 posición T1 del contador CET (fig. 5) la barrera electrónica PA1 fig. 3,
está abierta, de modo que la clave S_n del enlace saliente es aplicada por
el conductor 1, figs. 5, 4 y 3, al circuito descifrador SW4, que en respues-
ta suministra una señal sobre uno de sus diez conductores de salida. Un
conjunto 2 se muestra entre las figs. 2 y 3 que comprende diez conductores
455 entre, de una parte, los conductores de control cal cal0 de las ba-
rreras electrónicas pl-1 pl-10 (fig. 2) y de otra parte, las diez ba-
rreras electrónicas pel a pel0 (fig. 3) cuyas salidas están conectadas en
paralelo y están controladas respectivamente por las 10 salidas del cir-
cuito descifrador SW4. Se comprende que cuando una clave S_n se aplica al
460 circuito descifrador SW4 se obtiene una señal de salida que abre la barre-
ra electrónica pel-pel0 que corresponde a esta clave y por lo tanto al
enlace saliente S_n , de modo que se obtiene una señal en la salida de las
barreras electrónicas en cada posición de tiempo en que el enlace entran-

./..

252771



18.

465 te El está en comunicación con el enlace saliente Sn. Las flechas de multi-
470 plaje que tienen el número 10 y mostradas en los conductores de salida
del circuito descifrador SW4 y en el conductor de salida común de las barre-
reras electrónicas pe-lpe10 indican que se provee un grupo similar de
barreras electrónicas para cada enlace entrante, estando las diez barre-
ras, tal como pe9, controladas en paralelo por un conductor de salida SW4. Se
obtendrá así una señal en la entrada del circuito IV en cada posición de tiem-
po en la que el enlace saliente Sn, cuya clave se aplica al circuito SWA,
está ocupado. El circuito IV suministra una señal de salida para cada po-
sición de tiempo libre en el enlace Sn, esto es, cada tiempo en que no re-
cibe impulsos. Estas señales pasan a través de la barrera electrónica PB1
normalmente abierta en posición 1 y controlan la barrera electrónica PC1
que recibe desde otro extremo, las claves de la posición de tiempo suminis-
trañas por el generador central GP fig. 2. Se comprende que estas claves
pueden estar constituidas por el número de serie de cada posición de tiem-
po comenzando desde la posición de sincronización, estando expresado el
480 mencionado número de serie, por ejemplo, por una clave binaria. La prime-
ra señal de salida del circuito IV induce así la inscripción en el regis-
trador RC1 de la clave de la primera posición de tiempo que está libre en
el enlace saliente Sn. El registrador RC1 se provee de tal modo que sumi-
nistra una señal de salida continua tan pronto como se ha registrado una
485 clave en el mismo y esta señal se aplica a la barrera electrónica PB1 a
fin de bloquearla cualesquiera que sean las señales aplicadas a sus otras
entradas. El circuito según se ha descrito funciona así a fin de registrar
la clave de la primera posición de tiempo libre en el enlace saliente lla-
mado Sn. La señal de salida del registrador RC1 se aplica también como se-
490 ñal de bloqueo a la barrera electrónica PB1 que controla una de las entra-
das de un circuito oscilante BA1. Este circuito oscilante recibe en su

./..

252771



19.

495

500

505

otra entrada una señal de vuelta a reposo al final del funcionamiento del circuito. Si todas las posiciones de tiempo están ocupadas en el enlace saliente Sn, el registrador RC1 no aplica una señal de bloqueo y la señal de sincronización que indica el comienzo del periodo siguiente induce a través de la barrera electrónica PD1, la conmutación del circuito BAI a su segundo estado estable, indicando esto que la comunicación no puede establecerse. En este caso, una señal OC es transmitida por el circuito BAI al circuito CCO (fig. 5) a fin de producir la liberación del circuito de control. Si una posición de tiempo está libre en el enlace saliente Sn, la barrera PD1 se bloquea y el funcionamiento del circuito procede normalmente. La clave de la posición de tiempo libre en el enlace saliente llamado registrada en el almacén RC1 se aplica a un circuito de comparación COM1 que recibe desde otro punto las claves CO de las 20 posiciones de tiempo. El comparador COM1 se provee para suministrar en su conductor de salida 3 (figs. 3 y 4) una señal en una posición de tiempo libre en el enlace saliente llamado Sn, y esto en cada periodo de repetición de funcionamiento del sistema.

510

515

520

Se ha explicado con relación a la fig. 2 que la memoria M3 se utilizó para registrar las claves de las posiciones de tiempo s-x a las que se establecen comunicaciones desde los enlaces entrantes El. Estas claves aparecen en los cinco conductores abl, fig. 2 y son aplicadas por los conductores 6 (fig. 2 y 3) a la entrada de las barreras electrónicas PG1. La clave del enlace entrante El por la cual ha de establecerse la comunicación se aplica desde el registrador RJE por medio del conductor 7 (figs. 5, 4 y 3) y la barrera electrónica PH1 (fig. 3) abierta en la posición T1, a un circuito descifrador SW5 que acciona del mismo modo que el SW4 y suministra una señal sobre el conductor saliente que corresponde a la clave del enlace El. Cada conductor controla dos barreras electrónicas PK1 y PG1 (multiplicadas en el caso que se considera). A través

./..

252771



20.

de la barrera electrónica PGI las claves s.x. que indican la posición de tiempo, o en otras palabras, los canales entrantes de los enlaces EI que están en comunicación con los enlaces salientes, se aplican al circuito IR diseñado para suministrar una señal de salida cada vez que no recibe una clave en su entrada, esto es, para cada posición de tiempo s-x con la que el enlace entrante EI no está en comunicación. La disposición que comprende las barreras electrónicas P11 y PJ1, el registrador RD1 y el comparador de clave COM2, funciona del mismo modo que las barreras electrónicas PB1 y PC1, el almacén RC1 y el comparador de clave COM1. Queda entendido que la clave s.x. de una posición de tiempo en los enlaces salientes con la que el enlace entrante no está en comunicación o en otras palabras, una posición de tiempo que no está registrada en la memoria M3 se registra en la memoria RD1 y el circuito comparador suministra en cada periodo de repetición una señal correspondiente sobre el conductor 4 (figs. 3 y 4). Como se ha explicado, los registradores RC1 y RD1 suministran una señal de salida tan pronto como se ha registrado una clave, Estas señales se aplican a la barrera electrónica PF1 que aplica, a través del conductor 8 (figs. 3, 4 y 5) una señal al contador CE1 que conmuta a la posición T2. En este momento del funcionamiento los siguientes elementos están disponibles en cada periodo de repetición:

En el conductor 3, en cada periodo de repetición del sistema, una señal de una posición en tiempo que corresponde a un canal libre en el enlace saliente a través del que debe establecerse la comunicación.

En el conductor 4, en cada periodo de repetición del sistema, una señal de una posición en tiempo en que un enlace saliente está en comunicación con el enlace entrante que llama.

En la continuación de la descripción, Sa y Sb designarán

./..

252771



21.

450

las posiciones de tiempo en que aparecen las señales respectivamente en los conductores 3 y 4.

455

Como ya se ha explicado, cada posición de tiempo tal como Sa y Sb está dividida en cuatro tiempos elementales cada uno de una duración de 1'25 microsegundos. Los impulsos de 5 microsegundos Sa y Sb son aplicados respectivamente por los conductores 3 y 4 (figs. 3 y 4) a los generadores SAG y SBG, fig. 4. Cada uno de estos generadores tal como SAG suministra en respuesta a la recepción de un impulso tal como sa, cuatro impulsos sucesivos de 1'25 microsegundos sa1, sa2, sa3 y sa4, respectivamente en las cuatro salidas.

460

465

El funcionamiento del circuito de control en la posición T2 se explicará ahora. Tan pronto como el contador CET conmuta a la posición T2, la barrera electrónica Pm1 (fig. 4) se abre. Por lo tanto, en cada instante Sb1, se aplica un impulso desde el conductor 4 a través de la barrera Pm1 al contador CE1, fig. 4, que ha sido repuesto a posición de reposo por la señal RE suministrada por el contador CET fig. 5, al final del ciclo de funcionamiento. El contador CE1 fig. 4, comprende tantas posiciones como enlaces entrantes hay más uno, o sea 11 posiciones en el ejemplo que se considera. Esta provisto de tal modo que aplica, de una parte, en sus salidas la clave del total registrado y de otra parte para aplicar sobre el conductor 9, figs. 4 y 5, una señal cuando llega a la posición 11. En cada posición contadora del contador CE1 se aplica la clave de un enlace entrante, por una parte al registrador R31 de la memoria M4 a través de la barrera electrónica PS1 y de otra parte a través de la barrera electrónica PQ1 (abierta en los instantes Sa2/Sb2 a través de la barrera electrónica mezcladora PR1) y el conductor 10, figs. 4 y 3, al circuito descifrador SW5 cuyo funcionamiento ya se ha explicado y que por lo tanto abre en los instantes sa2 y sb2 las barreras electrónicas

470

475

./..



252771

22.

PK1 y PG1.

480 Antes de seguir con la explicación el funcionamiento de los componentes de circuito de la memoria M4 fig. 4, se explicará rápidamente. Se ha considerado el caso de una memoria M4 del mismo tipo que las memorias M1, M2 y M3, fig. 2, que consisten de tantos departamentos como enlaces de salida hay, 10 por ejemplo, en el caso que se considera. La elección del departamento en que se efectúa el registro, esto es, de la línea horizontal en el ejemplo mostrado, se efectúa a través del circuito descifrador SW6 al que se aplica, como se explicará posteriormente, la clave de un enlace saliente, el cual en respuesta, marca el conductor correspondiente, ya sea para efectuar un registro o una lectura. Además, se supondrá que el circuito descifrador SW6 comprende una memoria, esto es, que después de la recepción de una clave induce la marcación de una línea horizontal y retiene esta marcación hasta el momento en que se aplica a la misma otra información. Cada departamento está dividido en cuatro secciones que se han designado SE31, SE32, SE33 y SE34, estando estas secciones asociadas respectivamente a los registradores de registro y lectura R31, R32, R33 y R34. Como se explicará posteriormente, la información registrada en estos registradores se registra en instantes diferentes. Durante un ciclo de funcionamiento elemental del circuito de la fig. 4, que comprende 20 posiciones de tiempo, se efectúan dos inscripciones respectivamente, en los almacenes R31 y R32 en el instante sb2 y en los registradores R33 y R34 en el instante sa2. El funcionamiento del circuito en el momento en que se aplica un impulso en el instante sb1 al contador CE1 que está en una posición correspondiente a la clave del enlace entrante E.n-1, se volverá a considerar. El contador CE1 conmuta entonces a la posición correspondiente a la clave del enlace En. Esta clave se aplica, por una parte como ya se ha indicado, al circuito descifrador SW5 fig. 3 a fin de inducir la abertura de las barreras electrónicas PK1 y PG1 permitiendo

485

490

495

500

505

./..



252771

23.

510 acceso a este enlace entrante, y de otra parte a través de la barrera electrónica PS1 fig. 4, abierta en la posición sb3, al registrador R31 en donde esta clave queda registrada. La barrera electrónica PK1 (fig. 3) conecta, por medio del conductor 18 (figs. 2, 3 y 4) y de la barrera electrónica PT1, fig. 4, abierta en el instante sb, la salida del almacén de lectura RL2 (fig. 2) de la memoria M2 asociada al enlace En, la clave que está registrada en el contador CE1, fig. 4, en la entrada del circuito descifrador SW6 fig. 4. Las señales que aparecen en este instante en las salidas da1 a da4 del almacén de lectura RL2 de la memoria M2, fig. 2, corresponden a la clave del enlace saliente Sm que en el instante sb está dispuesto en comunicación con el circuito del enlace entrante En. Esta clave aplicada al circuito SW6, fig. 4, se utiliza para marcar el conductor horizontal, esto es, el departamento en que se efectuarán los posteriores registros, durante este ciclo elemental de funcionamiento (100 microsegundos).

515 La barrera electrónica PG1 (fig. 3) pone en comunicación las salidas db1 a db5 del almacén de lectura RL3 de la memoria M3, fig. 2, del circuito asociado al enlace entrante En (m-1 en el caso de la fig.2) fig. 2, con el registrador R32 de la memoria M4, fig. 4, y esto a través del conductor 6, figs. 2, 3 y 4, y la barrera electrónica PU1 abierta en el instante sb3.

520 La clave que aparece en la salida del registrador de lectura RL3 de la memoria M3 fig. 2, es la del canal entrante en el enlace En o incluso de la posición de tiempo e.x. en que la comunicación despachada sobre el enlace saliente Sm en el instante sb se presenta sobre el enlace entrante En. Esta clave se registra en el registrador R32. La información registrada en los registradores R31 y R32 se registrará en las secciones del departamento M4 que corresponden a la clave aplicada al circuito SW6 aplicando en los instantes sb3 una señal a los registradores R31 y R32 así como al circuito SW6. En el instante sa3, se abre otra vez la barrera electró-

525

530

./..



252771

24.

535

nica PQ1 a través de la barrera PR1, fig. 4, y la clave del enlace entrante En, se aplica de nuevo a través del conductor 10 al circuito descifrador SW5, fig. 3. La clave del enlace saliente que aparece en el conductor 18, figs. 2, 3 y 4 se aplica en este instante a través de la barrera electrónica PV1 abierta en la posición sa2, al almacén R33, mientras que a través del conductor 6, figs. 2, 3 y 4 y la barrera electrónica PX1, fig.4, abierta en el instante sa3, la clave de la posición de tiempo, en que la comunicación establecida con el enlace saliente cuya clave está registrada en el registrador R33 en el instante en que sa3 se presente en el enlace En, se aplica al registrador R34, fig. 4. El registro en la memoria de la información contenida en los registradores R31, R32, R33 y R34 al final del intervalo de tiempo sa, se efectúa aplicando en el instante sa3 una señal a los registradores R31 a R34 así como al circuito SW6.

540

545

550

555

560

Los circuitos R31 a R34 se liberan entonces y están dispuestos para ser utilizados en el siguiente ciclo de funcionamiento elemental. Durante la aparición del impulso siguiente sbl el conductor CE1 conmuta a la posición que corresponde a la clave del enlace Em+1 y se reanudan las operaciones descritas. Ha de observarse que cuando el circuito del enlace entrante, cuya clave está registrada en el contador CE1, no se pone en comunicación con ninguno de los enlaces salientes en el instante sb, la clave 0 se aplica al circuito SW6 y por lo tanto no se efectúa ningún registro en la memoria, estando el circuito SW6 diseñado de tal modo que no marca a ninguno de los conductores horizontales cuando se le aplica la clave 0. El proceso descrito con relación al enlace En se repite sucesivamente para los 10 enlaces y cuando la clave registrada en el contador CE1, fig. 4 corresponde a 11, se aplica una señal, como se ha indicado, por el conductor 9, figs. 4 y 5, al contador CET que conmuta a la posición 31. Una tabla que muestra un ejemplo de la información en la forma en que se regis-

./..

252771



25

565

570

575

580

585

tra en la memoria M4 al final del paso de funcionamiento T2 se muestra en la fig. 6. La columna 1 muestra los diferentes enlaces salientes que pueden clasificarse según cualquier orden pero que se han clasificado según un orden numérico creciente para mayor sencillez. En una misma línea, la columna 3 indica el canal en el enlace entrante (columna 2) que está en comunicación en el instante sb con el enlace saliente indicado en la columna 1. De la misma forma la columna 5 indica el canal entrante en el enlace entrante que está en comunicación en el instante sa con el enlace saliente indicado en la columna 4. La figura 7 muestra un resumen de la información contenida en la tabla de la fig. 6, mostrada en forma diferente. Cada columna comprende sucesivamente de izquierda a derecha la clave de un enlace entrante, la clave del enlace saliente con que comunica en el instante sb y la clave del enlace saliente con el que está en comunicación en el instante sa. Se hará referencia en la descripción que sigue a la tabla de la fig. 7. Las conmutaciones efectuadas en los canales entrantes se explicarán sin hacer referencia a la tabla completa de la fig. 6. La tabla de la fig. 7 que muestra la comunicación en curso de funcionamiento comprende en cada columna, como máximo una vez, cada uno de los enlaces. Esta condición es necesaria para, si el mismo enlace S4 por ejemplo apareciese dos veces, la línea 2 y la línea 8 por ejemplo en la misma columna sb, se abrirán simultáneamente las barreras electrónicas p2-4 y p8-4 (fig. 1 ó 2) en el instante sb. Por otra parte, si las comunicaciones están normalmente en curso de funcionamiento, esta condición se cumple necesariamente como aparecerá por la lectura de la descripción. Ha de observarse que la clave del enlace entrante que llama se aparece en la fig. 6 en la segunda columna por la izquierda, y que la clave del enlace saliente a través del que ha de establecerse la comunicación no aparece en la cuarta columna por la izquierda. Del mismo modo, existe una línea que no comprende ningún

./..

252771



26.

590 registro; la que corresponde al enlace entrante que llama. El hecho de que
esta línea no comprenda ningún registro no quiere decir que el enlace en-
trante que llama no esté en comunicación en la posición de tiempo sa, sin
embargo, este hecho no se registra. Se comprende también el que haya un
departamento libre en la cuarta columna de la izquierda; la correspondien-
595 te al enlace saliente solicitado. Puede ocurrir que este departamento li-
bre sea el correspondiente al enlace entrante que llama en el que se regis-
tra la información. Quedará entendido por la descripción que se maneja es-
te caso concreto lo mismo que el general.

600 En la descripción que sigue las tablas derivadas
de la tabla de la fig. 7 y mostradas en las figs. 8 a 12 tendrán que consi-
derarse no como un resumen del contenido de la memoria M4, fig. 4 sino más
bien un estado de las conexiones establecidas en los instantes sa y sb, no
registrándose en la memoria M4 fig. 4, las modificaciones efectuadas en
las conexiones y que aparecen en las tablas derivadas de la tabla de la
605 fig. 7.

La operación que conduce a la disposición de la
comunicación requerida de entre las comunicaciones ya establecidas será
descrita ahora. Como se ha explicado, la clave del enlace entrante y la
clave del canal que llama en el enlace entrante y la clave del enlace sa-
610 liente a través del cual debe disponerse la comunicación se registra res-
pectivamente en los registradores RJE, RTE y RJS fig. 5. Por otra parte,
como se ha indicado con relación al funcionamiento del circuito de la
fig. 4 tan pronto como la información sobre las comunicaciones existentes
en las posiciones de tiempo sa y sb están registradas en la memoria M4
615 fig. 4, el circuito contador CE1, fig. 4, transmite, en el instante sb1,
una señal al contador CET, fig. 5, a fin de conmutarlo de la posición T2
a la posición T31 que es una posición de espera durante la cual no se

./..

252771



27.

efectúa ninguna modificación en el circuito. Desde el punto de vista de funcionamiento del circuito que conduce a la disposición de la comunicación requerida entre las comunicaciones ya establecidas, se han considerado tres pasos de operaciones: T31 que es una posición de espera T32 y T33. A fin de facilitar la explicación, se hará referencia a un ejemplo concreto de puesta en práctica, esto es, el establecimiento de una comunicación entre el canal e4, El y el canal saliente S2:

El registro de la clave del canal entrante y de la clave del enlace saliente a través del cual debe disponerse la comunicación en los departamentos que corresponden a la posición de tiempo sb de las memorias M2 y M3 (fig. 2) del circuito asociado al enlace entrante que llama (estos departamentos están libres debido a la elección de sb).

El impulsor sb1 que sigue inmediatamente a la conmutación del contador CET1 fig. 5 a la posición T31 induce a través de la barrera PA2 fig.5 la conmutación del contador CET a la posición T32. La clave del enlace entrante que llama (El) contenida en el registrador RJE fig. 5 se aplica entonces en el instante sb2, a través de la barrera electrónica PB2 y el conductor 11 (figs. 5, 4 y 3) al circuito descifrador SW7, fig. 3, idéntico al circuito SW5, fig. 3, que abre las dos barreras electrónicas PC2 y PD2, fig. 3, permitiendo acceso al enlace entrante que llama cuya clave está registrada en el registrador RJE, fig. 5. Se supondrá que los circuitos descifradores SW5 y SW7 comprenden una memoria, no se muestra y que permanecen en la posición correspondiente a la clave a ellos aplicada mientras no se les aplique una nueva. En el instante ab3 la clave del canal entrante e.4 en el enlace entrante que llama El, registrada en el registrador RTE, fig. 5, se aplica a través de la barrera electrónica PE2, el conductor 12, figs. 5, 4 y 3, la barrera electrónica PD2 y el conductor 12, figs. 3 y 2, al registrador de registro RE3 de la memo-

./..

252771



28.

650
655
660
665
670

ria M3. Por la explicación dada con relación a la fig. 2 se comprende que la información en el canal entrante se registra en el instante t_3 en el registrador RE3 y que se transfiere al departamento de la memoria M3 correspondiente al instante sb, en el instante t_4 , aplicándose una señal t_4 al circuito EL3 para este fin. Durante este mismo intervalo de tiempo sb3 (que corresponde como se acaba de mostrar al instante t_3 de la posición de tiempo sb, desde el punto de vista del funcionamiento de las memorias de la fig. 2) la clave del enlace saliente S2 (registrada en el registrador RJS, fig. 5) se aplica a través de la barrera electrónica PF2, el conductor 13, figs. 5, 4 y 3, la barrera electrónica PC2, el conductor 13, figs. 3 y 2, al registrador de registro RE2 de la memoria M2, fig. 2. Como en el caso del funcionamiento de la memoria M3, la clave del enlace saliente S2 requerida se transfiere desde el registrador RE2 al departamento de la memoria M2 correspondiente al instante sb durante el instante t_4 del intervalo de tiempo sb. Por otra parte la clave del enlace saliente contenida en el registrador RJ5 fig. 5 aplicada a través de las barreras electrónicas PF2 y PG2, fig. 5, a un registrador provisional RP1 (fig. 5) en donde se registra y desde donde se aplica por el conductor 14, figs. 5 y 4, a la entrada del circuito descifrador SW6 fig. 4, que según se ha explicado comprende una memoria en donde se registra esta clave, seleccionando el departamento de la memoria M4 que corresponde a la clave del enlace saliente requerida. Durante el mismo ciclo de funcionamiento elemental, el impulso sb4 induce a través de la barrera electrónica PH2, fig. 5, la conmutación del contador CET, fig. 5, a la posición T33. El estado de las conexiones en los instantes sa y sb se muestra en la tabla de la fig. 8 en donde las modificaciones se indican en líneas gruesas. Se observa que S2 aparece dos veces en la columna central (sb). El fin de la operación siguiente es cancelar este estado de cosas.

./..

252771



29.

675

El primer ciclo de funcionamiento del paso T33 durante el cual los tiempos en que las conexiones entre el enlace entrante E8 y los enlaces salientes S2 y S1, se invierten.

680

Durante el siguiente ciclo de funcionamiento en el instante sbl, el contenido de los departamentos de la memoria M4, fig. 4, que corresponden al enlace saliente requerido (S2 en el ejemplo que se considera) se extrae de la memoria M4 y se transfiere a los registradores R31, R32, R33 y R34. Se supone que la lectura de esta información en los departamentos de la memoria M4 borra esta información, liberando así estos departamentos de la memoria. La señal de control se aplica al circuito SW6 a

685

través de la barrera electrónica PR2 fig. 4. En el instante sb2, la clave del enlace entrante registrada en el departamento de la memoria M4 sección SE31 que corresponde al enlace saliente S2, esto es E8 en el ejemplo que se muestra en la tabla de la fig. 6, y que ha sido transferida en el instante sbl al registrador R31, es aplicada por el conductor 15, figs. 4 y 5,

690

la barrera electrónica PJ2 (controlada por la barrera electrónica PM2 en el instante sb2) y el conductor 11 al descifrador SW7, fig. 3 que abre las barreras electrónicas PC2 y PD2 que permiten acceso al circuito del enlace entrante E8. En el instante sb3 la clave del enlace saliente S1

695

(registrada en el registrador R33, fig. 4) que está en comunicación en el instante sa con el enlace entrante E8 es aplicada por el conductor 19, la barrera electrónica PK2 fig. 5, y un circuito ya descrito (conductor 13, figs. 5, 4, 3 y 2) al registrador de registro RE2 de la memoria M2. Como ya se ha explicado el circuito de registro y lectura de las memorias M2

700

y M3 está diseñado de modo que vuelve a registrar la información que acaba de ser leída, si no se transmite ninguna otra orden contradictoria y particularmente si no se registra nada durante este ciclo de funcionamiento en los registradores de registro RE2 y RE3. Con referencia al circuito

./..

252771



30.

de funcionamiento elemental dado con relación a la fig. 2, se comprende que la información se extrae de los dos departamentos correspondientes de las memorias M2 y M3 en el instante t_1 y que vuelve a ser registrada en este mismo departamento en el instante t_4 si no se ha registrado información en los registradores RE2 y RE3. Si se ha registrado información (en el instante t_3) por ejemplo en el registrador RE2, la información leída es reemplazada por la información contenida en el registrador RE2, en el momento de nuevo registro en el instante t_4 . La memoria M3 funciona en forma similar. Este es el proceso utilizado a fin de modificar la información contenida en los diferentes departamentos de la memoria. Se comprende ahora que aplicando al registrador RE2 (fig. 2) del circuito asociado al enlace entrante E8, y esto a través de la barrera electrónica PK2, fig. 5, la clave del enlace saliente S1 que está normalmente en comunicación en el instante sa con el enlace entrante E8, la clave del enlace S2 registrada se reemplaza, en el departamento de la memoria M2 (fig. 2) que corresponde a la posición de tiempo sb en el enlace saliente, por la clave del enlace S1. Del mismo modo, en el instante sb_3 , a través de los conductores 16 figs. 4 y 5 la barrera electrónica PL2 (Fig. 5) los conductores 12, figs. 5, 4 y 3, la barrera electrónica PD2 y el conductor 12, figs. 3 y 2, la clave del canal entrante $e11$ se aplica al registrador RE3 fig. 2 de la memoria M3 asociada al circuito de enlace entrante E8. Con referencia a la tabla de la fig. 8, se comprende que el canal entrante $e11$ del enlace E8 es el que hasta este momento estaba en comunicación con el enlace saliente S1 en el instante sa . La inscripción en el registrador RE3, fig. 2, la clave del canal entrante ($e11$) induce en el departamento de la memoria M3, que corresponde al instante sb , el reemplazamiento de la clave de este canal entrante $e5$ registrada, por la del canal entrante $e11$.

En el instante siguiente sa_2 , se aplica una señal a través de la barrera electrónica PM2 fig. 5 a la barrera electrónica PJ2 a

./..

252771



31.

730

fin de aplicar otra vez al circuito descifrador SW7, fig. 3, la clave del enlace entrante E8 registrada en la sección SE31 del departamento de la memoria M4 que corresponde al enlace saliente S2. El circuito mostrado en las figs. 4 y 5 es conectado así de nuevo al circuito asociado al enlace entrante E8. En el instante Sa3, la clave del canal entrante e5 del en-

735

lace entrante E8 que hasta este momento estaba en comunicación en el instante sb con el enlace saliente S2 y registrada en la sección SE32 del departamento de la memoria M4 correspondiente al enlace saliente S2 es aplicada por el conductor 17 figs. 4 y 5, la barrera electrónica PN2 y un circuito

740

ya descrito, al registrador RE3 de la memoria M3 (figs. 2) asociado al enlace entrante E8. Se comprende que esta clave reemplace entonces en el instante t_4 la clave ell registrada en el departamento correspondiente a la posición de tiempo sa. Del mismo modo en el instante sa3 y a través de la barrera electrónica PQ2 fig. 5 y un circuito ya descrito, la clave del

745

enlace saliente S2 contenida en el registrador RE1 se aplica al registrador RE2 de la memoria M2 fig. 2. Se comprende que en el instante t4 de la posición de tiempo sa, la clave del enlace saliente S2 reemplaza en el departamento de la memoria M2 que corresponde al instante Sa, la clave del enlace saliente S1 registrada.

750

Antes del primer ciclo de la operación en T33 las comunicaciones en curso de funcionamiento eran las siguientes (figs. 6 y 7):

En la posición de tiempo sb: E8-e5 en comunicación con S2-sb.

En la posición de tiempo sa: E8-ell en comunicación con S1-sa.

755

Después de las conmutaciones efectuadas en los instantes sb y sa las comunicaciones establecidas en estas posiciones de tiempo son:

252771



32.

En la posición de tiempo sb:E8-e11 en comunicación con S1-sb.

760

En la posición de tiempo sa:E8-e5 en comunicación con S2-sa.

El estado del programa de las conmutaciones que son entonces efectuadas en los instantes sa y sb se muestra en la tabla de la fig. 9.

765

En el instante sa4 la barrera electrónica PP2 figura 5, se abre de modo que la clave del enlace saliente que estaba en comunicación en el instante sa con el enlace entrante E8 (esto es, S1), se aplica al registrador provisional RPI en donde reemplaza a la previamente registrada (82) en el mismo. Se coloca por lo tanto de nuevo en las mismas condiciones que las existentes al comienzo del primer ciclo de funcionamiento en T33, que acaba de explicarse en detalle.

770

Las operaciones descritas con relación al primer ciclo de funcionamiento, esto es, la forma en que la información contenida en el departamento de la memoria M4, correspondiente al enlace saliente S2, se repetirán ahora durante el segundo ciclo de funcionamiento, pero aplicadas a la información contenida en el departamento correspondiente al enlace saliente S1.

775

El programa de las conmutaciones que han de efectuarse en los instantes sa y sb es al final del segundo ciclo de funcionamiento el mostrado en la figura 10.

780

El ciclo siguiente (tercero), altera la parte del programa de conmutación registrado en el departamento de la memoria M4 que corresponde al enlace saliente S7, El estado de este programa al final del tercer ciclo de indica en la tabla de la figura 11.

785

El cuarto ciclo de funcionamiento altera la parte del programa de conmutación registrado en el departamento de la memoria M4

./..

252771



33.

790 que corresponde al enlace saliente S4; pero las secciones SE33 y SE34 de este departamento están vacías indicando ésto que no hay conmutación establecida en el instante sa. En el instante sa4 el contenido de la sección SE33 del departamento de la memoria M4 en curso de lectura, se transfiere al registrador provisional RP1 a través de la barrera electrónica PP2, figura 5, la clave 0 se registra así en el registrador RP1 diseñado para suministrar en este caso una señal de salida que se aplica a través de la barrera electrónica PR2 al contador CET figura 5, que entonces conmuta a la posición T4. El contador CET permanece en la posición T4 durante 100 microsegundos y en el instante SA4 la barrera electrónica PQ3 induce la conmutación del contador a la posición RE en la cual el circuito de control común se libera, siendo todos los registradores y descifradores vueltos a la posición de reposo. Las operaciones de conmutación que terminan en el establecimiento de una comunicación entre las comunicaciones ya establecidas, se han descrito con relación a las figuras 2 a 12. La descripción se ha limitado hasta ahora al circuito conmutador mostrado en la figura 2, que dentro de un sistema conmutador telefónico puede constituir, por ejemplo, un conmutador de grupo como se ha descrito en el circuito de la figura 2, asociado a un enlace entrante E1 y con acceso a 10 enlaces salientes S1 a S0. El 805 circuito conmutador asociado al enlace saliente S2 se ha mostrado en ES2 figura 13. El circuito de control mostrado en las figuras 3, 4, 5 y 14 tiene acceso de una parte a los 10 circuitos de los enlaces entrantes EE1, EE10, tal como el mostrado en la figura 3, y de otra parte a los 10 circuitos de los enlaces salientes ES1, ES10 tal como el mostrado en ES2, figura 13. El circuito de enlace saliente ES2 comprende una memoria M5 que funciona del mismo modo que la memoria M2 figura 2, que en el ejemplo considerado se supone que utiliza para el elemento de memoria, núcleos de material magnético con ciclo de histéresis rectangular. Como se ha explicado en el caso de la memoria M2, la memoria M3 comprende 20 departamentos 815

./..

252771



34.

que cada uno consiste en núcleos dispuestos de acuerdo con una misma línea horizontal. La elección de un departamento para la lectura del registro se efectúa por medio de un circuito SW10 que funciona del mismo modo que el circuito SW2, figura 2. El núcleo matriz está asociado a un circuito de registro y lectura EL5, a un registrador de lectura RL5 y a un registrador de registro RE5. Dentro de un periodo de repetición de cinco segundos, el funcionamiento del circuito es como sigue: En el instante t1, el contenido de un departamento se lee y la información en él contenida se transfiere al registrador de lectura RL5; en el instante t3, la información se extrae del registrador RL5 a fin de ser enviada al circuito descifrador SW11. En el mismo instante t3 y en el instante t4, la información contenida en el registrador RE5 se transfiere al departamento de la memoria seleccionada a través del circuito SW10. La información transmitida en el instante t3 al registrador RE5 se transmite también en el mismo instante al registrador de lectura RL5, donde reemplaza a la extraída de la memoria M5 y desde donde se aplica al descifrador SW11, como en el caso de las memorias M2 y M3. Se supone que cuando no hay información disponible en el registrador RE5 el circuito EL5 funciona a fin de volver a registrar en el instante t4, en el departamento de la memoria, la información extraída del mismo en el instante t1. La información extraída del registrador RL5 se aplica al circuito descifrador SW11 que selecciona un conductor de entre m. Estos m conductores (C1, Cm), se utilizan para controlar las barreras electrónicas que permiten acceso, desde el enlace S1 a circuito saliente LA2-1 a LA2-m. Se comprende que cuando ha de establecerse una comunicación, en una posición de tiempo dada, a través del enlace S2, con un circuito saliente LA2-2, por ejemplo, se registra en el departamento de la memoria M5 que corresponde a la posición de tiempo, la clave que corresponde a este circuito saliente, o, en otras palabras, la clave del conductor C2 a través del cual se efectúan el control de la barrera electrónica pa2-2, asociada al cir-

./..

252771



35.

845 cuito IA2-2. Estando el circuito SW10 controlado en la misma forma que
el circuito SW2, figura 2, cada vez que se explora el departamento corres-
pondiente se induce la abertura de la barrera electrónica pa2-2 (en el
caso que se considera), de modo que el circuito saliente IA2-2 se pone en
comunicación con el enlace S2. Ha de observarse aquí que de hecho la infor-
850 mación aparece en el enlace S2 en el instante t_4 de cada periodo de repe-
tición del sistema. Por lo tanto, el circuito descifrador SW11 se ha pro-
visto de una memoria, no se muestra, y recibe una señal de control t_4 a fin
de abrir la barrera electrónica, tal como pa2-2, en el instante t_4 en el mo-
mento en que la información se transmite sobre el enlace S2. El circuito
855 SW11 puede diseñarse según una forma conocida a fin de retener la infor-
mación reseñada en el mismo hasta que la nueva información le es transmi-
tida.

Durante la explicación del funcionamiento de los circui-
tos mostrados en las figuras 2 a 5 se ha indicado que a fin de establecer
860 nuevas comunicaciones entre aquellas ya establecidas, era preciso, de
acuerdo con el invento, modificar alguna de las comunicaciones ya estableci-
das, o más exactamente modificar las posiciones de tiempo en que están es-
tablecidas.

Sin embargo, se comprende que las modificaciones hechas
865 en el circuito mostrado en la figura 2 deben también efectuarse en el cir-
cuito de enlace saliente tal como ES2, a fin de mantener la continuidad de
la comunicación en curso. Para simplificar la explicación no se han men-
cionado las modificaciones hechas en los circuitos de enlace saliente,
pero debe comprenderse que se efectúan en sincronismo con las efectuadas
870 en el circuito de la figura 2. El funcionamiento del circuito al comienzo
del paso de funcionamiento T32 se considerará de nuevo.

El circuito común CCO figura 5, no sólo mantiene la infor-
mación en el enlace entrante, el canal entrante y el canal saliente a

./..

252771



36.

875

través de los que debe establecerse la comunicación, pero conoce también la clave del circuito hacia el cual debe establecerse la comunicación, por ejemplo LA2-2. En el instante sb2 del paso T32 la clave del circuito LA2-2 se transmite desde el circuito CCO a través de la barrera electrónica PA3, fig. 5 y el conductor 20, figuras 5, 4, 3 y 14 al registrador RA2, figura 14 en donde se registra. Del mismo modo, en el instante sb2 de T32, la cla-

880

ve del enlace saliente S2 se transmite desde el registrador RJS, figura 5 a través de la barrera electrónica TM3 y el conductor 22 figuras 5, 4, 3, 14 y 13 al circuito descifrador SW8 que comprende una memoria y funciona

885

en forma idéntica al circuito descifrador SW1, figura 2. Este circuito controla la abertura de la barrera electrónica PH3 que enlaza el circuito de control al circuito ES2 asociado al enlace saliente S2 a través del cual se establece la comunicación. Se comprende que hay tantas barreras electrónicas tal como PH3 como hay enlaces salientes tal como 10. Como se ha expli-

890

cado antes la posición de tiempo sb es una posición en la que ningún enlace saliente está en comunicación con el enlace entrante que llama El. Sin embargo, puede suceder que en este instante el enlace saliente a través del cual ha de establecerse la comunicación, esto es, S1 en el ejemplo considerado, esté en comunicación con otro enlace entrante. Con referencia a la tabla de la figura 6 puede verse que en el ejemplo considerado, es el canal entrante E8-e5 el que está en comunicación con el enlace entrante

895

S2 en el instante S6. En el instante sb3 del mismo ciclo de funcionamiento, la barrera electrónica PF3, figura 14 está abierta de modo que la clave del circuito LA2-x que está en comunicación con el canal entrante E8-e5 se registra en el registrador RA3, figura 14, en el instante Sa4 del paso

900

T32, las barreras electrónicas PE3 y PD3 se abren a fin de transferir el contenido de los registradores RA3 y RA2 respectivamente a los registradores RA4 y RA5. Estos cuatro registradores son del mismo tipo que el registrador RP1, figura 5, esto es, que retienen la información transmitida

./..

252771



37.

905 a ellos en tanto que no se les transmite una nueva información. El circuito de control conmuta después, como ya se ha explicado, a la posición T33. En el instante sb2 del primer ciclo de funcionamiento dentro del paso T33, En el instante sb2 del primer ciclo de funcionamiento dentro del paso T33 de la barrera electrónica PN3 está abierto de modo que la clave registrada en el registrador RP1 (esto es, la clave del enlace saliente S2 en el caso que se considera), es aplicada por el conductor 23, figs. 5, 4, 3 y 14 al circuito descifrador SW9 a fin de poner el circuito de control común en comunicación con el circuito del enlace saliente S2, a través de la barrera electrónica PJ3. En el mismo instante sb2 la barrera electrónica PL3 se abre a fin de aplicar a través del conductor 22 la clave registrada en el registrador R33, fig. 4 al circuito descifrador SW8. Esta clave es la del enlace saliente S1 como puede verse haciendo referencia a las tablas de las figs. 6 ó 7. El circuito descifrador SW8 controla una barrera electrónica PH3, fig. 13, a fin de poner el circuito de control en comunicación con el circuito ES1 del enlace saliente S1. En el instante sb3 la clave del circuito saliente que está en comunicación con el enlace S1 se registra a través de la barrera electrónica PF3, fig. 14 en el registrador RA3. 915 Del mismo modo, en el instante sb3 la clave del circuito requerido IA2-2 está registrada en el registrador RA5 se transfiere en el instante sb3 al departamento de la memoria M5 que corresponde al instante sb. La clave transmitida en el instante sb3 al registrador RE5 se transmite también al registrador RL5 en donde ocupa el lugar de la extraída de la memoria M5 y desde donde se aplica al circuito descifrador SW11. 920 925

En el instante sa3 la barrera electrónica PC3 se abre de modo que la clave del circuito saliente está en comunicación en el instante sa con el enlace saliente S1 se registra en el registrador RA2. En el mismo instante sa3 la clave del circuito saliente IA2-x que estaba en comunicación con el enlace S2 en el instante sb se transfiere a los registradores RE5 y RL5 a través de las barreras electrónicas PB3 y PJ3, figs. 14 930

./..

252771



38.

935 y 13. Esta clave aplicada en sa3 al descifrador SW11 será transferida al departamento correspondiente en la memoria M5 en el instante sa4. En el mismo instante sa4 las claves contenidas en los registradores RA2 y RA3 son respectivamente transferidas a los registradores RA5 y RA4 a través de las barreras electrónicas TD3 y PE3. Durante el ciclo siguiente, la clave contenida en el registrador RA5 será transferida en el instante sb3 al registrador RE5 de la memoria M5 asociada al circuito del enlace saliente ES1. Del mismo modo en el instante sa3 la clave contenida en el registrador RA4 será transferida al registrador RE5 de la memoria M5 del circuito SE1.

940

Estos ciclos de funcionamiento se repiten y la figura 15 muestra las conexiones tal como están establecidas después de las modificaciones efectuadas por el circuito de control en las Memorias M2 y M3, figura 2 y Mr figura 13. Al leer la tabla de la figura 15 se observa que en ciertos momentos dos canales entrantes que pertenecen a enlaces entrantes diferentes se conectan al mismo canal de un enlace saliente. Esto puede parecer una desventaja. Sin embargo, ha de entenderse que este fenómeno tiene influencia sobre sólo un número limitado de canales durante el establecimiento de una nueva comunicación y que el inconveniente prácticamente dura solamente aproximadamente un periodo de repetición cada cuatro segundos, esto es, aproximadamente un impulso en 250.000. La distorsión tiene así el carácter de un ruido y en el caso de transmisión de señales de conversación no es apreciable. La tabla de la figura 16 muestra el programa de las conmutaciones al final de las operaciones que terminan en la producción de una nueva comunicación. Se representa del mismo modo que en la tabla de la figura 6.

945

950

955

El invento se ha descrito con relación a un ejemplo determinado de realización en el cual se ha considerado el caso de un sólo paso de conmutación con 10 enlaces entrantes y 10 enlaces salientes. Tal

960

./..

252771



39.

disposición puede evidentemente aplicarse, con la provisión de algunas modificaciones evidentes al perito en la materia, a un paso conmutador que incluya una concentración o una expansión, esto es, en el que el número de enlaces entrantes es diferente al de enlaces salientes. Del mismo modo el invento puede aplicarse al caso de varios pasos conmutadores, controlando entonces el circuito común sucesivamente en los diferentes pasos de conmutación las operaciones que conducen al establecimiento de una comunicación. A fin de simplificar la descripción se ha considerado el caso en el que la transmisión de la información sobre los enlaces se hace sólo en una dirección. Sin embargo, deben entenderse que el sistema puede con la provisión de modificaciones evidentes al técnico en la materia, funcionar en las dos direcciones. Por ejemplo, es suficiente efectuar provisión para un segundo conjunto de barreras electrónicas que enlacen los enlaces entrantes con los enlaces salientes controladas en paralelo y a través de las cuales se transmite la información en la otra dirección de transmisión.

Si bien los principios del invento se han escrito con relación a formas concretas y modificaciones particulares de las mismas, ha de quedar claramente entendido que esta descripción se hace sólo a modo de ejemplo y no como limitación del alcance del invento.

Este invento corresponde a una solicitud de patente formulada en Francia el 21 de Octubre de 1958 señalada con el número P.V.777.136 y se acoge, por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

----- N O T A -----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de 20 años son los siguientes:

1 - Un sistema de telecomunicación automático que comprende un juego de enlaces entrantes que cada uno forma la vía de un sistema multiplex P.C.M. (modulación por impulsos codificados) un juego de enlaces

./..

252771



40.

990 salientes que cada uno forma la vía de un sistema multiplex P.C.M., medios
de almacenaje en los que cada combinación P.C.M. recibida sobre un enlace
entrante es almacenada, medios para asignar a cada conexión de comunicación
establecida por medio de dicho sistema un canal multiplex en el enlace sa-
liente a través del cual ha de establecerse dicha comunicación, medios pa-
ra extraer cada combinación P.C.M. almacenada de dicho medio de almacenaje
995 en el tiempo que corresponde al canal asignado a su conexión sobre un enla-
ce saliente y medios para transmitir cada una de dichas combinaciones P.C.M.
extraídas al enlace saliente apropiado en el tiempo apropiado al canal a
través del cual ha de establecerse la conexión para la cual fué recibida
esta combinación P.C.M.

1000 2 - Un sistema de telecomunicación automático que comprende
un juego de enlaces entrantes que cada uno forma la vía de un sistema mul-
tiplex P.C.M., un juego de enlaces salientes que cada uno forma la vía de
un sistema multiplex P.C.M., un circuito de almacenaje asociado con cada
uno de dichos enlaces entrantes y que tiene un departamento asociado con
1005 cada canal multiplex provisto por su enlace de sistema multiplex, una com-
binación P.C.M. que llega a través de un canal de un enlace entrante de
sistema multiplex temporalmente almacenada en el departamento de este cir-
cuito de almacenaje de enlace para este canal, un segundo circuito de al-
macenaje asociado con cada uno de dichos enlaces entrantes y que tiene
1010 un número de departamentos igual en número al número de canales provistos
por un enlace saliente, registrándose la identidad del enlace saliente
a través del cual la conexión ha de establecerse y la identidad del canal en
uso en el enlace entrante para la misma conexión en dicho segundo circuito de
almacenaje en el departamento del mismo, que corresponde al canal del en-
1015 lace saliente que ha de utilizarse, una disposición de barrera a través
de la cual la salida del primer circuito de almacenaje de cualquier enla-
ce entrante puede conectarse a un enlace saliente, medios para leer los

./..

252771



41.

1020 departamentos del segundo circuito de almacenaje de un enlace entrante, cada uno en un tiempo sincronizado con su canal sobre un enlace saliente, medios que responden a la lectura de un departamento de un segundo circui-

1025 to de almacenaje de enlace entrante de la identidad de un canal de enlace entrante para extraer del departamento de este canal de este primer circuito de almacenaje de enlace la combinación P.C.M. almacenada en el mismo, y medios que responden a la lectura de un departamento de dicho segundo

1030 3 - Un sistema según el punto 2 en el que un circuito de control para dicho sistema recibe sobre un canal de enlace entrante señales que identifican el destino de la conexión para la que dicho canal se utiliza, en el que dicho circuito de control determina por dichas señales la identidad del enlace saliente a utilizar y en el que dicho circuito de control prueba y capta un canal libre, (si lo hay) sobre este enlace sa-

1040 1035 liente.
4 - Un sistema según el punto 3 en el que dicho circuito de control transmite al segundo circuito de almacenaje del enlace entrante para el que una conexión ha de establecerse, la identidad del enlace saliente a utilizar para esta conexión y la identidad del canal del enlace entrante utilizado para esta conexión, y en el que dichas dos identidades se almacenan en el departamento de dicho segundo circuito de almacenaje asociado con el canal que se ha de utilizar en dicho enlace saliente.

1045 5 - Un sistema según el punto 3 ó 4 en el que en su extremo remoto cada uno de dichos enlaces salientes tiene acceso a un número de canales de transmisión normales (esto es, no multiplex), en el que dichas señales recibidas a través del canal del enlace entrante identifican el

./..

252771



1050

canal de transmisión normal al que ha de extenderse la conexión, y en el que cuando el circuito de control ha captado un canal libre en el circuito de enlace saliente que da acceso al canal de transmisión normal deseado, se envían señales que identifican este canal de transmisión normal sobre el recién captado canal multiplex a dicho extremo remoto en donde hacen que dicho canal multiplex sea conectado a dicho canal de transmisión normal.

1055

6 - Un sistema según cualquiera de los puntos 2 a 5, en el que dicho circuito de almacenaje es un dispositivo coordinado de elementos de memoria ferromagnéticos, formando un grupo de dichos elementos cada uno de dichos departamentos, en el que cuando se lee una combinación P.C.M. del grupo de elementos que forman un departamento del primer circuito de almacenaje para transmisión a un circuito de enlace saliente,

1060

esta combinación no vuelve a almacenarse en dicho grupo de elementos de memoria, y en el que cuando dichas dos identidades son leídas del grupo de elementos de memoria ferromagnéticos de un departamento del segundo

1065

circuito de almacenaje para controlar dicha transmisión, dichas dos identidades vuelven a almacenarse en dicho grupo de elementos de memoria, la cual lectura y realmacenaje se repite en cada ciclo de los sistemas multiplex en tanto exista la conexión.

7 - Un sistema según el punto 6 y en el que dicho grupo de elementos es una sola hilera de elementos de su dispositivo.

1070

8 - Un sistema según cualquiera de los puntos 1 a 7 y en el que cada uno de dichos enlaces consiste en x canales de transmisión físicos separados, siendo x el número de elementos en una combinación P.C.M., siendo cada combinación P.C.M. transmitida sobre un enlace enviada en paralelo sobre el mismo.

1075

9 - Un sistema de telecomunicación automático en el que hay un juego de enlaces ontrantes que cada uno forma una vía de un siste-

252771



43.

1080 ma multiplex de división de tiempo y un juego de enlaces salientes que ca-
da uno forma la vía de un sistema multiplex de división de tiempo, en el
que todos dichos enlaces salientes de sistema multiplex proveen el mismo
número de canales de división de tiempo y todos los canales de dichos en-
laces salientes de sistema multiplex están sincronizados, en el que puede
existir el bloqueo interno del sistema con lo que, aunque exista un canal
libre en un enlace saliente a través del cual ha de establecerse una conexión,
la utilización del mismo sería imposible sin interferencia con una conexión
existente, en el que cuando existe tal condición de bloqueo interno las
1085 asignaciones de canal para una o más conexiones existentes se alteran has-
ta que no existe tal condición y en el que la demora introducida entre los
canales en uso para una conexión sobre un enlace entrante y sobre un enla-
ce saliente, son ajustadas según se requiere por dichas alteraciones.

1090 10 - Un sistema de telecomunicación automático que comprende
un juego de enlaces entrantes que cada uno forma la vía de un sistema mul-
tiplex de división de tiempo, un juego de enlaces salientes que cada uno
forma la vía de un sistema multiplex de división de tiempo, proveyendo to-
dos dichos sistemas multiplex el mismo número de canales y estando los ca-
nales de todos dichos sistemas multiplex sincronizados, medios que respon-
den a la recepción de una indicación de llamada en un canal sobre un enla-
ce entrante para determinar el enlace saliente a través del cual debe es-
tablecerse esta conexión, medios de prueba para examinar el enlace salien-
te deseado, (designado en adelante HW), para encontrar un canal libre en
el mismo, medios para almacenar la identidad de tal canal libre (designa-
do en adelante sa), otros medios de prueba dispuestos para encontrar un
1100 canal multiplex en el que no hay enlace saliente en comunicación con el
enlace entrante que llama, medios para registrar la identidad de un canal
(designados en adelante sb), encontrado por dichos otros medios de prue-
ba, medios para establecer la conexión desde dicho enlace entrante que

./..

252771



44.
1 Y
62

1105 llama a dicho enlace saliente HW a través del canal sb sobre el enlace HW,
medios que responden a una indicación de que dos conexiones han sido esta-
blecidas sobre el enlace HW en el canal sb para transferir dicha conexión
en el enlace HW al canal sa en el mismo, otros medios que responden a dicha
indicación para transferir una conexión que utiliza el canal sa sobre un
1110 enlace saliente HK diferente al canal sb en el mismo, cuya alteración de
canal se repite a través de otros enlaces salientes hasta que se alcanza
un estado en el que ningún enlace saliente está en recepción de dos conexio-
nes que utilizan el mismo canal en el mismo.

1115 11 - Un sistema de telecomunicación automático esencialmente
según se ha descrito y se muestra en los adjuntos dibujos.

12 - Sistema de telecomunicación automático.

Tal y cómo se ha descrito en la Memoria que antecede, re-
presentado en los dibujos que se acompañan y a los fines especificados.

Esta Memoria consta de cuarenta y cuatro hojas escritas
por una sola cara.

MADRID,

21 OCT. 1959



STANDARD ELECTRICA, S. A.

Secretario General

A. N. G. - H. G. M. S. A.



252771



STANDARD ELECTRICAL, S. A.
Santiago, Chile

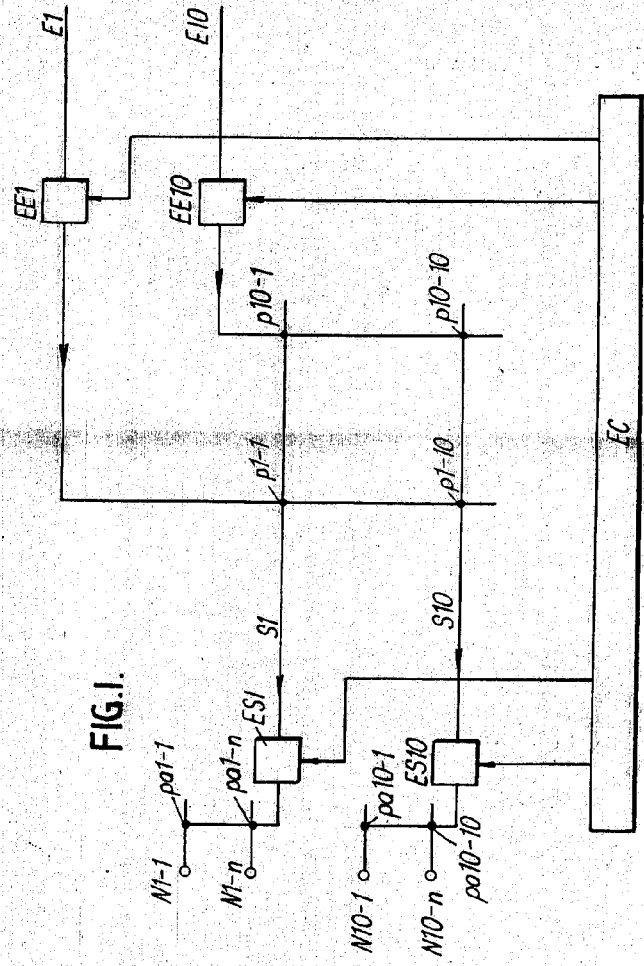


FIG. I.



952771

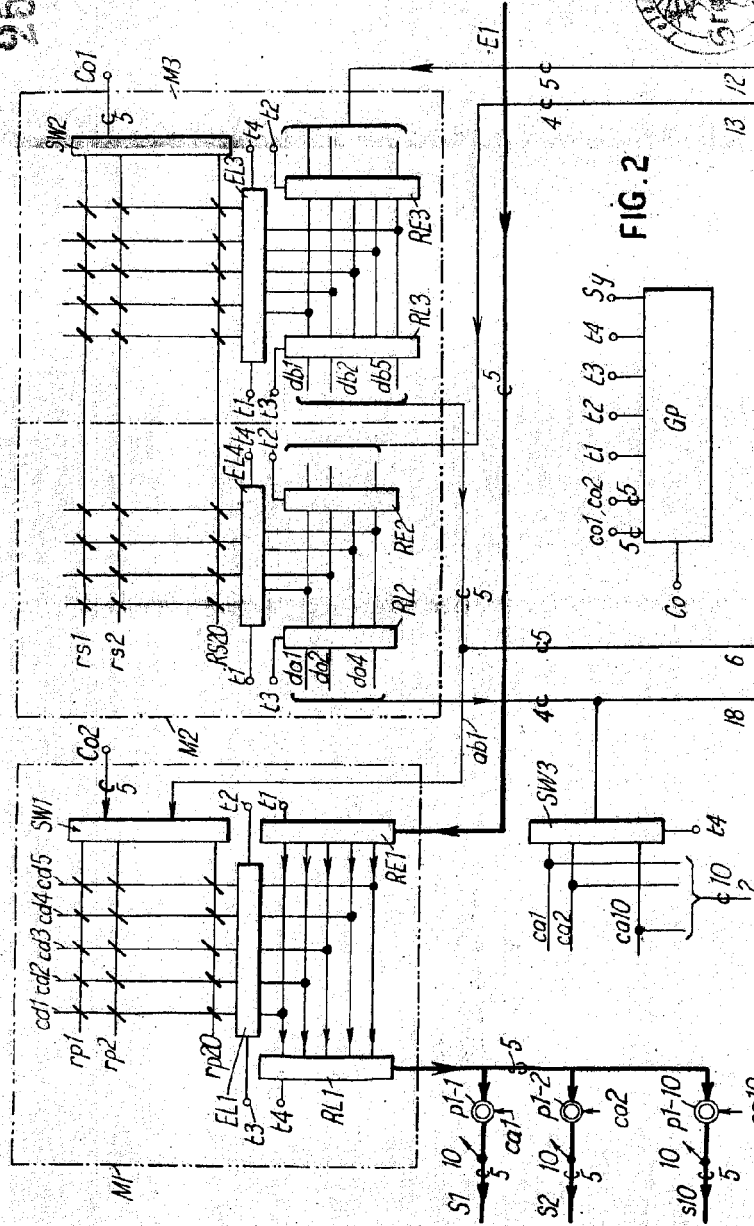


FIG. 2



STANDARD ELECTRICAL S. E.
Secretaria General



252771

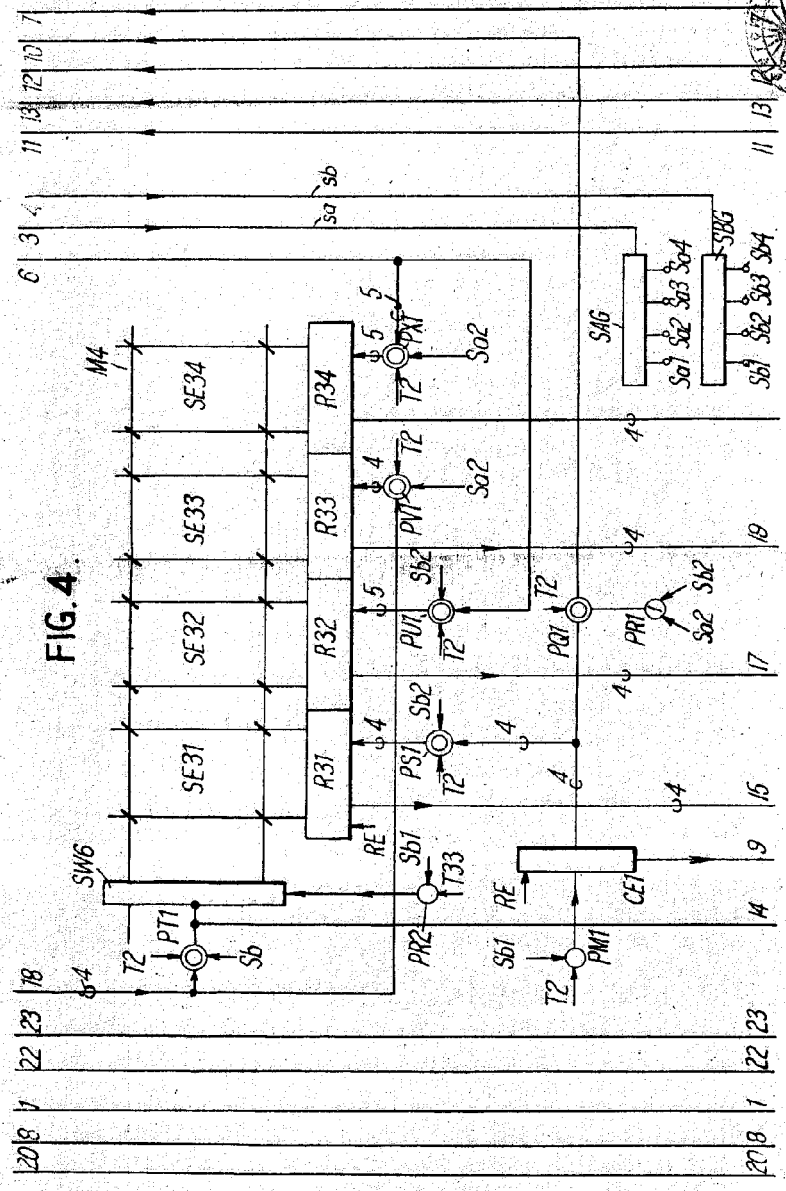
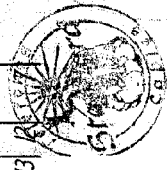


FIG. 4



STANDARD ELÉCTRICA, S. A.
Sede Social



252771

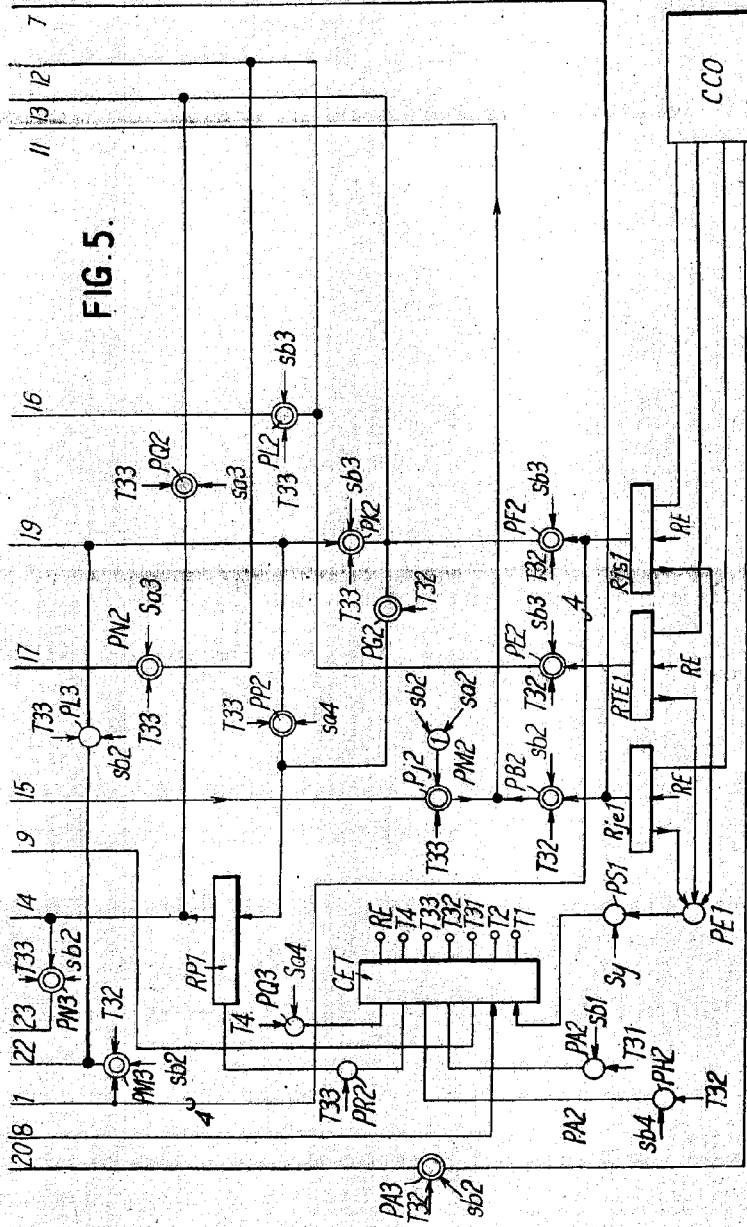


FIG. 5.



STANDARD ELECTRICAL S. A.
SECRETARÍA GENERAL

11/27/22

11292

1/ JSsb	2/ JEsb	3/ VEex	4/ JSsa	5/ VEex
S1	E5	e.4	S7	e.6
S2	E8	e.5	S1	e.11
S3	E2	e.12	S5	e.18
S4	E7	e.8		
S5	E4	e.10	S3	e.7
S6				
S7	E9	e.16	S4	e.14
S8	E0	e.3	S0	e.15
S9	E6	e.1	S6	e.19
S0	E3	e.4	S9	e.5

FIG. 6.

JE	JSsb	JSsa
E1		
E2	S3	S5
E3	S0	S9
E4	S5	S3
E5	S1	S7
E6	S9	S6
E7	S4	
E8	S2	S1
E9	S7	S4
E0	S8	S0

FIG. 7.

JE	JSsb	JSsa
E1	S2	
E2	S3	S5
E3	S0	S9
E4	S5	S3
E5	S1	S7
E6	S9	S6
E7	S4	
E8	S2	S1
E9	S7	S4
E0	S8	S0

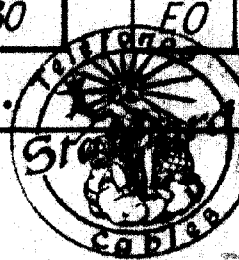
FIG. 8.

JE	JSsb	JSsa
E1	S2	
E2	S3	S5
E3	S0	S9
E4	S5	S3
E5	S1	S7
E6	S9	S6
E7	S4	
E8	S1	S2
E9	S7	S4
E10	S8	S0

FIG. 9.

JE	JSsb	JSsa
E1	S2	
E2	S3	S5
E3	S0	S9
E4	S5	S3
E5	S7	S1
E6	S9	S6
E7	S4	
E8	S1	S2
E9	S7	S4
E0	S8	S0

FIG. 10.



STANDARD ELECTRICAL S. & S.
[Handwritten signature]

11 Dirección Hija. N.º 7

252771

JE	JS _{sb}	JE _{sa}
E1	S2	
E2	S3	S5
E3	S0	S9
E4	S5	S3
E5	S7	S1
E6	S9	S6
E7	S4	
E8	S1	S2
E9	S4	S7
E0	S8	S0

FIG.11.

JE	JS _{sb}	JS _{sa}
E1	S2	
E2	S3	S5
E3	S0	S9
E4	S5	S3
E5	S7	S1
E6	S9	S6
E7		S4
E8	S1	S2
E9	S4	S7
E0	S8	S0

FIG.12.

FIG.16.

JS _{sb}	JE _{asb}	VE _{ex}	JS _{sa}	VE _{ex}
S1	E8	e.11	S2	e.5
S2	E1	e.4		
S3	E2	e.12	S5	e.18
S4	E9	e.14	S7	e.16
S5	E7	e.10	S4	e.8
S6	E7		S4	e.8
S7	E5	e.6	S1	e.4
S8	E0	e.3	S0	e.15
S9	E6	e.1	S6	e.19
S0	E3	e.4	S9	e.5



J. M. Ruz
Secretario General



252771

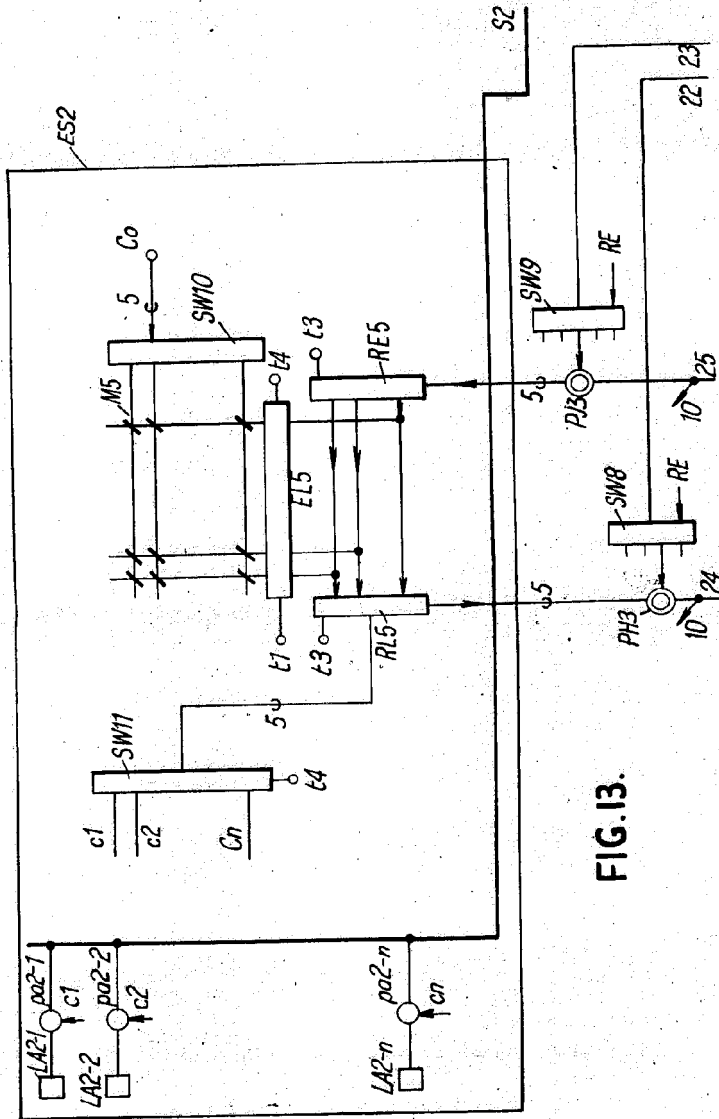


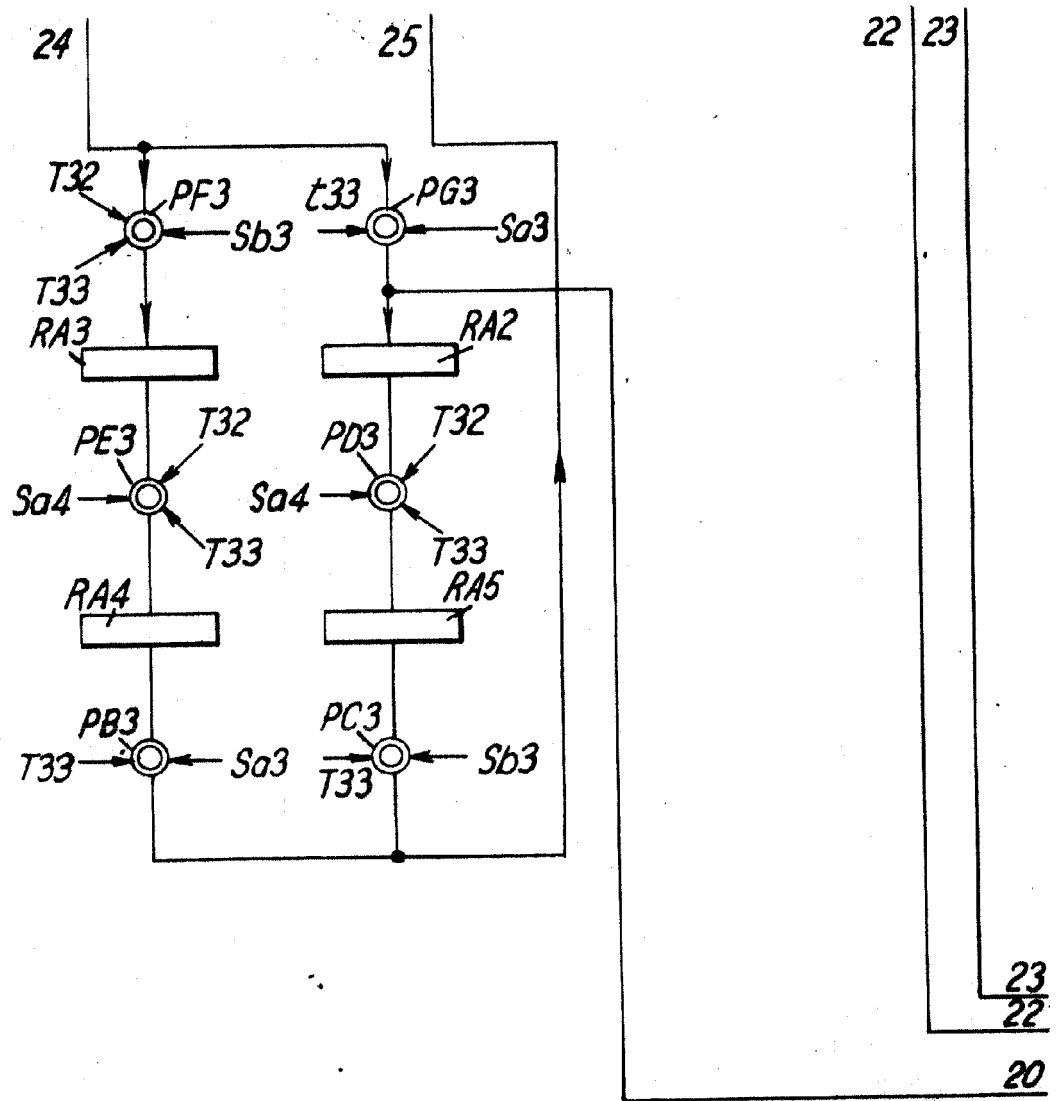
FIG. 13.





252771

FIG. 14.



STANDARD ELÉCTRICA, S. A.

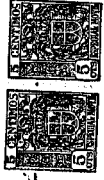
Secretaría General



FIG. 15. 252771

	sb			sa		
T31	LA2-X	S2	E8-e.5			
T32	LA2-X	S2	E8-e.5			
T33	LA2-2	S2	E8-e.5 E8-e.4	LA2-X	S2	
	LA1-y	S1	E5-e.4	LA1-r	S1	E8-e.11
T33	LA2-2	S2	E1-e.4	LA2-X	S2	E8-e.5
	LA1-r	S1	E5-e.4 E8-e.11	LA1-y	S1	E5-e.4
	LA7-v	S7	E9-e.16	LA7-u	S7	E5-e.6
T33	LA1-r	S1	E8-e.11	LA1-y	S1	E5-e.4
	LA7-u	S7	E9-e.16 E5-e.6	LA7-v	S7	E9-e.16
	LA4-t	S4	E7-e.8	LA4-z	S4	E9-e.14
T33	LA7-u	S7	E5-e.6	LA7-v	S7	E9-e.16
	LA4-z	S4	E7-e.8 E9-e.14	LA4-t	S4	E7-e.8
T4	LA4-z	S4	E9-e.14	LA4-t	S4	E7-e.8





252771

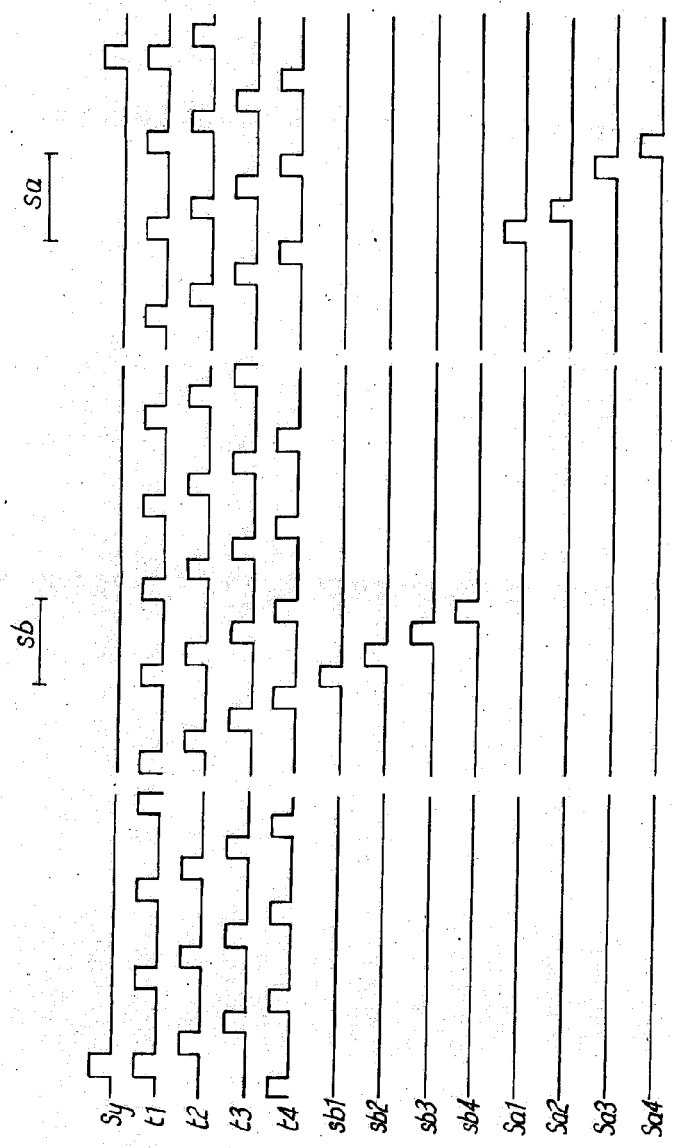


FIG. 17.



STANDARD ELECTRICAL S. A.
Santiago, Chile