

252470

P.- 18.722.-

PH. 15.297

27 OCT 1950



252470

MEMORIA DESCRIPTIVA
para solicitar
P A T E N T E D E I N V E N C I O N
e n
E S P A Ñ A
por VEINTE años

a nombre de N.V. PHILIPS'GLOBILAMPENFABRIEKEN, entidad holandesa, establecida en Emmasingel 29, Eindhoven, Holanda, por:
"UN DISPOSITIVO DE MEMORIA PARA REGISTRAR LOS ESTADOS (LIBRE U OCUPADO) DE LINEAS DE TELECOMUNICACION".-

La presente invención se refiere a una memoria para registrar los estados (libre u ocupado) de los enlaces en el circuito de conmutación de una central de telecomunicaciones, en la cual memoria cada elemento binario de memoria corresponde a un enlace del circuito de conmutación, mientras cada entrada de este circuito puede ser conectada a cada salida por medio de un número de canales que se distinguen uno de otro mediante números de canal y comprenden un número de enlaces conectados en serie entre sí a través de conmutadores del circuito de conmutación, estando este circuito de conmutación proyec-



252470

tado de modo que las coordenadas de las direcciones o destinos de los enlaces que conjuntamente forman un canal entre cierta entrada y cierta salida dependen, con arreglo a una ley fija, del número del canal en cuestión y de las coordenadas de las direcciones de la entrada y la salida en cuestión. El

5 término "circuito de conmutación de una central de telecomunicación", tal como aquí se utiliza, ha de entenderse que significa aquella parte de la central por la cual pasan las señales de velocidad o telegrafía. El circuito de conmutación tiene un número de entradas y un número de salidas, mientras entre cada salida y cada entrada puede establecerse un número de conexiones a las que en esta Memoria se designa con el nombre de canales. El circuito de conmutación está constituido por un

10 número de conmutadores conectados entre sí por medio de hilos conductores a los que se denomina enlaces. El término "conmutador" se utiliza aquí para designar una parte componente del circuito de conmutación dotada de un número de entradas y un número de salidas, e ideada de modo que cada entrada puede ser conectada a cada salida, y que no puede ser considerado como

15 constituido por partes componentes de la misma propiedad. Ejemplo de tales interruptores son el de barras cruzadas, la matriz de conmutación, un grupo de selectores rotatorios con múltiples contactos de grupo, etc. La manera en que puede ajustarse tal conmutador, es decir, la manera en que se puede establecer una

20 conexión en el conmutador entre una entrada y una salida, depende de la naturaleza de ese conmutador, pero no afecta a la invención. Así, un canal comprende un número de enlaces conectados en serie por medio de los contactos de los conmutadores. Si en el circuito de conmutación solamente pueden constituirse

25 canales de un solo hilo, como suele suceder en el caso de cir-

30



252470

cuitos de conmutación electrónicos, puede ser inconveniente y aun imposible deducir el estado de un enlace por el enlace mismo, por ejemplo, midiendo la tensión de dicho enlace o la corriente que pasa por él. En este caso, la central debe necesariamente estar provista de una memoria, denominada en lo sucesivo sistema de anotación o registro de enlaces, en el que se registran los estados instantáneos de los enlaces. Cada enlace corresponde a un elemento binario de la memoria de enlace. Las funciones que el sistema de memoria de enlace debe poder desempeñar son las siguientes:

1. Al recibir los datos de una cierta entrada y una determinada salida del circuito de conmutación, la memoria de enlace debe dar información acerca del número de enlaces que juntamente constituyen un canal libre entre dicha entrada y dicha salida, o bien, según el caso, debe dar una señal que indique que ninguno de los canales comprendidos entre tal entrada y tal salida se halla libre.

2. Al recibir los datos de una cierta entrada y una determinada salida de un número de canal, la memoria de enlace debe ser capaz de registrar como libres u ocupados los enlaces del canal comprendidos entre dicha entrada y dicha salida y que tienen dicho número de canal.

Las entradas, salidas y los enlaces de un circuito de conmutación pueden siempre indicarse mediante juegos o grupos de cierto número (por ejemplo, tres o cuatro) de números naturales. Estos grupos son denominados direcciones de estas entradas, salidas y enlaces, llamándose coordenadas los números naturales que constituyen una dirección. Los diversos canales que existen entre una entrada y una salida determinadas se distinguen unos de otros mediante números de canal. Con el fin de que

252470



la invención pueda ponerse en práctica, el circuito de conmutación debe estar proyectado de modo que las coordenadas de las direcciones de los enlaces que conjuntamente forman un canal entre una entrada y una salida determinadas del circuito de conmutación, dependen, según una ley fija, del número del canal y de las coordenadas de las direcciones de dichas entrada y salida. Conforme a la invención, los elementos de memoria que corresponden a los enlaces cuyas direcciones difieren entre sí solamente en la coordenada que corresponde al número del canal son conectados entre sí por medio de un hilo conductor común de lectura o interpretación, mientras los grupos de elementos de memoria (o, según el caso, todos los elementos de memoria) que correspondan a enlaces que tengan el mismo número de canal, son conectados a un hilo conductor común de señal, en tanto que el conjunto está proyectado de modo que un impulso de intensidad de corriente igual a i que lleva al estado 1 puede ser pasado a través del hilo de lectura, o bien, según el caso, del sistema de hilos de lectura que corresponda a los enlaces de los canales que conectan una entrada arbitraria a una salida arbitraria de dicho circuito conmutador; en tanto, además, que cada elemento de memoria individual puede ser llevado de manera ya conocida (por ejemplo, por coincidencia) al estado 0 o al estado 1. El término o expresión "hilo de lectura" se utiliza aquí para designar un hilo conductor u otro órgano de control a través del cual o por medio del cual se puede enviar una señal a un elemento de memoria afectado, de modo que éste facilite su información. El término "común" debe considerarse como refiriéndose tanto al caso en que los elementos de memoria afectados reciben la señal de lectura en serie como al caso en que reciben esta señal en paralelo. Los elementos



252470

de memoria que, a través de un hilo de lectura, reciben la señal leída o interpretada, pueden dar su información bien simultáneamente o bien en una determinada sucesión.

5 Con el fin de que la invención pueda llevarse a cabo fácilmente, a continuación se describe una realización de la misma, a título de ejemplo, con referencia a los adjuntos dibujos esquemáticos en los cuales:

- la figura 1 muestra la estructura fundamental de un circuito de conmutación que comprende matrices de conmutación que satisfacen los requisitos expuestos;

10 - la figura 2 representa la estructura fundamental de una memoria de enlace para el circuito de conmutación indicado en la figura 1;

15 - la figura 3 muestra la estructura fundamental de una memoria de enlace de una central que tiene aproximadamente 5.000 líneas de abonado;

- la figura 4 representa el esquema teórico de un pórtico o barrera de alerta;

20 - la figura 5 muestra el principio de una disposición de circuitos por medio de la cual se puede enviar una corriente a través de uno de entre cierto número de hilos;

- la figura 6 muestra el principio del control combinado de los hilos de lectura y de nuevo registro del sistema de anotación de enlaces;

25 - la figura 7 representa el esquema de un circuito de triple coincidencia; y

- la figura 8 es el esquema teórico de un dispositivo de exploración.

30 El circuito de conmutación representado esquemáticamente en la figura 1 comprende dieciséis matrices de conmutación



252470

que pueden ser de los tipos descritos en la Memoria de la patente número 237.232. Los conmutadores están indicados mediante bloques cuadrados y subdivididos en cuatro etapas. Los conmutadores de una misma etapa se designan con una letra mayúscula (A, B, C o D) provista de dos subíndices. Los conmutadores de las etapas A y B se subdividen en dos grupos de dos conmutadores A y dos conmutadores B cada uno. Estos grupos se denominan grupos AB, y son designados con los números romanos I y II. De modo semejante, los conmutadores de las etapas C y D se subdividen en dos grupos CD de dos conmutadores C y dos D cada uno. La numeración de los conmutadores es la siguiente: A_{yz} es el conmutador A de número de orden y (y^a) del grupo AB que tiene el número ordinal z (z^a); B_{ab} es el b^a conmutador B del a^a grupo AB; C_{cd} es el c^a conmutador C del d^a grupo CD; D_{uv} es el v^a conmutador D del u^a grupo CD. Cada conmutador A tiene cinco entradas, que son entradas también del circuito de conmutación entero, y dos salidas. Los conmutadores restantes tienen cada uno dos entradas y dos salidas, siendo las salidas de los conmutadores D salidas también de todo el circuito de conmutación. Cada entrada de un conmutador puede ser conectada, en este conmutador, a cada salida del mismo. La entrada (x, y, z) es la entrada de número de orden x (x^a) del conmutador A_{yz} ; la salida (u, v, w) es la w^a salida del conmutador D_{uv} . Las salidas de los conmutadores de una etapa van conectadas a través de los enlaces a las salidas de los conmutadores de la etapa siguiente, de modo que hay tres clases de enlaces, a los que se denomina enlaces AB, enlaces BC y enlaces CD, distinguiéndolos unos de otros mediante uno, dos y tres acentos, respectivamente. El diseño o patrón de enlaces es como sigue: la p^a salida del conmutador A_{yz} se conecta, a través del enlace AB (y, p, z)', a la



252470

y^a entrada del conmutador B_{zp} ; la u^a salida del conmutador B_{zp} se conecta, por medio del enlace BC $(z,p,u)''$, a la z^a entrada del conmutador C_{pu} ; la v^a salida del conmutador C_{pu} se conecta, mediante el enlace CD $(u,p,v)'''$, a la p^a entrada del conmutador D_{uv} . Debido a este diseño de enlaces, un canal que tenga el número de canal p y comprenda los enlaces $(y,p,z)'$, $(z,p,u)''$ y $(u,p,v)'''$, conecta la entrada (x,y,z) a la salida (u,v,w) del circuito de conmutación. Como puede apreciarse, el diseño de enlaces descrito es independiente del número de conmutadores por grupo y del número de grupos. En el circuito de conmutación indicado, que para mayor claridad se ha mantenido de estructura muy sencilla, la concentración se efectúa solamente en la etapa A. Las etapas restantes sirven para asegurar la existencia de canales desde cada entrada a cada salida. Al tiempo que conserva el diseño de enlaces recién descrito, el circuito de conmutación puede alternativamente ser proyectado de modo que efectúe cierta concentración en alguna de las restantes etapas. Ahora bien, como se comprenderá, un circuito de conmutación que tenga este diseño de enlaces satisface los requisitos indicados respecto a los canales. La coordenada de en medio de la dirección de cada enlace es el número del canal. Como cada entrada de un conmutador A puede ser conectada, en este conmutador, a cada/salida del mismo, mientras ocurre otro tanto con los conmutadores D, los canales pueden considerarse como conexiones entre un conmutador A y un conmutador D. Esta es la razón por la cual las direcciones del enlace que constituyen los canales entre la entrada (x,y,z) y la salida (u,v,w) son independientes de las coordenadas x y w .

La figura 2 representa la estructura fundamental de un sistema de memoria de enlace para el circuito de conmutación de



252470

la figura 1. Los elementos de memoria binarios son unos anillos hechos de material magnético de perfil de histéresis rectangular. Están indicados en la figura 2 por las direcciones de los enlaces correspondientes. Los anillos que corresponden a los enlaces AB están dispuestos en una matriz, y lo mismo los anillos correspondientes a los enlaces BC y CD. En la figura 2, cada conmutador A y cada conmutador D corresponde a un terminal designado por el símbolo del conmutador en cuestión. Los hilos de lectura son unos hilos que se pasan enfilados por los anillos y se representan en la figura 2 como líneas horizontales. El terminal A_{yz} está conectado a un hilo de lectura enfilado a través de los anillos $(y,1,z)'$ y $(y,2,z)'$, el terminal D_{uv} a un hilo enfilado a través de los anillos $(u,1,v)'''$ y $(u,2,v)'''$. Además, hay un hilo de lectura enfilado a través de cada par de anillos $(z,1,u)''$ y $(z,2,u)''$. Los diversos hilos de lectura van conectados entre sí de la manera indicada en la figura, y los hilos que conectan los hilos de lectura de la matriz del enlace AB y los hilos de lectura de la matriz de enlace BC contienen cada uno un diodo que tiene un sentido de paso desde el terminal A al terminal D. Estos diodos están designados en la figura con los números de referencia 1, 2, 3 y 4. Si ahora se conecta el terminal A_{yz} al terminal positivo, y el terminal D_{uv} al terminal negativo de una batería, pasará una corriente por los hilos de lectura enfilados a través de los núcleos $(y,1,z)'$, $(y,2,z)'$, $(z,1,u)''$, $(z,2,u)''$, $(u,2,v)'''$, mientras los diodos 1, 2, 3 y 4 impiden la formación de derivaciones o caminos de corriente en paralelo. Hay un hilo de señal enfilado a través de los anillos de cualquier columna de una matriz cuyas direcciones tienen el mismo número de canal. En la figura 2 hay seis hilos de señal, 5, 6, 7, 8, 9, 10, de los cuales los tres primeros

252470



se refieren a enlaces que tienen el número de canal 1, teniendo los otros tres el número de canal 2. Los hilos de señal 5, 6 y 7 van conectados a un circuito de triple coincidencia C_1 , y los hilos 8, 9 y 10 a un circuito de coincidencia C_2 . Los circuitos de coincidencia C_1 y C_2 son explorados por un circuito buscador o explorador 13. Este último está representado simbólicamente en la figura 2 en forma de conmutador rotatorio.

Cada anillo puede hallarse en dos condiciones o estados magnéticos, que en lo sucesivo se denominarán estados y serán designados con los dígitos 0 y 1. El estado 0 corresponde a un enlace libre, y el estado 1 a un enlace ocupado.

La memoria de enlace indicada en la figura opera como sigue. Se supone que ha de formarse un canal entre los conmutadores A_{21} y D_{22} . El terminal A_{21} del sistema de registro de enlaces se conecta al terminal positivo, y el terminal D_{22} al terminal negativo, de un manantial de suministro de corriente capaz de dar una corriente de intensidad suficiente para hacer que los anillos cambien de régimen o estado. Como consecuencia, los anillos $(2,1,1)'$, $(2,2,1)'$, $(1,1,2)''$, $(1,2,2)'''$ y $(2,2,2)''''$ son todos llevados al estado 1. Ahora bien, de estos anillos sólo cambian de estado aquellos que previamente se hallaban en el estado 0, es decir, los enlaces correspondientes a los que estaban libres. Sólo el anillo que cambia de régimen o estado proporciona un impulso en el hilo de señal enfilado a su través. Se supone, por ejemplo, que los enlaces $(2,1,1)'$, $(2,2,1)'$, $(1,2,2)''$, $(2,2,2)''''$ están libres de modo que sus anillos correspondientes se hallan en el estado 1. La corriente que circula por el hilo que conecta el terminal A_{21} a través del diodo 2 al terminal D_{22} hace que los anillos $(2,1,1)'$, $(2,2,1)'$, $(1,2,2)''$, $(2,2,2)''''$ cambien de estado de modo que se producen impulsos en

252470



los hilos de señal 5, 8, 9 y 10. Por tanto, el circuito de
coincidencia C_1 recibe solamente un impulso único (por el hi-
lo 5) y, en cambio, el circuito de coincidencia C_2 recibe tres
impulsos (por los hilos 8, 9 y 10). Por consiguiente, cuando
5 el circuito de exploración 13 llega a la salida del circuito
de coincidencia C_2 recibe la información de que ha tenido lu-
gar una coincidencia. Esto corresponde a la información de que
"el canal 2 entre los conmutadores A_{21} y D_{22} está libre". Esto
explica el principio según el cual se puede construir una me-
10 moria de enlace que sea capaz de desempeñar la función princi-
pal, es decir, la función de facilitar información acerca de
si hay un canal libre entre una entrada y una salida determi-
nadas. Además, como se apreciará, la disposición de circuitos
puede proyectarse de manera que puede enviarse cualquier ani-
15 llo al estado 0 o al estado 1, por ejemplo, por coincidencia.

La figura 3 muestra la estructura fundamental de la
memoria de enlace de una central para aproximadamente 5.000
abonados. Para fijar ideas, se supone que cada conmutador A
tiene 50 entradas y 10 salidas. Así, pues, hay 100 conmutado-
20 res A. Los conmutadores A y B se subdividen en 10 grupos AB,
cada uno de los cuales comprende 10 conmutadores A y 10 conmu-
tadores B. El circuito de conmutación tiene asimismo 10 grupos
CD cada uno de los cuales comprende 10 conmutadores C y 10 con-
mutadores D. Los conmutadores B, C y D tienen cada uno 10 en-
25 tradas y 10 salidas. En este caso, hay 1.000 enlaces AB, 1.000
enlaces BC y 1.000 enlaces CD. Existen 10 canales entre cada
conmutador A y cada conmutador D.

Los anillos correspondientes a los enlaces AB están dis-
puestos en una matriz en la que los anillos (y,p,z) , que tie-
30 nen los mismos valores de coordenadas y y z , pero en los que



252470

p toma los valores 1, 2, . . . 10, van dispuestos en fila o hi-
lera, mientras todos los anillos para los cuales la coordenada
p tiene el mismo valor están dispuestos en columna. Los anillos
correspondientes a los enlaces BC y a los enlaces CD están, de
modo similar, dispuestos en una matriz BC y una matriz CD. Pa-
5 para mayor sencillez, sólo se representan tres filas de anillos
de cada matriz. En la figura 3, los números de referencia 14,
15, 16 y 17 designan unos órganos que pueden recibir el valor
de una coordenada como información de entrada; $P_1, \dots, P_{10},$
10 $Q_1, \dots, Q_{10}, R_1, \dots, R_{10}$ denotan unos amplificadores de im-
pulsos; $U_1, \dots, U_{10}, V_1, \dots, V_{10}, W_1, \dots, W_{10}$ designan
unas barreras de alerta; C_1, \dots, C_{10} designan unos circuitos
de triple coincidencia, y 13 un circuito de exploración. El tér-
mino o expresión "barrera de alerta" se utiliza aquí para de-
15 signar un circuito que comprende un terminal de alerta, un ter-
minal de disparo y un terminal de salida. En la figura 3, una
barrera de alerta está representada por un círculo, su terminal
de alerta por una línea cruzada y el terminal de disparo por
una flecha que señala hacia el círculo (véase, por ejemplo, U_1).
20 Si se aplica un impulso de una determinada polaridad al termi-
nal de alerta, y se aplica después un impulso de una polaridad
determinada al terminal de disparo, la barrera de alerta produ-
ce un impulso de salida de una forma vivamente definida. En cam-
bio, si se aplica un impulso al terminal de disparo de una ba-
25 rretera de alerta que no ha sido previamente alertada o excitada,
esta barrera no produce impulso alguno de salida. En las Memo-
rias de patente números 247.262 y 250.980 se describe un circui-
to de barrera de alerta.

La memoria de enlace representada en la figura 3 funcio-
30 na del modo siguiente: Se supone que hace falta un canal libre

252470



entre los conmutadores A_{73} y D_{84} . A este fin, es preciso suministrar al órgano 14 información acerca de la coordenada $\underline{y} = 7$, al órgano 15 información acerca de la coordenada $\underline{z} = 3$, al órgano 16 información acerca de la coordenada $\underline{u} = 8$, y al órgano 5 17 información acerca de la coordenada $\underline{v} = 4$. Estos órganos están proyectados de manera que en un instante t_1 unos impulsos de valor \underline{i} , que llevan al estado 1, se hacen pasar por las filas de anillos $(7,1,3)'$, . . . $(7,10,3)'$, $(3,1,8)''$, . . . $(3,10,8)''$, $(8,1,4)'''$, . . . $(8,10,4)'''$. Como consecuencia, a los anillos 10 que aún no se hayan llevado al estado 1 se les hace pasar ahora a este estado 1. El valor de \underline{i} es tal que un impulso de valor \underline{i} hace que un anillo cambie su estado o régimen con certeza, mientras que un impulso de valor $\frac{1}{2} \underline{i}$ no produce, con certeza, tal cambio. Los impulsos que llevan al estado 1 se consideran como positivos, y los impulsos que llevan al estado 0 como 15 negativos. Si, por ejemplo, el canal 5 estaba libre, es decir, si los anillos $(7,5,3)'$, $(3,5,8)''$ y $(8,5,4)'''$ se hallaban en el estado 0, a estos anillos se les hace pasar ahora desde el estado 0 al estado 1. Los impulsos de señal resultantes se amplifican en los amplificadores de impulsos P_5 , Q_5 , y R_5 , de modo que (posiblemente en un instante ligeramente posterior t_2) las barreras de alerta U_5 , V_5 y W_5 quedan alertadas y el circuito C_5 detecta una coincidencia. Si entonces el circuito de exploración 13 alcanza al circuito de coincidencia C_5 , recibe la 20 información de que C_5 ha detectado una coincidencia, y por tanto, sigue en C_5 . Como consecuencia, en un instante t_3 el circuito de exploración 13 aplica impulsos a los terminales de disparo de las barreras de alerta U_5 , V_5 y W_5 a través de unos hilos que no se representan para mayor sencillez. Las barreras 25 de alerta U_5 , V_5 y W_5 son puestas en acción por este disparo y 30

252470



producen unos impulsos de valor $\frac{1}{2} i$ que llevan al estado 0.

Ahora bien, en el instante t_2 no se produce por ello cambio alguno en el estado de los anillos. El hecho de que el conmutador de exploración 13 se haya detenido en el circuito de coincidencia U_5 corresponde, en cambio, a la información de que el canal 5 entre los conmutadores A_{73} y D_{84} está libre. En un instante t_4 sucesivo del instante t_3 se aplican impulsos a los terminales de disparo de todas las barreras de alerta $U_1, \dots, U_{10}, V_1, \dots, V_{10}, W_1, \dots, W_{10}$ mientras simultáneamente los órganos 14, 15, 16 y 17 dejan pasar impulsos de valor $\frac{1}{2} i$ que llevan al estado 0 por medio de las filas de anillos $(7,1,3)', \dots, (7,10,3)', (3,1,8)", \dots, (3,10,8)", (8,1,4)"', \dots, (8,10,4)"'$.

Como consecuencia, todos los anillos de la memoria de enlaces vuelven bruscamente a sus estados iniciales con excepción de los anillos relativos al canal afectado que lleva el número 5 de canal, anillos que inicialmente se hallaban en el estado 0 pero que a la terminación están en el estado 1. Esto resultará obvio con respecto a los anillos no asociados a los canales en cuestión, ya que estos anillos siguen en su estado inicial durante la totalidad del ciclo. En el instante t_1 , el anillo $(7,5,3)"$ pasa bruscamente del estado 0 al estado 1, y, en cambio, en los instantes t_3 y t_4 continúa en el estado 1, ya que en estos instantes sólo se le aplica un impulso único de valor $\frac{1}{2} i$ que lleva al estado 0. El anillo $(7,q,3)'$ ($q \neq 5$), en cambio, en el instante t_1 pasa del estado 0 al estado 1, o bien permanece en el estado 1. En el primer caso, la barrera de alerta U_q es alertada en el instante t_2 y disparada en el instante t_4 . En este último instante, en cambio, el anillo $(7,q,3)'$ vuelve bruscamente al estado inicial 0, ya que en este instante se le aplican dos impulsos coincidentes de valor $\frac{1}{2} i$ que llevan al

252470



estado 0. En este último caso, el anillo (7,q,3)' no cambia de estado en el instante t_1 , de modo que la barrera de alerta U_q no es alertada ni, por tanto, puede ser disparada a continuación. En este caso, el anillo (7,q,3)' permanece en el estado 1 en los momentos t_3 y t_4 , puesto que no se le aplica impulso alguno en el instante primero, y sólo se le aplica un único impulso de valor $\frac{1}{2} i$, que lo lleva al estado 0, en el segundo instante.

La figura 4 es un esquema de una barrera de alerta. En esta figura, el número de referencia 20 designa un núcleo anular de un material magnético de perfil de histéresis rectangular, el 21 un transistor del tipo p-n-p, el 22 un terminal de alerta, el 23 un terminal de disparo, el 24 un terminal de salida, el 25 un devanado de alerta, el 26 un devanado de disparo, el 27 un devanado de control y el 28 un devanado de salida. Un extremo del devanado de alerta 25 va conectado al terminal de alerta 22, y el otro extremo a una fuente de suministro de potencial negativo B^I . Un extremo del devanado de disparo 26 va conectado al terminal de disparo 23, y el otro extremo a una fuente de suministro de potencial negativo B^{II} . Un extremo del devanado de control 27 va conectado a la base del transistor 21, y el otro extremo a un terminal de tensión positiva B^{III} . Un extremo del devanado de salida 28 va conectado al terminal de salida 24 por medio de una resistencia 29, y el otro extremo al colector del transistor 21. El emisor del transistor 21 está puesto a masa. Para mayor sencillez, cada devanado se representa en forma de un conductor único enfilado a través del núcleo anular 20; no obstante, en la realidad, cada devanado comprende un mayor o menor número de espiras dispuestas en el núcleo 20. Los sentidos de arrollamiento de los diversos

252470

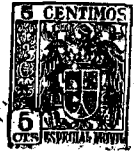


devanados son los que se indican en la figura.

5 El circuito funciona como sigue: Si se aplica un impulso de corriente de suficiente intensidad al terminal de alerta 22, el núcleo 20 es llevado a una determinada condición magnética, que en lo sucesivo se denomina condición 1. Se supone que este impulso, al que en lo sucesivo se le llama impulso de alerta, es dirigido hacia el terminal de alerta. La duración del impulso de alerta debe bastar para hacer que el núcleo 20 pase enteramente de la condición 0 a la condición 1. Entonces se aplica un impulso, que puede ser muy corto, al terminal de disparo 10 23 de modo que el núcleo 20 se ve obligado a pasar a la condición 0. Este impulso muy corto, al que en lo sucesivo se denomina impulso de disparo, debe ser de la intensidad suficiente para que se induzca una tensión eléctrica en el devanado de control cuando el núcleo 20 empieza a cambiar de estado o condición, 15 tensión que vence a la tensión positiva de polarización aplicada a la base del transistor 21 por la fuente de suministro de tensión positiva B_+^m , de modo que el transistor se hace conductivo. Ahora bien, como consecuencia, fluye al devanado de salida 20 28 una corriente que lleva también el núcleo 20 a la condición 0. De aquí que, si el impulso de disparo se termina antes de haber el núcleo 20 alcanzado la condición 0 al núcleo 20 se le hace pasar completamente a la condición 0 merced a la corriente que el transistor 21 hace pasar por el devanado 25 de salida 28.

La figura 5 representa el principio del control de los hilos de lectura de las diversas matrices de la memoria de enlace. La figura se refiere a un caso sencillísimo de doce hilos que vienen determinados por las dos coordenadas α y β , donde α 30 puede tener los valores 1, 2, 3 y 4, y β los valores 1, 2 y 3.

252470



Al lado de la izquierda del dibujo, los hilos ($\alpha 1$), ($\alpha 2$), ($\alpha 3$) van conectados a una barrera A_α , y por el lado de la derecha los hilos ($1, \beta$), ($2, \beta$), ($3, \beta$), ($4, \beta$) van conectados a una barrera B_β . En cada hilo hay conectado un rectificador que deja pasar corriente en el sentido que va de una barrera A_α a una barrera B_β . Si se abren las barreras A_α y B_β , puede pasar una corriente por el hilo (α, β) mientras los rectificadores impiden el paso de corriente por cualquiera de los hilos restantes. Las barreras utilizadas pueden ser las descritas anteriormente, preferiblemente perfeccionadas del modo que se describe en la solicitud de patente número 250.980.

Por la descripción de la figura 3 se desprende que las matrices deben regularse de modo que los anillos de una fila deben ser llevados primero al estado 1 por un impulso de valor \underline{i} , y después al estado 0 por un impulso de valor $\frac{1}{2} \underline{i}$. Esto puede efectuarse de la manera indicada en la figura 6. El impulso de valor \underline{i} pasa a través de las barreras A'_α y B'_β , el impulso de valor $\frac{1}{2} \underline{i}$ pasa a través de las barreras B''_β y A''_α . La barrera A'_α se abre mediante el disparo de una barrera de alerta 30, la barrera A''_α se abre mediante el disparo de una barrera de alerta 32. De modo similar, las barreras B'_β y B''_β son abiertas por el disparo de las barreras de alerta 31 y 33. Ahora bien, el impulso producido por el disparo de la barrera de alerta 30 es aplicado también como impulso de alerta a la barrera de alerta 32, y similarmente el impulso producido por el disparo de la barrera de alerta 31 es aplicado como impulso de alerta a la barrera de alerta 33. Si las barreras de alerta están dispuestas, el disparo simultáneo de estas barreras da lugar a que las barreras A'_α y B'_β pueden proyectarse de modo que el impulso que circula por el hilo (α, β), por estar abiertas



252470

dichas barreras, tenga el valor i y un sentido dirigido hacia la derecha. Si a continuación se aplican impulsos de alerta a las barreras de alerta 32 y 33, estas barreras producirán impulsos que abren momentáneamente las barreras A" α y B" β . Estas barreras están ideadas de modo que el impulso que debido a su apertura pasa a través del hilo (α, β)" tiene el valor $\frac{1}{2} i$ y un sentido de circulación hacia la izquierda.

Los circuitos de coincidencia C_i (figura 3) pueden proyectarse de la manera indicada en la figura 7. El circuito representado en esta figura comprende tres barreras de alerta 35, 36, 37 conectadas en serie, que son alertadas por los impulsos suministrados por los amplificadores de impulsos P_p, Q_p, R_p . Cuando la barrera de alerta 35 es alertada y después disparada, el impulso suministrado por esta barrera sólo puede producir el disparo de la barrera de alerta 36 si esta última se halla asimismo alertada. El impulso suministrado por la barrera de alerta 36 puede también producir el disparo de la barrera de alerta 37 solamente cuando esta última esté alertada. Así, el disparo de la barrera de alerta 35 proporciona un impulso de salida solamente cuando las tres barreras de alerta 35, 36 y 37 se hallen dispuestas. Naturalmente, dos de las tres barreras de alerta 35, 36 y 37 pueden sustituirse por una sola barrera de alerta que deba ser alertada por coincidencia. Preferiblemente, en la barrera de alerta, se hace uso del perfeccionamiento descrito en la solicitud de patente número 250.980.

El circuito de exploración 13 (figura 3) es un circuito que produce el disparo de las barreras de alerta inicial de los circuitos de coincidencia C_i en sucesión, y se detiene cuando un circuito de coincidencia suministra un impulso de salida. Al no comunicarle una posición fija inicial al circuito de ex-



252470

ploración 13, de modo que los circuitos de coincidencia C_i sean explorados en sucesión cíclica, se introduce cierto elemento de arbitrariedad en la elección de un número de canal.

5 La figura 8 muestra el esquema de una posible realización de circuito explorador. El circuito de exploración representado en esta figura comprende esencialmente diez barreras de alerta 40, 41, 42, 43, 44, 45, 46, 47, 48, 49 y una barrera S. Los terminales de disparo de estas barreras de alerta van conectados por medio de la barrera S a un terminal 50 al cual se
10 le aplica un tren continuo de impulsos. Además, el terminal de salida de cada barrera de alerta está conectado no sólo al terminal de disparo del correspondiente circuito de coincidencia C_i sino también al terminal de alerta de la barrera de alerta inmediata sucesiva, estando el terminal de salida de la última barrera de alerta 49 conectado al terminal de alerta de la
15 primera barrera de alerta 40. Los terminales de salida de los circuitos de coincidencia C_i están conectados a un terminal de control de la barrera S.

Esta disposición de circuitos funciona del siguiente modo: En un determinado instante, solamente se halla alertada
20 una sola de las diez barreras de alerta 40, . . . 49, por ejemplo, la barrera 43. Entonces se abre la barrera S aplicándole un impulso a un terminal de control 51. Al aplicar el impulso inmediato sucesivo al terminal 50 se dispara la barrera de alerta
25 43 y, por consiguiente es alertada la barrera de alerta 40, aplicándosele un impulso al conmutador de coincidencia C_4 . Si este último ha detectado una coincidencia, es aplicado un impulso a un terminal de control de la barrera S, de modo que esta barrera se cierra y el circuito de exploración se detiene y sigue
30 en la posición $p = 4$. Esto quiere decir que el canal $p = 4$

252470



está libre. Si el circuito de coincidencia C_4 no ha detectado
coincidencia, no suministra impulso alguno de salida, de modo
que la barrera S sigue abierta. Mediante el impulso inmediato
sucesivo que se aplique al terminal 50, la barrera de alerta
5 44 se dispara. Si el circuito de coincidencia C_5 ha detectado
una coincidencia, proporciona un impulso que cierra la barre-
ra S de modo que el circuito de exploración se detiene y que-
da en la posición $p = 5$, lo que significa que el canal $p = 5$
está libre. Si el circuito de coincidencia C_5 no ha detectado
10 coincidencia, no entrega impulso de salida alguno, y la barre-
ra S sigue abierta. Este proceso se repite hasta encontrar un
canal libre. Aplicándole un impulso al segundo terminal de con-
trol 51 de la barrera S, esta última se abre de nuevo, de modo
que es posible buscar un canal para establecer otra conexión.
15 Naturalmente, el dispositivo de exploración debe estar provis-
to de un contador que dé una señal de cierre de la barrera S
cuando se hayan explorado diez circuitos de coincidencia sin
que ninguno de éstos haya detectado coincidencia. Esta señal
significaría también que no hay ningún canal libre. Si no se
20 tomara esta medida, el dispositivo de exploración seguiría bus-
cando a pesar del hecho de que con ello no se llegaría a ningún
resultado.

Aun cuando en lo que antecede se ha descrito la inven-
ción con referencia a un circuito de conmutación construido a
25 base de matrices de conmutación, la invención puede aplicarse
con el mismo éxito al control de un circuito de conmutación com-
puesto de selectores de dos movimientos y selectores rotatorios,
o equivalentes mecánicos o electrónicos de los mismos, pues ca-
da juego de selectores multiplados de estos tipos equivale a
30 una matriz de conmutación.

252470



Esta solicitud, que corresponde a la presentada en Holanda, con fecha 7 de Octubre de 1958, bajo el número 232.027, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

5

N O T A

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los siguientes:

12. - Un dispositivo de memoria para registrar los estados (libre u ocupado) de los enlaces en la red de distribución de una central de telecomunicaciones, memoria en la cual cada elemento binario de memoria corresponde a un enlace de la red cada entrada de la cual puede ser conectada a cada salida por medio de un número de canales que se distinguen uno de otro por un número de canal, y comprenden un número de enlaces conectados en serie por medio de conmutadores de la red de distribución, estando esta red proyectada de modo que las coordenadas de las direcciones o destinos de los enlaces que conjuntamente forman un canal entre cierta entrada y cierta salida dependen, con arreglo a una ley fija, del número del canal en cuestión, y de las coordenadas de las direcciones de la entrada y de la salida en cuestión; caracterizado por el hecho de que los elementos de memoria que corresponden a enlaces cuyas direcciones sólo difieren entre sí en la coordenada que corresponde al número del canal van conectados a un hilo común de lectura, mientras grupos de elementos de memoria (o, según el caso, todos los elementos de memoria) que corresponden a enlaces del mismo número de canal van conectados a un hilo común de señal, sien-

252470



do tal la disposición entera que un impulso de corriente de valor i que lleva al estado 1 se puede hacer pasar por el hilo de lectura, o por el sistema de hilos de lectura, que se refiere a los enlaces de los canales que conectan cualquier entrada a cualquier salida de la red de distribución, mientras
5 además cada elemento individual de memoria puede ser llevado al estado 0 o al estado 1 de manera ya conocida (por ejemplo, por coincidencia).

22. - Un dispositivo conforme a la reivindicación 1,
10 en el que los enlaces pueden subdividirse en al menos dos grupos de enlaces del mismo tipo, caracterizado por el hecho de que los elementos de memoria correspondientes a enlaces del mismo grupo están dispuestos según una matriz, hallándose los elementos de memoria de una matriz que difieren entre sí por el
15 número de canal solamente, dispuestos en fila mientras los elementos de memoria que tienen el mismo número de canal se hallan dispuestos en columna, de modo que los hilos de lectura se refieren a filas y los hilos de señal a columnas; mientras asimismo los hilos de señal de las diversas matrices que se refieren
20 a un mismo número de canal están conectados a un circuito múltiple de coincidencia, y todos los circuitos de coincidencia son explorados por un circuito buscador o explorador.

32. - Un dispositivo conforme a la reivindicación 2, caracterizado por el hecho de que el circuito de exploración
25 no tiene posición fija de reposo, y busca los circuitos de coincidencia en sucesión cíclica.

42. - Un dispositivo conforme a la reivindicación 2 ó a la 3, caracterizado por el hecho de que los elementos de memoria son unos anillos de material magnético de perfil de
30 histéresis rectangular, llevándose un hilo de reinscripción o



252470

nuevo registro enfilado a través de cada columna de anillos de cada matriz, hilo que se conecta al terminal de salida de una barrera de alerta la cual, al ser disparada o puesta en acción, suministra un impulso de corriente de valor $\frac{1}{2}i$ que lleva al estado 0, y es alertada o preparada por un impulso de señal que se produce en el hilo de señal de la misma columna (debido al hecho de que un anillo ha cambiado del estado 0 al estado 1), mientras además la disposición es tal que el circuito explorador se detiene al llegar a un circuito de coincidencia que ha detectado una coincidencia, y aplica al propio tiempo impulsos de disparo a las barreras de alerta relativas al número del canal libre hallado; y por el de que en un instante subsiguiente se aplican impulsos de disparo a los terminales de disparo de todas las barreras de alerta, y simultáneamente se hacen pasar impulsos de corriente de valor $\frac{1}{2}i$, que llevan al estado 0, a través de los anillos de las filas correspondientes a los enlaces de los canales que conectan la entrada en cuestión con las salidas en cuestión de la red de distribución.

20 52. - Un dispositivo de memoria para registrar los estados (libre u ocupado) de líneas de telecomunicación.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

25 Esta Memoria consta de veintidós hojas escritas a máquina por una sola cara.

Madrid,

27 312 0

P.A.

Alcalde de Madrid
Por: [Firma]

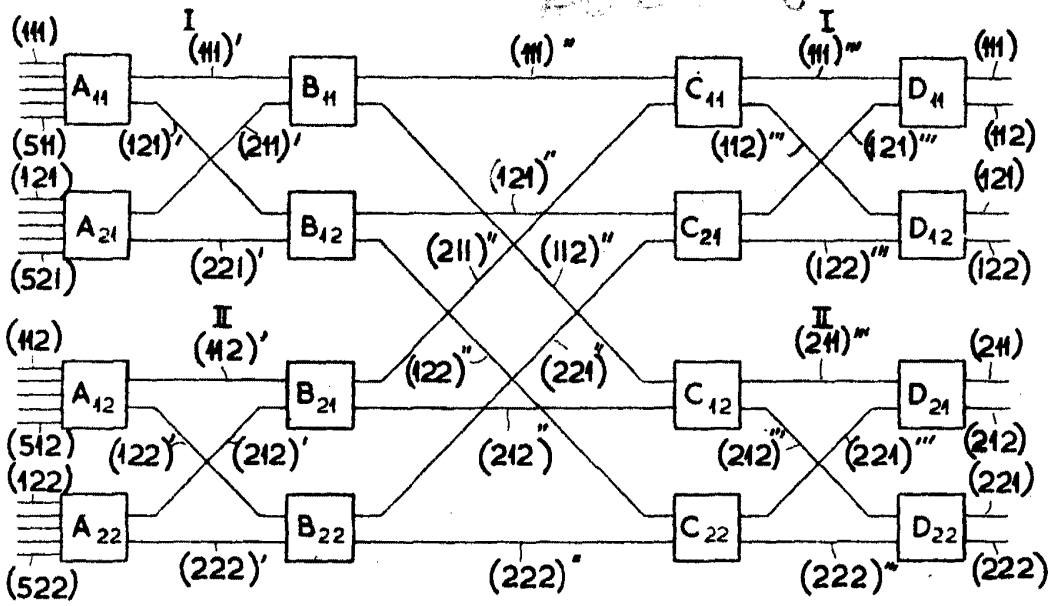


FIG. 1

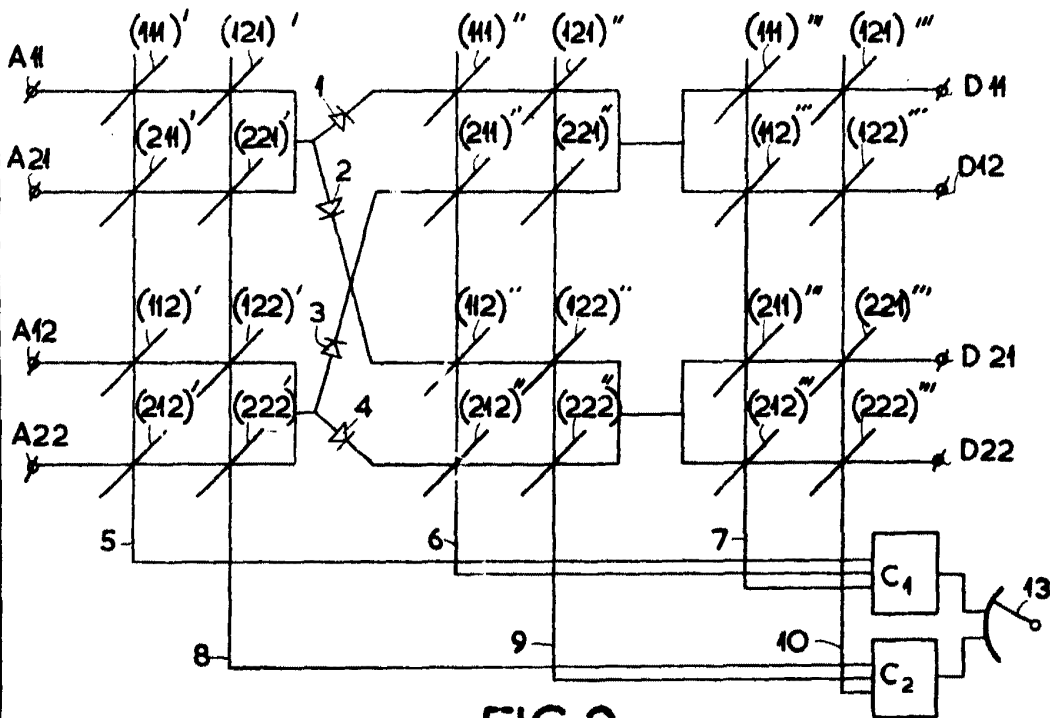


FIG. 2



2524

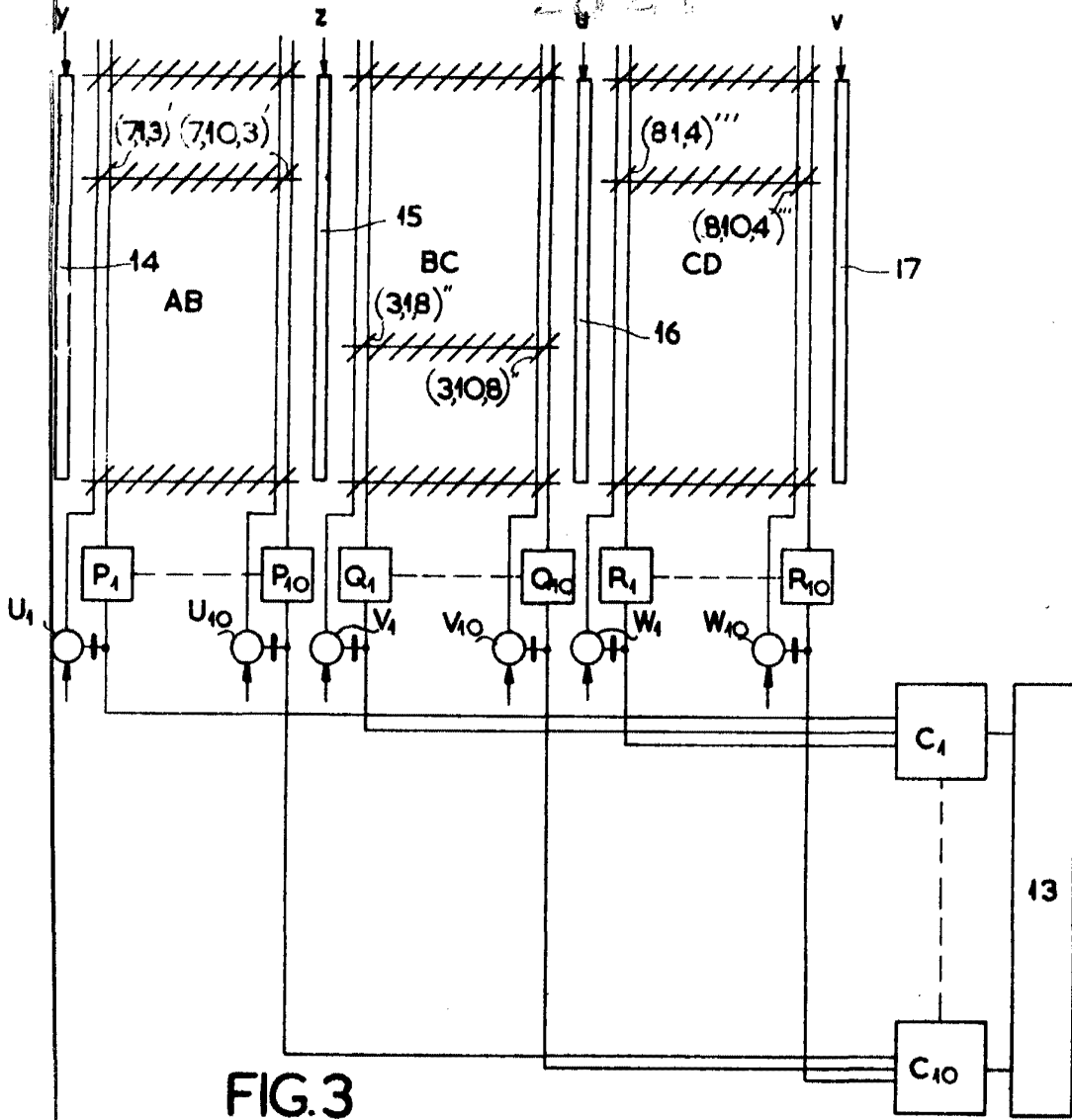


FIG. 3

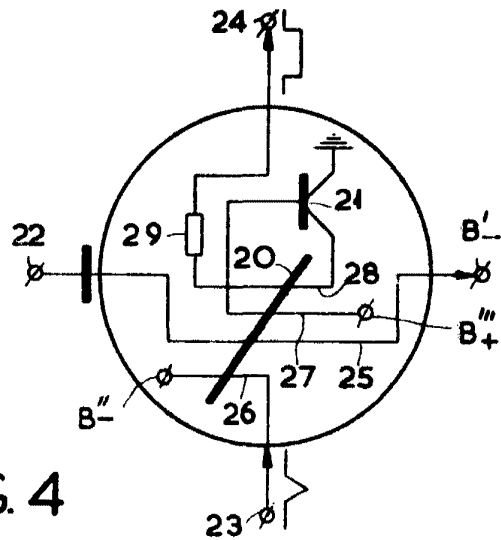


FIG. 4

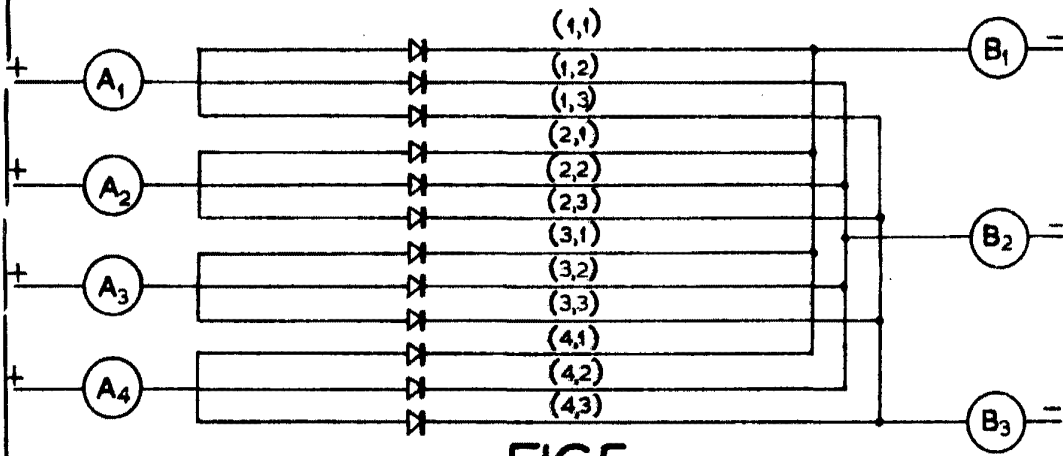


FIG. 5

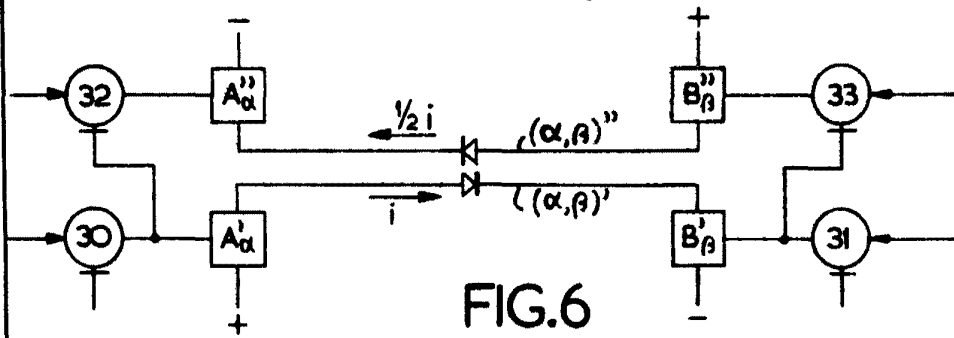


FIG. 6

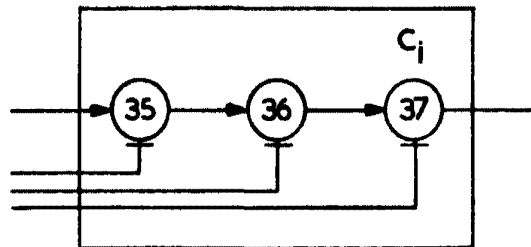


FIG. 7

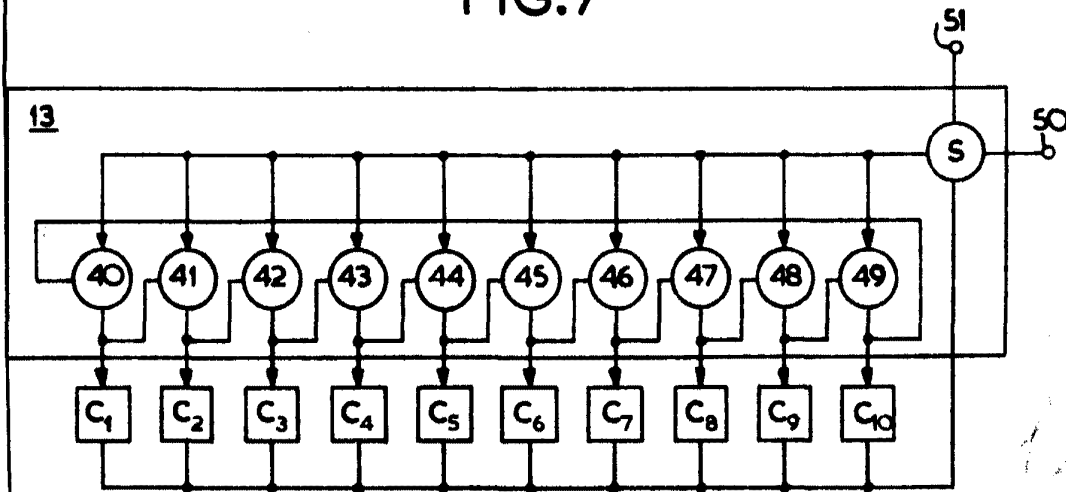


FIG. 8