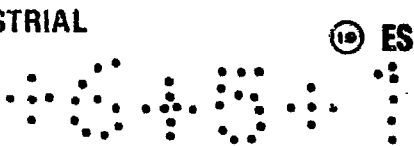


REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA



11	NUMERO	10	Y
19	ES	21	
23			
250547		FECHA DE PRESENTACION	
6-5-80			

16 JUL. 1980

MODELO DE UTILIDAD

30	PRIORIDADES:	32	FECHA	33	PAIS
31	NUMERO				

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL
			H03D5/00

54	TITULO DE LA INVENCIÓN
	UNIDAD CENTRAL DE PROCESO, DE GRAN CAPACIDAD, PARA SISTEMAS DE TELECONTROL.

71	SOLICITANTE (S)
	SOCIEDAD IBERICA DE TRANSMISIONES ELECTRICAS, S.A. SITRE

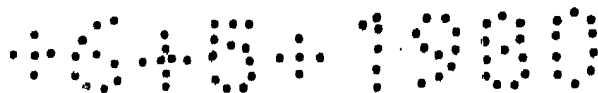
	DOMICILIO DEL SOLICITANTE
	Bernardino Obregon, 26 MADRID

72	INVENTOR (ES)

73	TITULAR (ES)

74	REPRESENTANTE
	D. BERNARDO UNGRIA GOIBURU

PPG/TF.



1 La presente invención, según se expresa en el enunciado de esta Memoria descriptiva, consiste en una unidad central de proceso, de gran capacidad, para sistemas de telecontrol.

5 La unidad central de proceso que presenta la invención, está ubicada en el seno de una única tarjeta de circuito impreso con una pluralidad de componentes y bloques funcionales, merced a los cuales se provee al sistema de telecontrol al que se aplique, de la inteligencia
10 suficiente para realizar las funciones propias de la unidad de control de líneas (UCL) y de procesador central de telecontrol (PCT).

La invención se lleva a cabo merced al concurso de diez bloques funcionales, constituidos por:

- 15
- Microprocesador.
 - Interfase del bus de datos.
 - Interfase del bus de direcciones y control.
 - Temporizador de inicialización y puesto a cero (reset).
- 20
- Memoria PROM, con un almacenamiento que puede alcanzar los 4K bytes.
 - Memoria RAM hasta 4K bytes, constitutiva de la memoria estática.
- 25
- Reloj de dos fases para el microprocesador y para el sincronismo de los distintos circuitos del sistema.
 - Reloj de tiempo real con interrupciones a intervalos fijos.
- 30
- Bloque de visualización.
 - Bloque denominado "Watch-Dog" o bloque encargado de la vigilancia para la correcta secuencia de los

••••• 1980 •••••

1 programas de funcionamiento.

5 En cuanto al microprocesador elegido cabe citar que, de preferencia, se emplea el tipo MC6800 debido a su amplia existencia en el mercado por el gran número de fabricantes que lo construyen, así como por la versatilidad de su soporte de funciones periféricas con pastillas tales y como ACIA, PIA, SSDA, FDC, etc., y por conservar una estructura de su sistema de entrada/salida mediante instrucciones estandar de acceso a memoria y registros.

10 El conjunto está presidido por un reloj de dos fases, generado por un oscilador a cristal, del cual se obtienen dos frecuencias iguales pero no solapadas, utilizándose una de ellas para constituir el reloj de tiempo real de interrupción, constituido por una serie de divisores de frecuencia.

15 La correcta actuación de la unidad está presidida por el bloque citado de "Watch-Dog" el cual vigila la correcta secuencia de los programas y se encarga de generar la señal de reset, es decir, la puesta a cero del sistema, en el caso de detectarse alguna condición de error o caer el programa en un bucle ilegal. Este bloque de "Watch-Dog" está directamente asociado a un bloque de visualización que mediante el oportuno diodo luminiscente señala la presencia de una condición de error.

25 Así pues, merced a la concepción y arquitectura de la unidad, es posible integrar todo el conjunto en una única tarjeta de circuito impreso, aportando la inteligencia suficiente para gobernar un sistema de telecontrol.

30 Para complementar la descripción que seguidamente se va a realizar y con objeto de ayudar a una mejor compren-



1
sión de las características de la invención, se acompaña a
la presente Memoria descriptiva y formando parte integran-
te de la misma de un juego de planos en los que con carac-
ter ilustrativo y no limitativo se ha representado lo si-
5 guiente:

La figura 1ª muestra el diagrama de bloques, me-
diante el cual se lleva a cabo la invención.

La figura 2ª corresponde al circuito de conexio-
nado del microprocesador con la interfase del bus de datos
10 y la interfase del bus de direcciones y control, incluyen-
do, también, la constitución del reloj de dos fases.

La figura 3ª, muestra el circuito de conexionado
del bloque de memoria PROM, así como el bloque de visuali-
zación de puesta en marcha y la visualización de error.

15 La figura 4ª corresponde al circuito de conexio-
nado de parte de las memorias RAM y de su interfase que
también es compartida por el bloque de memoria PROM.

La figura 5ª muestra la realización del resto de
las memorias RAM.

20 La figura 6ª corresponde al circuito del reloj de
tiempo real de interrupción y al bloque de "Watch-Dog".

A la vista de las mencionadas figuras, la unidad
central de proceso, de gran capacidad, para sistema de te-
lecontrol, queda constituida a partir de la asociación de
25 diez bloques funcionales consistentes en el microprocesa-
dor -1- la interfase de bus de datos -2-, la interfase del
bus de direcciones y control -3-, el bloque temporizador
de inicialización y puesta a cero -4-, un bloque de memorias
PROM -5-, un bloque de memorias RAM -6-, el reloj de dos
30 fases -7-, el reloj de tiempo real -8- el bloque de visua-



1 lización de puesta en marcha -9- y el "Watch-Dog" -10- o
circuito de vigilancia. Asimismo, en el diagrama de blo-
ques mostrado en la figura 1ª del adjunto juego de planos,
se referencia con -11- el bloque decodificador para la uni-
5 dad de memorias PROM, con -12- el correspondiente bloque
decodificador para las memorias RAM y con -13- el bloque
decodificador para el circuito -10- de "Watch-Dog".

10 El microprocesador -1- es un circuito integrado
de 40 patas, realizado en tecnología N-MOS, con un proceso
de 8 bits en paralelo y con bus de datos bidireccional y
con 16 bit de direccionamiento, siendo su tiempo de ciclo
de un microsegundo.

15 La interfase del bus de datos 2, está realizada
mediante los circuitos integrados referenciados con -14- y
-15- y con parte de los integrados -16- y -17- y está con-
trolado por las puertas lógicas y buffer referenciados con
-18-. Esta interfase realiza una ampliación del número de
puertas que se puede encargar del bus original del micro-
procesador, con lo cual se amplian las posibilidades del
20 conjunto. Esta interfase es bidireccional y está dotado de
buffers inversores con control de tri-estado, que propor-
cionan un tercer estado lógico o de alta impedancia de sa-
lida cuando no están siendo utilizados. Debido a ello, di-
chas puertas o buffers cuando no están conduciendo presen-
tan un estado de alta impedancia al bus, como si estuviesen
desconectados de él, cargándolo con una intensidad mínima.
Debido a ello queda permitido la considerable extensión en
el número de placas que pueden acceder al citado bus.

25
30 La interfase del bus de dirección y control -3-
presenta una concepción muy similar a la del bloque -2-

••••• 4 ••••• 1900

1 y se lleva a cabo con los circuitos integrados -19-, -20-
y -21- y efectúan una función similar a la de los integra-
dos -14-, -15-, -16- y -17- de la interfase del bus de da-
tos -2-. Los buffers integrantes de éstos circuitos pre-
5 sentan normalmente uno de sus dos estados lógicos de tra-
bajo, hasta que reciben la señal de "HALT", situación en
la que presentarán su estado de alta impedancia con lo que
se cambia el control del bus de datos, direcciones y con-
trol por otro dispositivo diferente del microprocesador,
10 tal y como puede ser un controlador de DMA, un circuito
de ejecución paso a paso, etc.

El bloque -4- o circuito de inicialización y
puesta a cero consiste en un temporizador el cual realiza
un sostenimiento de la línea de RESET a nivel bajo durante
15 un tiempo prudencial que asegura la inicialización de todos
los circuitos. Además se ha previsto la existencia de un
pulsador externo que capacita al operador del sistema para
inicializar manualmente todo el conjunto sin necesidad de
producir el apagado del mismo. Este circuito se encuentra
20 también conectado al "Watch-Dog", o circuito que realiza la
supervisión de buen funcionamiento. En el caso de que se
produjera un error, estando conectado el circuito de "Watch-
Dog" se lanzaría un reset que inicializa el sistema.

25 El bloque -5- constitutivo del bloque de memoria
PROM está constituida por 8 circuitos que, en un principio,
poseen una capacidad de almacenamiento de 512 bytes lo que
da los 4K bytes de almacenamiento máximo. La interfase de
esta memoria PROM está formada por los circuitos integra-
dos referenciados con -21- y -22-, los cuales también com-
30 parten el bloque -6- de memorias RAM. La función de decodi-



1 ficación se lleva a cabo con el concurso de la puerta NAND
y del circuito integrado decodificador -24-, habiéndose pre-
visto los circuitos integrados -25-, -26- y -27- para la
recepción de las direcciones. Además, se ha previsto que
5 cada pastilla PROM esté presidida por un circuito de ahorro
de energía o "POWER-SAVE" que corta la alimentación de di-
chas pastillas de memoria cuando no se está direccionando
el bloque de memorias. Este circuito está constituido por
los transistores referenciados con -28-, los cuales al re-
10 cibir una señal de mando en su base cortocircuitan su es-
pacio emisor colector, proporcionando alimentación de co-
rriente a la pastilla de memoria a la que quedan asociados.

El bloque de memorias RAM se constituye, también,
por 8 circuitos integrados que pueden almacenar cada uno
15 de ellos 1K bytes. La decodificación se lleva a cabo median-
te los circuitos -29-, -30-, -31- y por medio de los con-
mutadores manuales -32-, con los cuales se sitúa la direc-
ción base de esta memoria RAM, en cualquier lugar de sus
64K de almacenamiento, en incrementos de 4K en 4K.

20 El reloj de dos fases -7- está constituido por el
circuito integrado -33- que es un oscilador a una frecuen-
cia muy estable, controlada por cristal, de un Mhz, propor-
cionando dos fases de oscilación $\phi 1$ y $\phi 2$ que son iguales
pero no solapadas. Este reloj posee una lógica interna ne-
25 cesaria para operar con distintos tipos de memoria, tales
y como por ejemplo las memorias EPROM o RAM, más lentas del
tiempo del ciclo mínimo necesario que aproximadamente se ci-
fra en 450 ns.

30 El bloque -10- de "Watch-Dog" y visualización de
error está realizado mediante un multivibrador monoestable,



1

referenciado con -34- y una pluralidad de puertas lógicas, siendo todo ello susceptible de comandar al transistor -35- el cual al recibir en su base la señal adecuada producirá el encendido del diodo electroluminiscente -36- constitutivo del indicador de error.

5

Así pues, merced a la coordinación y adecuada interconexión de las distintas partes integrantes de esta undad central de proceso queda constituido un dispositivo que provee a un sistema de telecontrol de la inteligencia suficiente para realizar las funciones de unidad de control de líneas y de procesador central de telecontrol.

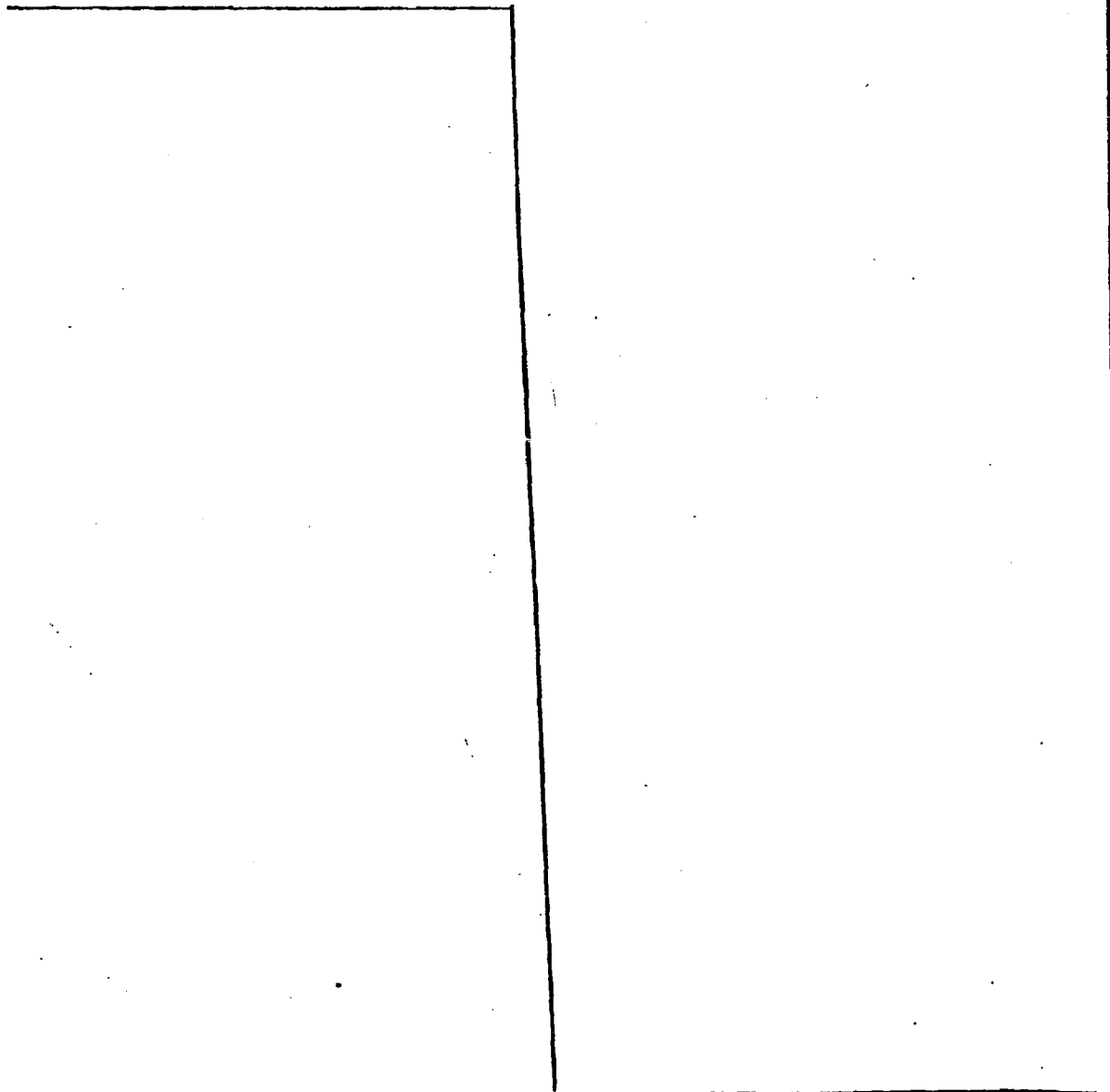
10

15

20

25

30



1954

1 Hecha la descripción a que se refiere la memoria
que antecede, es preciso insistir en que los detalles de
realización de la idea expuesta, pueden variar, es decir,
que pueden sufrir pequeñas alteraciones, basadas siempre
5 en los principios fundamentales de la idea, que son en esen-
cia los que quedan reflejados en los párrafos de la descrip-
ción hecha. En efecto, el Artículo 48 del Estatuto vigente
sobre Propiedad Industrial, establece como no patentables,
en su apartado tercero, "los cambios de forma, dimensiones,
10 proporciones y materias de un objeto ya patentado" fijando
así el criterio del legislador en el sentido de que paten-
tada una idea que pueda dar lugar a una realidad práctica
e industrializable, nadie podrá apoyarse en ella para, a
pretexto de haber introducido ligeras modificaciones, pre-
15 sentarla como nueva y propia.

Este principio, en cuanto al alcance de la protec-
ción del objeto patentado se refiere, se halla confirmado
por numerosas Sentencias del Tribunal Supremo, y entre -
ellas, como más terminantes, en las de fechas 16 de octubre
20 de 1954, 23 de enero de 1959, 20 de marzo de 1964 y otras.

Establecido el concepto expresado, en cuanto a la
amplitud que debe darse a la protección solicitada, se re-
25 dacta a continuación la Nota de Reivindicaciones, de acuer-
do con lo que se establece en el último párrafo del apar-
tado tercero del Artículo 100 de la Ley, sintetizando así
las novedades que se desean reivindicar:

NOTA DE REIVINDICACIONES

30 En resumen, el privilegio de explotación exclusi-
va que se solicita, recaerá sobre las reivindicaciones si-
guientes:



1 1.- UNIDAD CENTRAL DE PROCESO, DE GRAN CAPACIDAD,
PARA SISTEMAS DE TELECONTROL, esencialmente caracterizada
por constituirse a partir de un microprocesador asociado
a sus correspondientes interfases de bus de datos y bus de
5 direcciones y control, así como a un bloque de memorias
PROM y a un bloque de memorias RAM, ambos bloques de gran
capacidad de almacenamiento, habiéndose previsto la exis-
tencia de dos circuitos de reloj, uno de ellos generador
de dos fases, iguales y no solapadas, y otro alimentado por
10 una de dichas fases y constituido por circuitos divisores
de frecuencia preseleccionables por conmutador determinante
de un reloj en tiempo real, con interrupción a intervalos
fijos, existiendo un circuito temporizador de inicializa-
ción y puesta a cero, conectado a la línea de reset y con
15 la particularidad de estar controlado el conjunto por un
circuito de control de programa directamente conectado a un
bloque de visualización.

20 2.- Se reivindica por último como objeto sobre
el que ha de recaer el Modelo de Utilidad que se solicita:
UNIDAD CENTRAL DE PROCESO, DE GRAN CAPACIDAD, PARA SISTEMAS
DE TELECONTROL.

25 Todo conforme queda descrito y reivindicado en la
presente Memoria descriptiva que consta de once páginas me-
canografiadas y dibujos adjuntos.

Madrid, 6 de Mayo de 1980
BERNARDO UNGRIA
P.P.

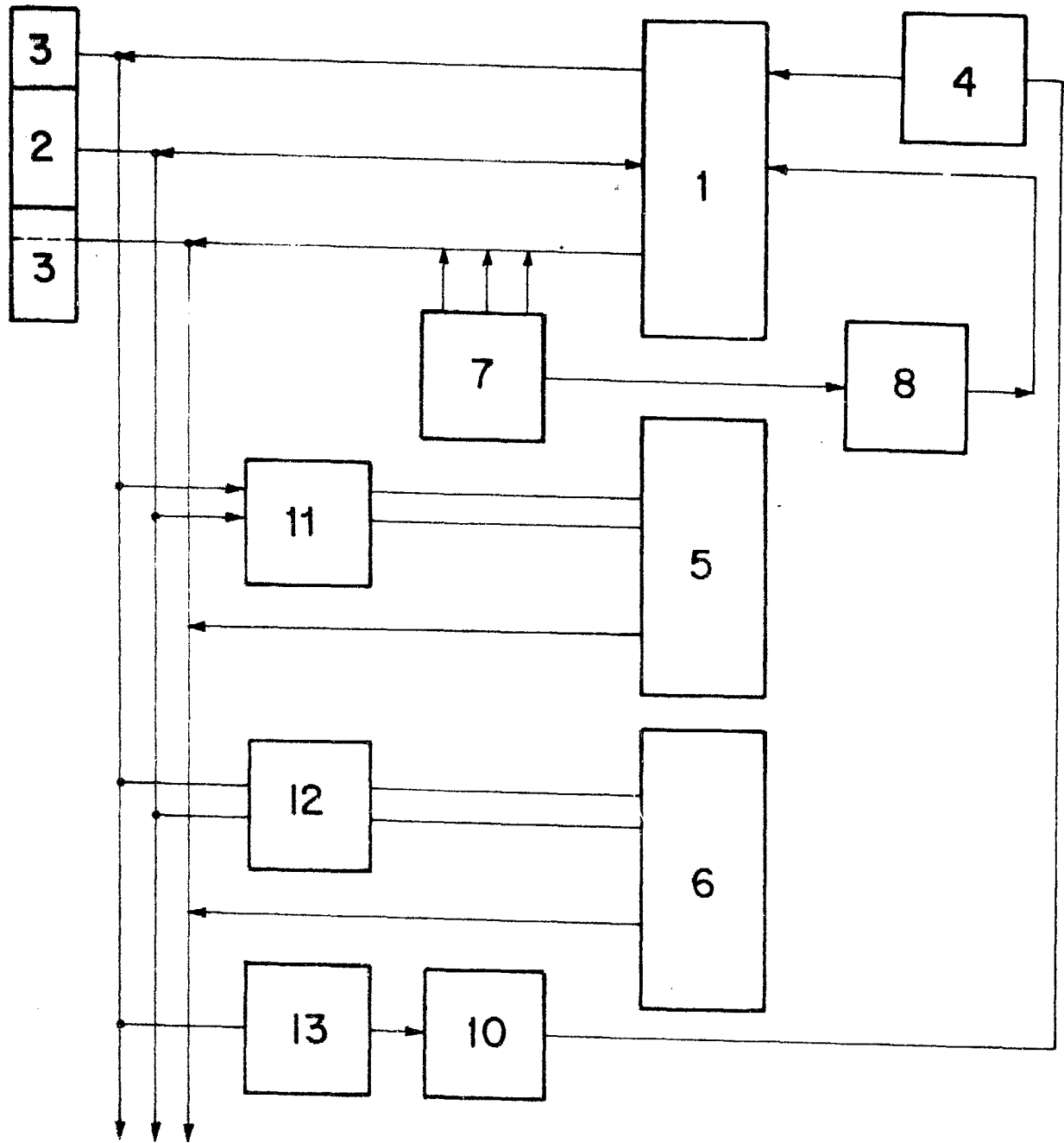
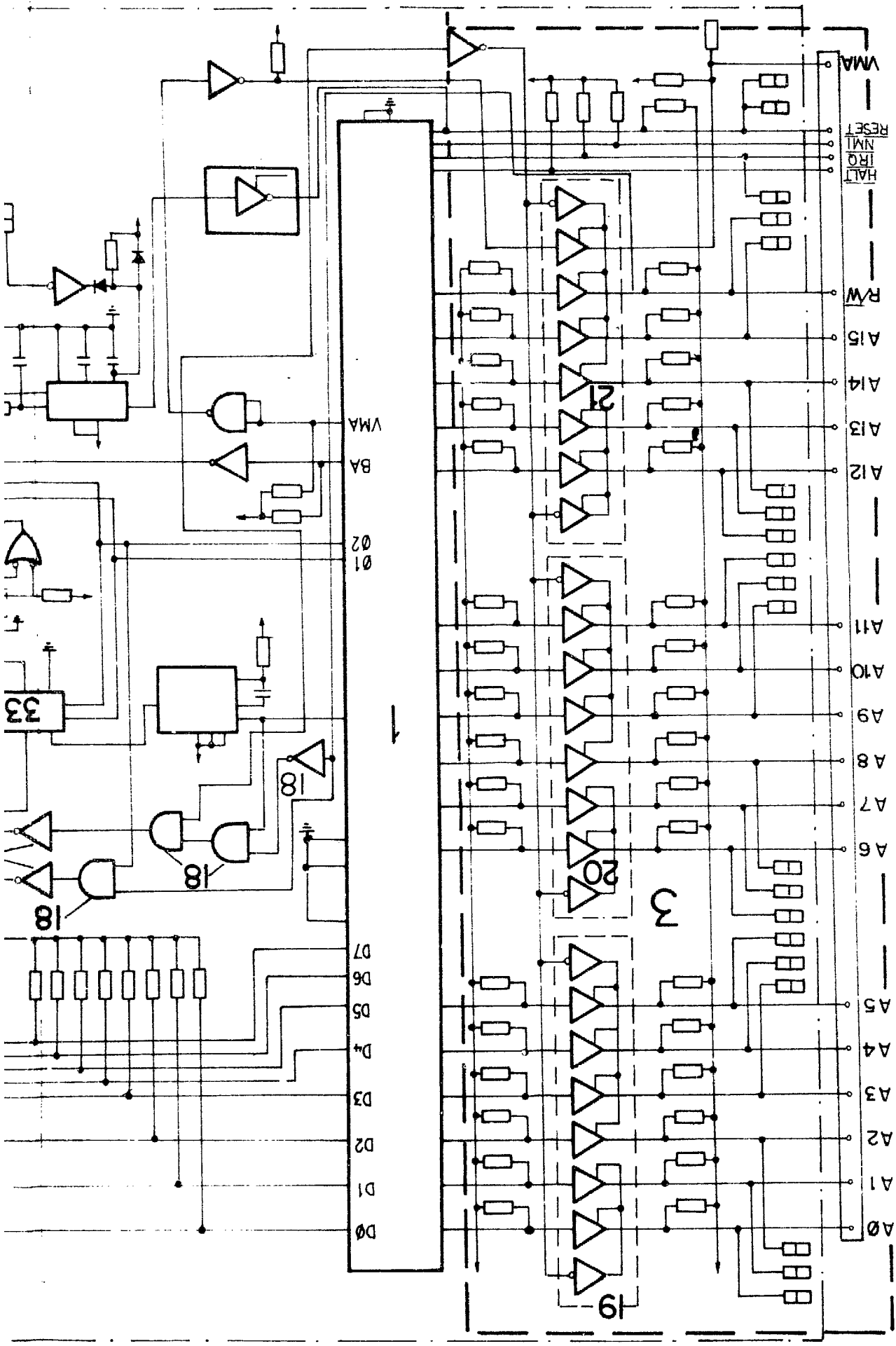


FIG-1



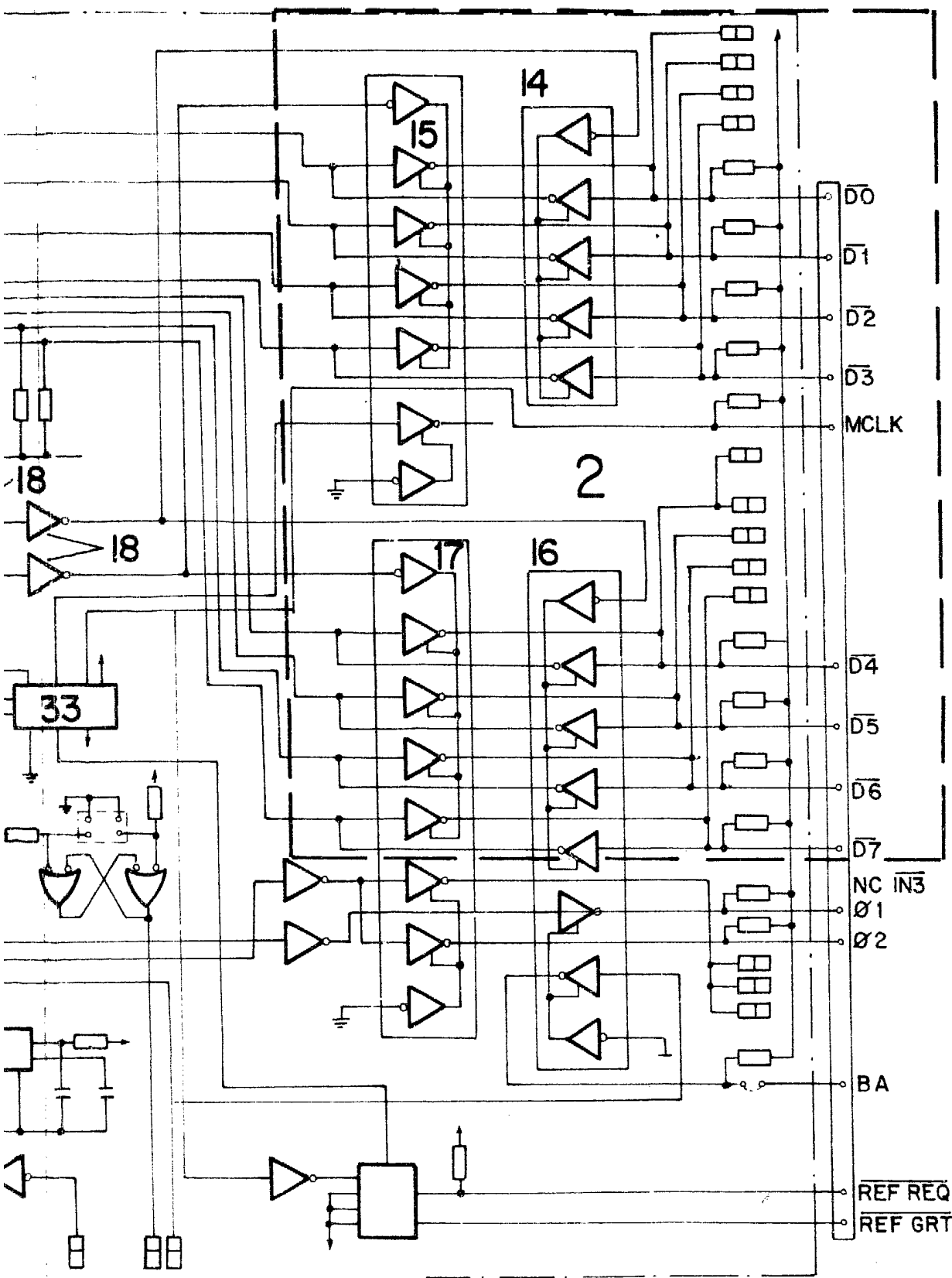
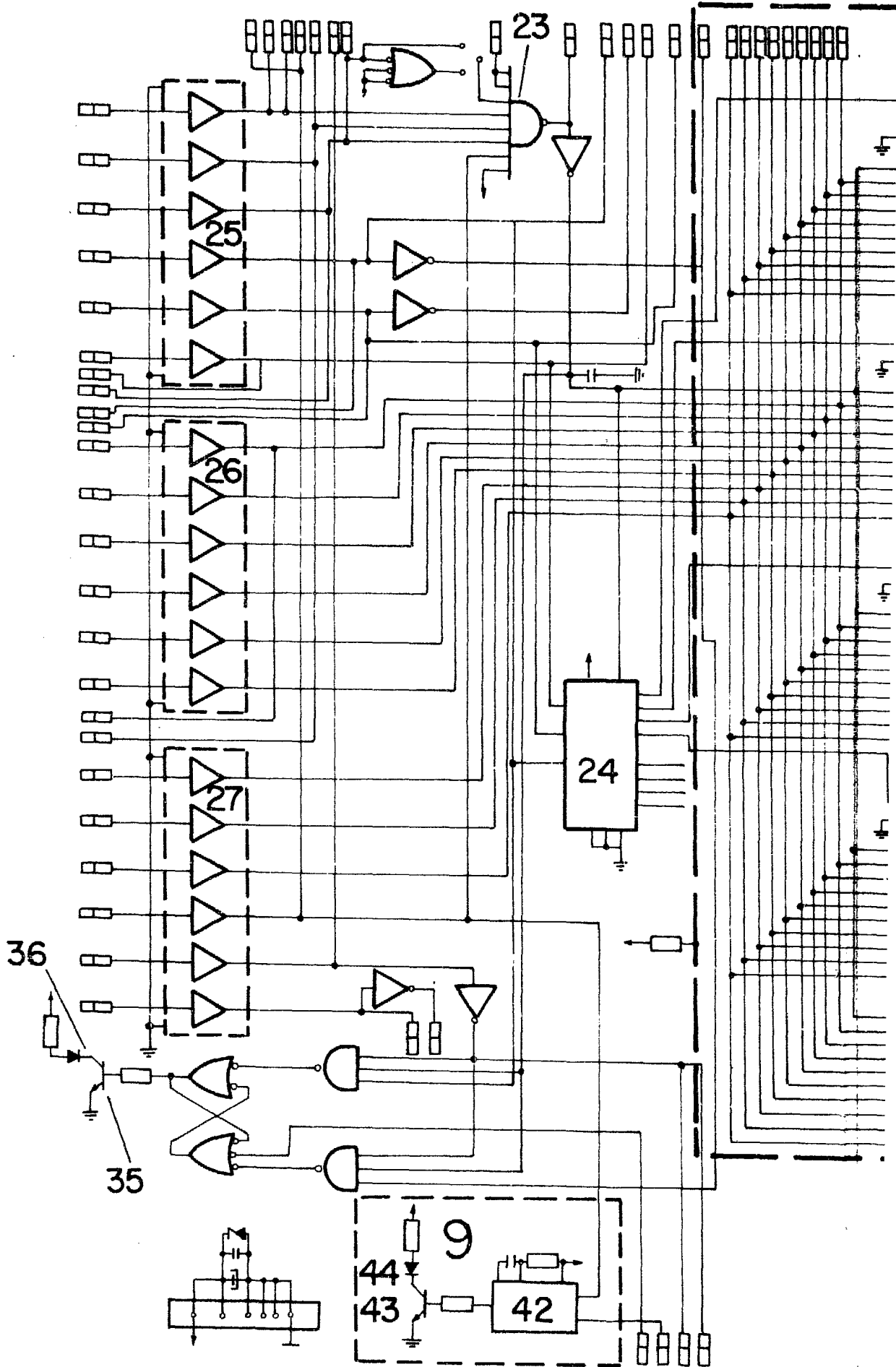


FIG - 2



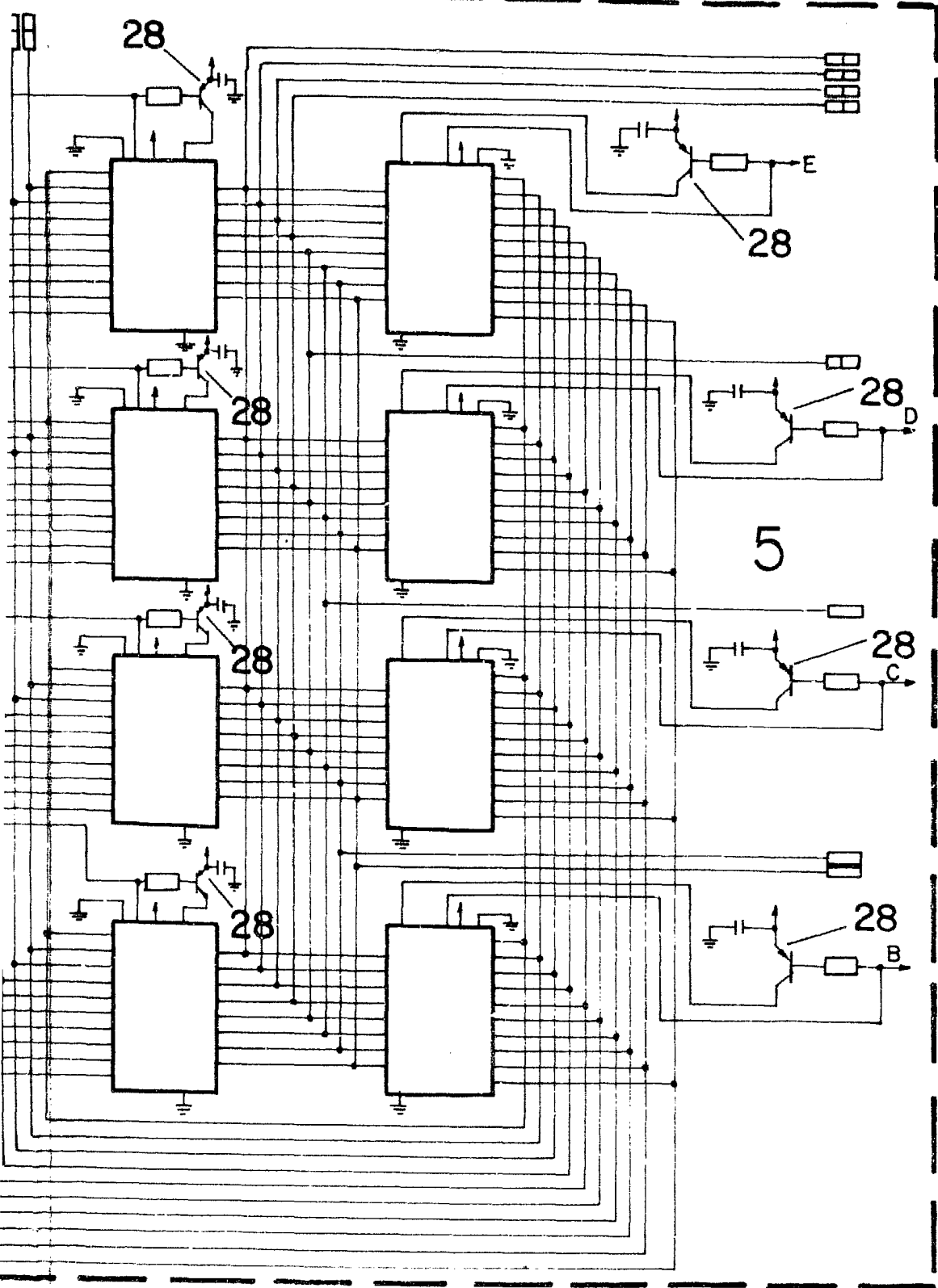


FIG-3

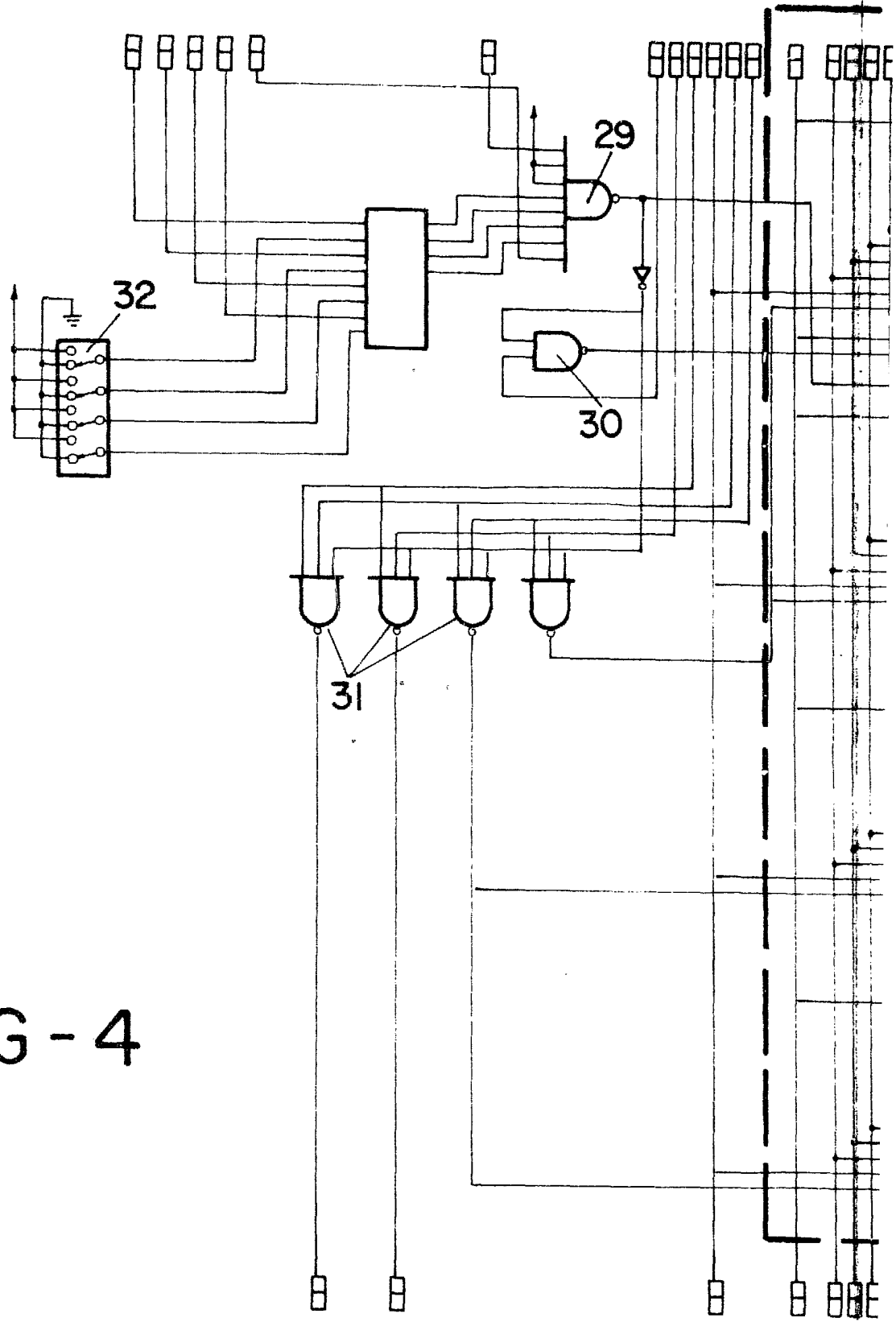
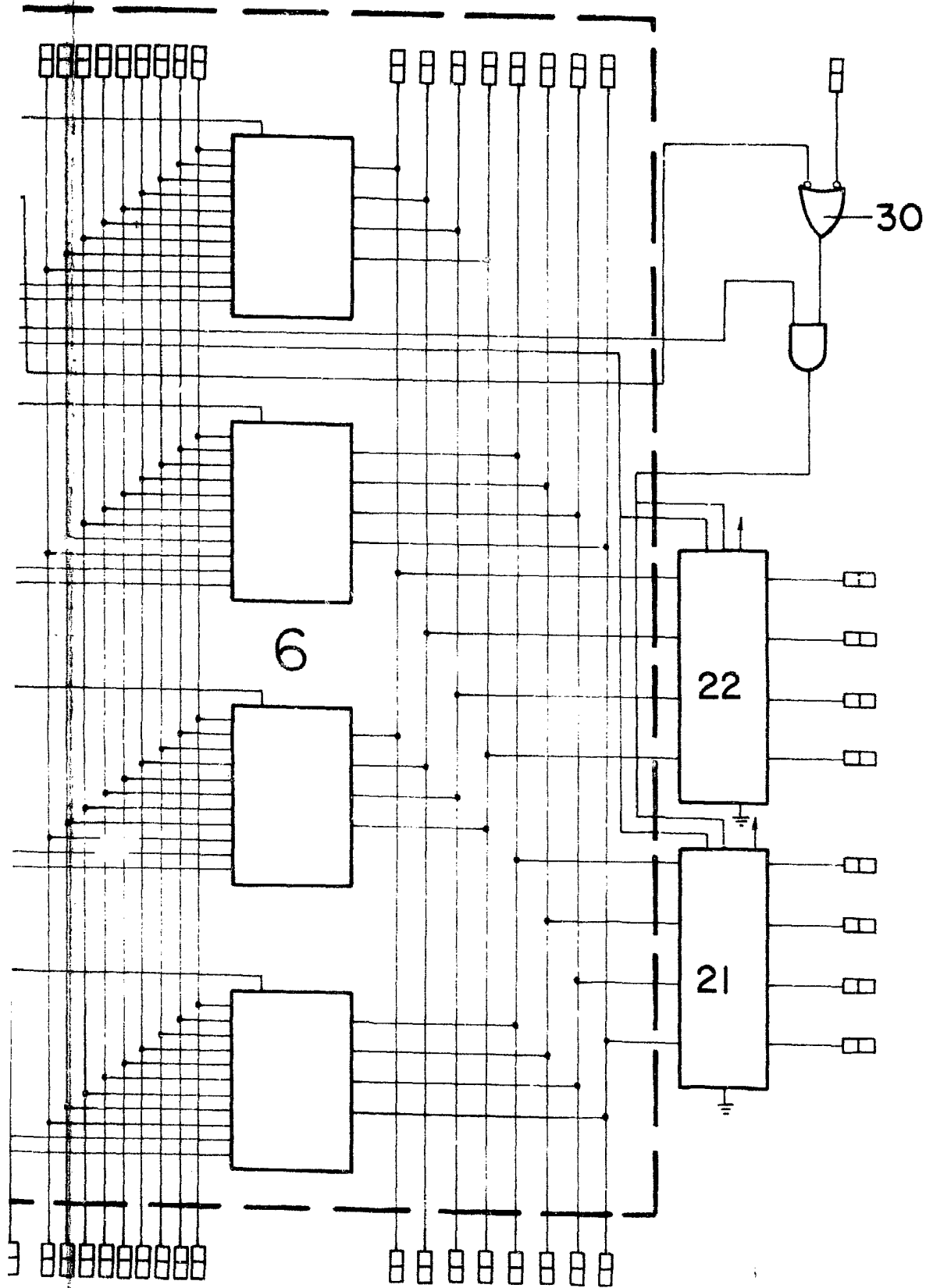


FIG - 4



A handwritten signature or set of initials in the bottom right corner of the page.

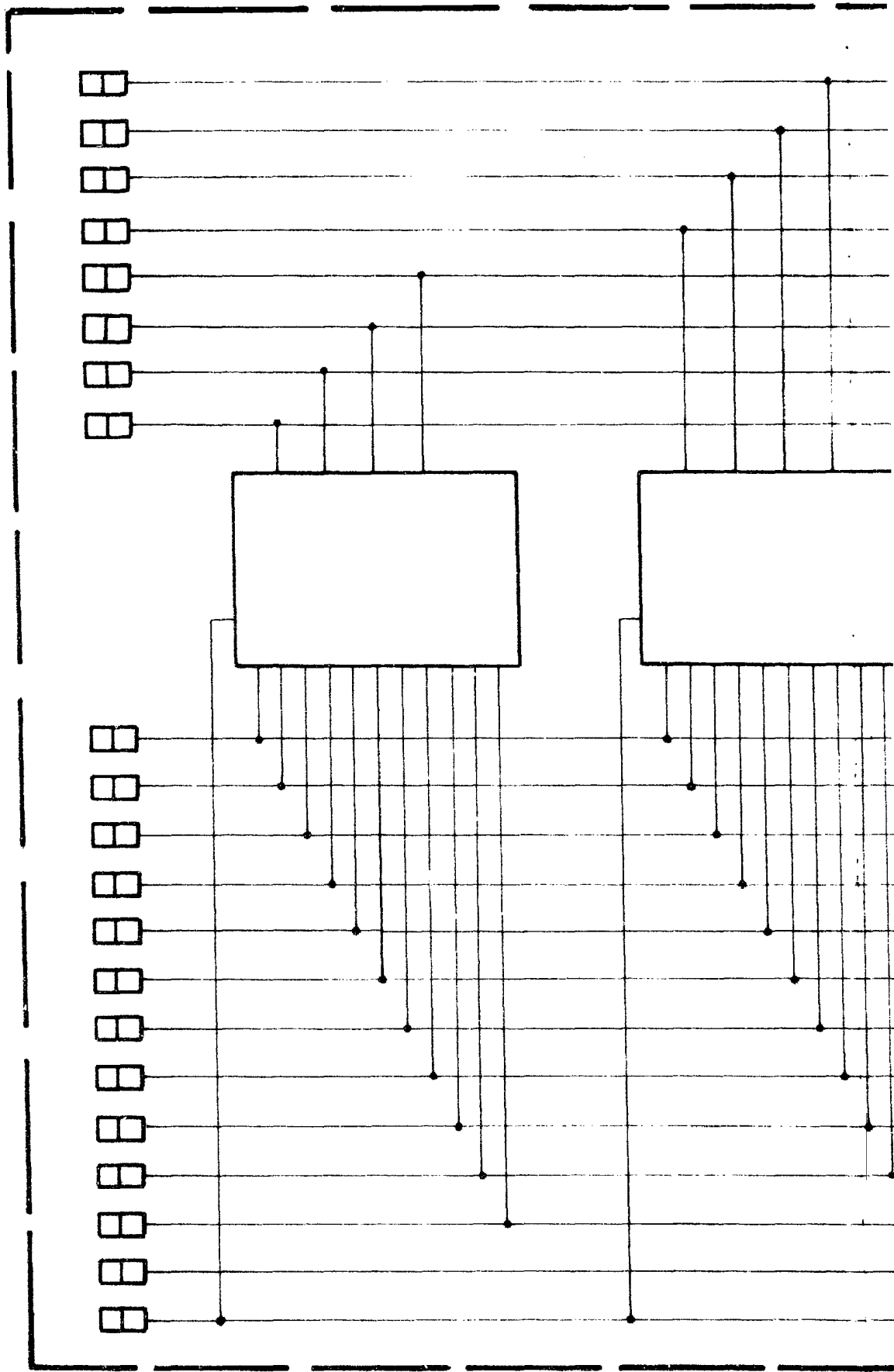
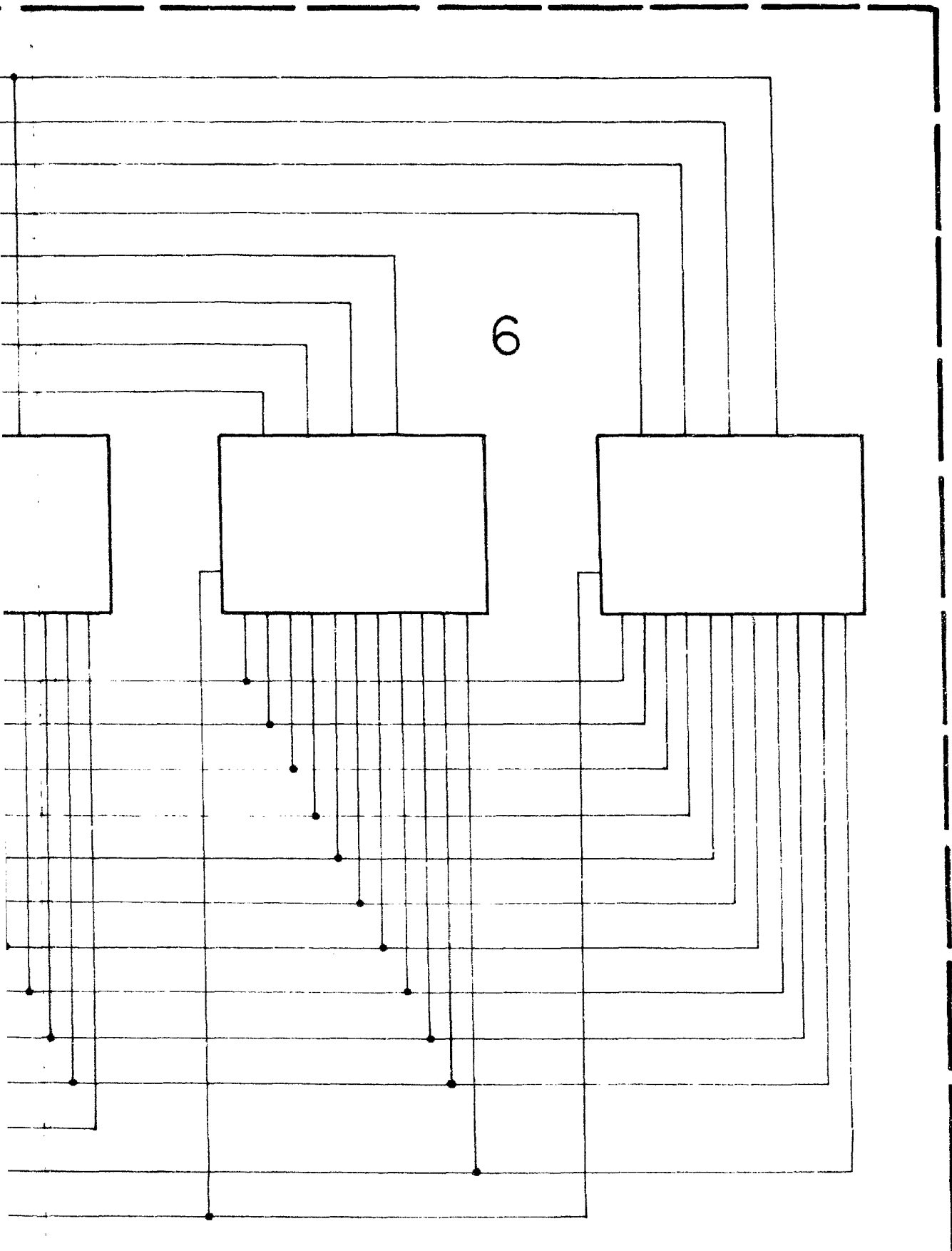
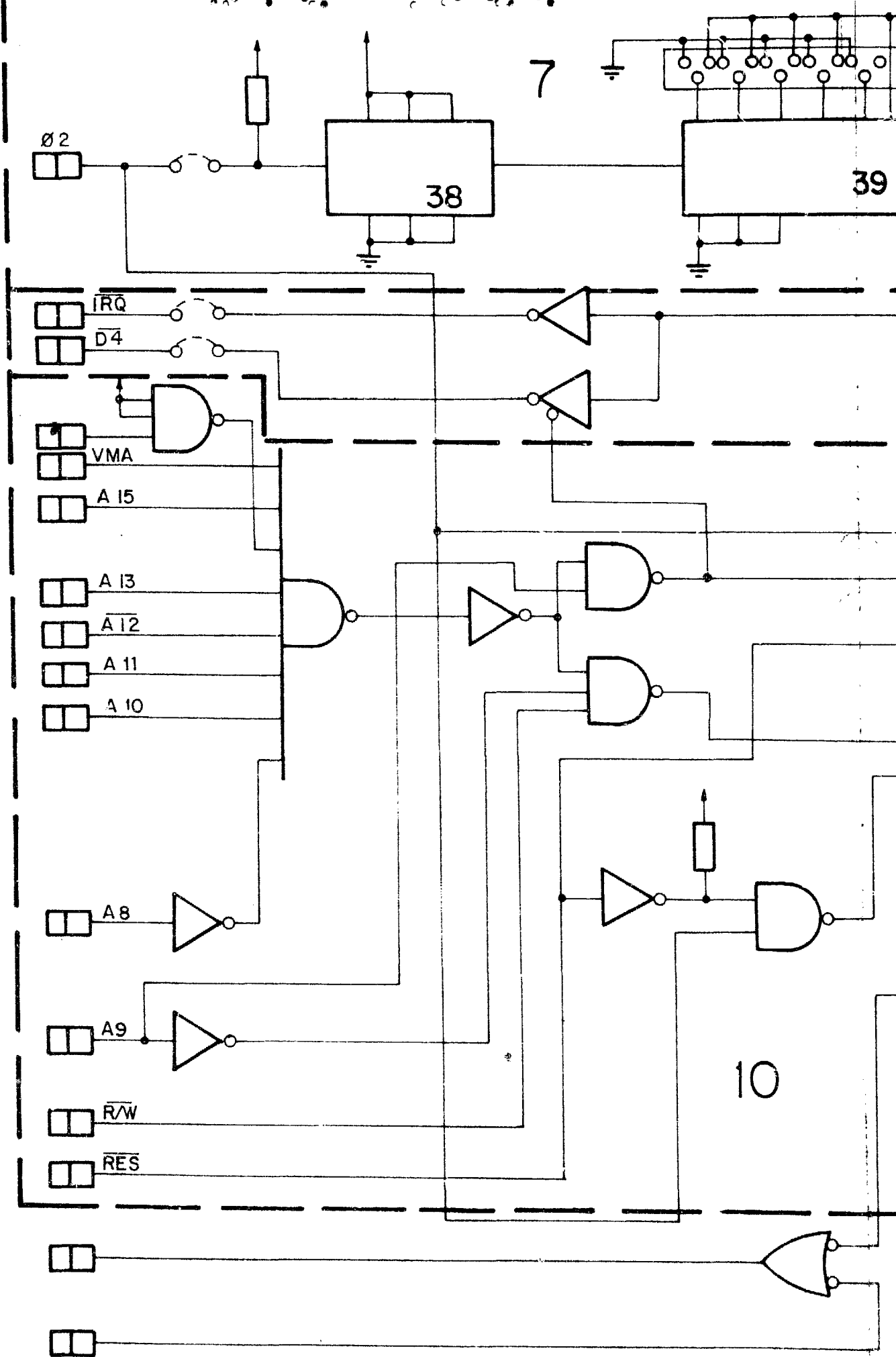


FIG-5



[Handwritten signature]



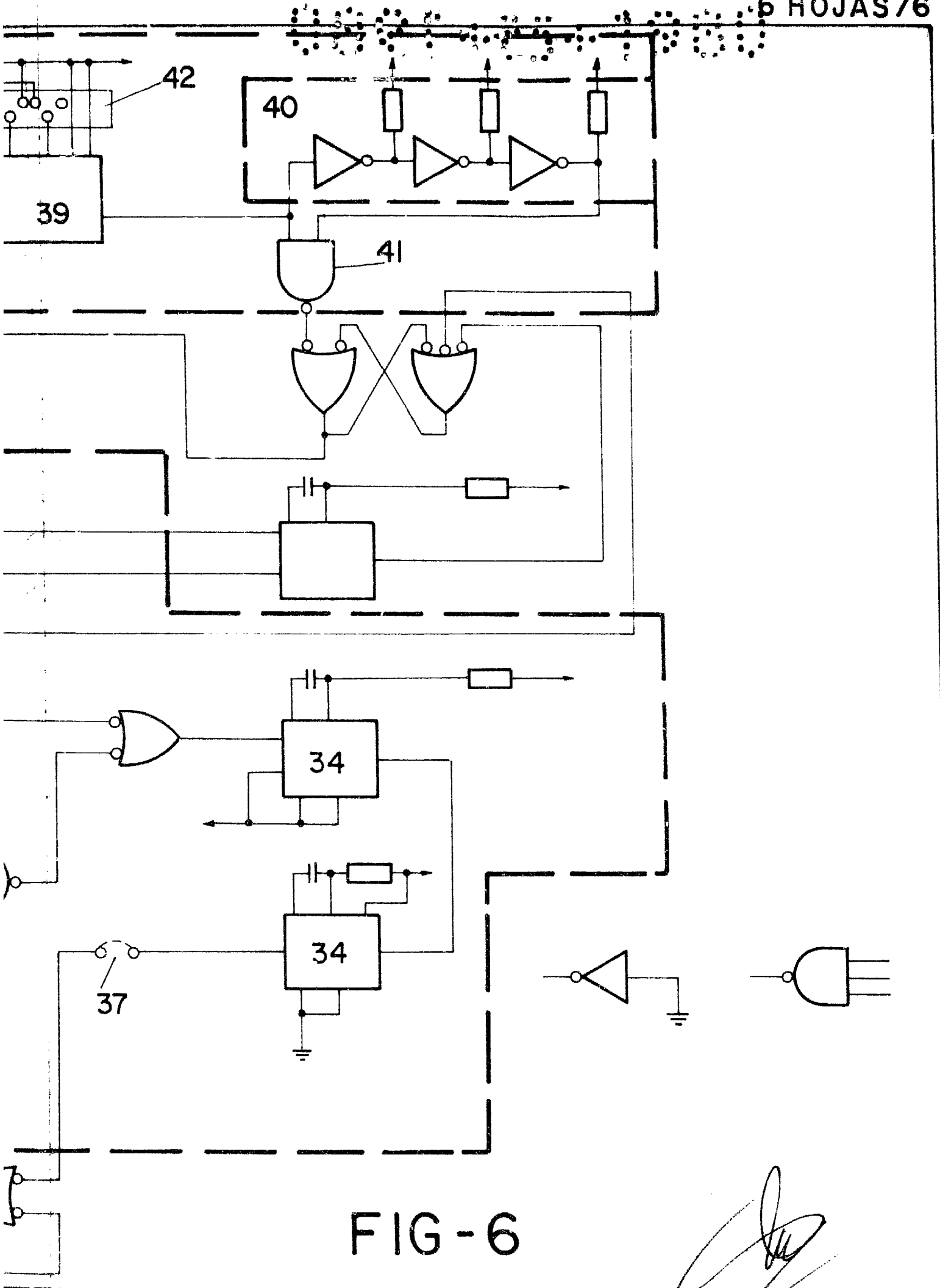


FIG-6