



ESPAÑA

16 NOV. 1980

MODELO DE UTILIDAD

ES

11

NUMERO

249.519/8

21

22

FECHA DE PRESENTACION

21-MARZO-1980

Y

30 PRIORIDADES:

31 NUMERO

32 FECHA

33 PAIS

47 FECHA DE PUBLICIDAD

51 CLASIFICACION INTERNACIONAL

G05B 15/02

52 TITULO DE LA INVENCIÓN

" CIRCUITO MICROPROGRAMADO PARA REDES DE TELECONTROL "

71 SOLICITANTE (S)

SOCIEDAD IBERICA DE TRANSMISIONES ELECTRICAS, S. A. - SUTRE

DIRECCION DEL SOLICITANTE

Bernardino Obregón, 26 - MADRID-5

72 INVENTOR (ES)

73 TITULAR (S)

74 REPRESENTANTE

DON BERNARDO UNGRIA GOIBURU

CM.-

1 El Estatuto vigente sobre Propiedad Industrial, de
26 de Julio de 1929, en su texto refundido publicado el 30
de Abril de 1930, establece los caracteres de patentabili-
dad de las invenciones de tipo industrial que tienen por
5 objeto obtener ventajas sobre lo ya conocido, admitiendo
por consiguiente como patentables, las nuevas máquinas, a-
paratos, instrumentos, procesos de fabricación, etc. La am-
plitud de conceptos previstos como patentables, ha llevado
al legislador a aclarar (Artº. 46) que la enumeración con-
10 tenida en dicho cuerpo legal es puramente enunciativa y no
limitativa, haciéndola extensiva incluso a los descubrimien-
tos de tipo científico (Artº. 47).

El Decreto de 26 de Diciembre de 1947, recogiendo
la Orden de 18 de Noviembre de 1935, confirma el criterio
15 legal de que también serán patentables los instrumentos, ob-
jetos, o partes de los mismos, que aporten a la función a
que son destinados, un beneficio o efecto nuevo, y en defi-
nitiva que constituyan una mejora sustancial sobre lo ante-
riormente conocido.

20 Pues bien, a tenor de lo expuesto, y en base al ar-
ticulado que recoge los conceptos expresados, debe conside-
rarse, que la invención a que se refiere la presente memo-
ria, constituye una novedad industrial, con características
y ventajas que la hacen merecedora del privilegio de explo-
25 tación exclusiva que por ella se solicita, premiando así
los méritos de quien aporta a la industria del país una me-
jora efectiva y precisamente comprendida entre las enuncia-
das por la Ley como patentables. (Arts. 46 y 47 en relación
con el 171, en su nueva redacción afectada por la Orden de
30 18 de Noviembre de 1.935).

1

La presente invención, según se expresa en el enunciado de esta Memoria Descriptiva, consiste en una unidad central para sistema de telecontrol.

5

10

El objeto de la invención radica en el hecho de sportar una circuitería que comprende un microprocesador, una pluralidad de memorias asociadas y distintos bloques funcionales, merced a los cuales es posible gobernar un sistema de telecontrol, coordinándolo todo ello con una serie de tarjetas, objeto de otros modelos de utilidad, tales y como tarjeta de entradas analógicas, tarjeta de comunicaciones, etc., merced a todo lo cual se consigue gestionar las distintas situaciones de control y automatización de sistemas telefónicos, de telecontrol, o similares.

15

La invención emplea un microprocesador de tipo conocido, al que le dota de un soporte de memorias con una peculiar organización y al que le asocia una pluralidad de bloques que potencian su funcionamiento y le hacen capaz de sportar las distintas funciones a las que se le destina.

20

25

El conjunto presenta la gran ventaja de ser reprogramable, merced a lo cual su rendimiento en los procesos industriales anteriormente aludidos es sumamente ventajoso, razón que confiere una supremacía a esta unidad central, cuando se la compara con otros sistemas convencionales de control automático. Por otro lado, el hecho de estar realizada la circuitería, preferentemente, con elementos de tecnología C-MOS, aporta una serie de ventajas adicionales de gran utilidad en medios industriales y condiciones de funcionamiento adversas, entre las que pueden destacarse la

30

1 gran insensibilidad al ruido, la protección contra descargas
estáticas, la capacidad de auto-chequeo del sistema y
la total independencia del mismo frente a la actividad del
operador del conjunto.

5 Con respecto a la capacidad de auto-chequeo,
anteriormente aludida, cabe decir que se incluye unos pilos-
tos luminiscentes para visualización de error, cuyo encen-
dido se produce al detectarse algún fallo en el sistema
10 cuando se realizan sus pruebas automáticas de auto-chequeo.
No cabe duda que esta circunstancia resulta ser de una gran
utilidad al reducir considerablemente las posibilidades de
error del sistema y su mantenimiento.

15 La unidad central, que la invención propone,
se compone básicamente de diez bloques funcionales, los
cuales se citan a continuación:

- 1.- Microprocesador.
- 2.- Interfase del bus de datos.
- 3.- Interfase del bus de dirección y control.
- 20 4.- Temporizador de inicialización y puesta a
cero.
- 5.- Memoria ROM.
- 6.- Memoria RAM.
- 7.- Reloj de dos fases.
- 25 8.- Reloj en tiempo real.
- 9.- Visualización de puesta en marcha.
- 10.- Visualización de error y control de pro-
grama o "watch dog".

30 La agrupación funcional de estos diez bloques,
así como su implementación física y su cometido dentro de la

1 organización de la unidad central objeto de la presente in-
vención, queda descrita en la descripción que seguidamente
se va a realizar, y en el juego de planos que complementan
y acompañan a esta memoria descriptiva. en los que con ca-
5 rácter ilustrativo y no limitativo se ha representado lo
siguiente:

La figura 1ª muestra el diagrama de bloques
con el que se lleva a cabo la invención.

10 La figura 2ª corresponde al circuito de inter-
conexión entre el microprocesador, la interfase del bus de
dirección y control, el bloque de temporización de inicia-
lización y puesta a cero y la interfase del bus de datos.

15 La figura 3ª muestra el circuito de conexiona-
do de las diferentes memorias ROM, así como la constitución
del bloque de visualización de puesta en marcha y de par-
te de la interfase para las memorias RAM y ROM.

20 La figura 4ª corresponde al conexionado de
las memorias RAM con su interfase y con el bloque de vi-
sualización de error y "watch dog".

A la vista de las mencionadas figuras, y como
puede comprobarse, la unidad central para sistema de tele-
control, queda constituida a partir de la interconexión de
los diez bloques funcionales siguientes:

25 Microprocesador (1), interfase de bus de datos
(2), interfase de bus de dirección y control (3), tempori-
zador de inicialización y puesta a cero (4), grupo de memo-
rias ROM (5), grupo de memorias RAM (6), reloj de dos fases
y control (7), reloj en tiempo real (8), bloque de visuali-
30 zación de puesta en marcha (9) y bloque de visualización de

1 error y "watch dog" (10).

El microprocesador (1) es un circuito integrado comercial realizado empleando la tecnología N-MOS.

5 La interfase del bus de datos (2) está compuesta por cuatro circuitos integrados que comportan buffer, con control de tri-estado, eliminando así los problemas que ocurren generalmente en aquellos sistemas orientados en forma de bus. Merced a este control de tri-estado cuando un grupo de elementos no se está empleando una señal de control les obliga a presentar una gran impedancia, lo que implica que no presenten carga alguna al bus de datos... Quedan controlados por el microprocesador (1) a través del conjunto referenciado con (11) que contiene varias puertas and y elementos inversores.

15 La interfase del bus de dirección y control (3) se lleva a cabo con una constitución similar a la del bloque (2) y ejerce una función principal consistente en ampliar la capacidad de carga en el bus de direcciones y control del microprocesador. Esta interfase, igualmente con control de tri-estado, está normalmente en su estado operacional y solamente presenta su estado de alta impedancia cuando el microprocesador entra en su modalidad de "HALT".

20 El temporizador de inicialización y puesta a cero (4) tiene por misión suministrar el pulso adecuado para la inicialización del sistema, cuando éste ha sido puesto en marcha y, en todo momento, suministra el pulso cuando manualmente se actúa el pulsador S1 o cuando el "watch dog", incluido en el bloque (10), detecta un fallo en la secuencia del programa.

30

1 El bloque (5) o conjunto de memorias ROM está
compuesto por ocho circuitos que se referencian con ROM1 á
ROM8, y realizan el almacenamiento de las instrucciones fi-
jas del sistema. Su programación es realizada en unidades
5 de 512 bytes, mediante el uso de un programador PROM, una
vez definidos los programas adecuados de actuación del sis-
tema.. Esto bloque (5) incorpora una sección de selección
de la memoria ROM específica y que está compuesta, dicha
sección, por los integrados referenciados con (12) y (13),
10 los cuales producen los niveles apropiados de selección
cuando aparecen las direcciones asignadas a la memoria co-
rrespondiente.

Además, el bloque de memorias ROM incorpora una
sección de interfase al bus del sistema que está comparti-
15 da con el bloque de memorias RAM y que se compone de los
circuitos integrados referenciados con (14), (15), (16),
(17) y (18). Los integrados (16), (17) y (18) están puestos
permanentemente en su modalidad operacional, mientras que
los integrados (14) y (15) proveen una interfase bidirec-
20 cional controlados por el microprocesador (1) y activados
en una u otra dirección dependiendo de la operación a rea-
lizar, presentando estos una alta impedancia al bus cuando
las memorias RAM y ROM no están siendo seleccionadas.

25 Por su parte el bloque de memorias RAM (6)
que comprende la sección de interfase anteriormente aludida,
comporta igualmente una sección de selección y el bloque de
memorias propiamente dicho.

30 La sección de selección referenciada con el
conjunto (19), comprende los circuitos integrados (20) y (21)

1 así como una serie de puentes denominados P1, P2, P3 y P4,
mediante los cuales se seleccionan las direcciones asig-
nadas a las memorias RAM. La misión de estas memorias
RAM radica en el almacenamiento de datos temporales que
5 podrán ir variando durante el proceso de tratamiento de
datos.

El bloque (7) o reloj de dos fases, está com-
puesto de un circuito integrado (22) que comprende inter-
namente un oscilador de cristal de cuarzo dotado de lógica
10 interna con objeto de suministrar las dos fases neces-
arias para la operación del microprocesador y comprende,
además, otras salidas de reloj sincronizadas. Se han pre-
visto dos líneas de control A y B para el acoplamiento del
microprocesador a diversas memorias.

15 El bloque (8) o reloj en tiempo real está com-
puesto por los circuitos integrados (23) y por parte del
circuito integrado (24), proporcionando al microprocesador
(1) un impulso de interrupción, de periodo fijo, para la
temporización de los diversos programas del sistema.

20 La otra parte del circuito integrado (24) de-
termina el bloque de visualización de puesta en marcha
(9), cuya salida conecta con la base del transistor (25),
amplificador de corriente, que alimenta al diodo lumini-
cente D1, en orden a proporcionar una indicación visual
25 del estado operativo del microprocesador. Durante la ope-
ración normal del conjunto, éste diodo D1, permanecerá
iluminado.

30 Por último, el bloque (10) de visualización
de error y "watch dog", se compone de los circuitos inte-

1

grados (26) y (27), así como de una pluralidad de puertas lógicas. El denominado "watch og" vigila la correcta secuencia de los programas de operación causando un pulso de puesta a cero cuando esta secuencia se altera o cuando

5

exista un bucle ilegal de programación. Si se quiere inutilizar la acción de este circuito "watch og", bastará con eliminar el puente P5 que relaciona una de las patillas del circuito integrado (26) con la puerta (28).

10

El circuito de visualización de error producirá la iluminación del diodo luminiscente D2, a través del transistor (29), por medio de la programación cuando en sus pruebas automáticas se encuentre algún fallo en el sistema. Una vez eliminado dicho error se producirá el automático apagado del diodo D2 sin más que presionar sobre el pulsador S2.

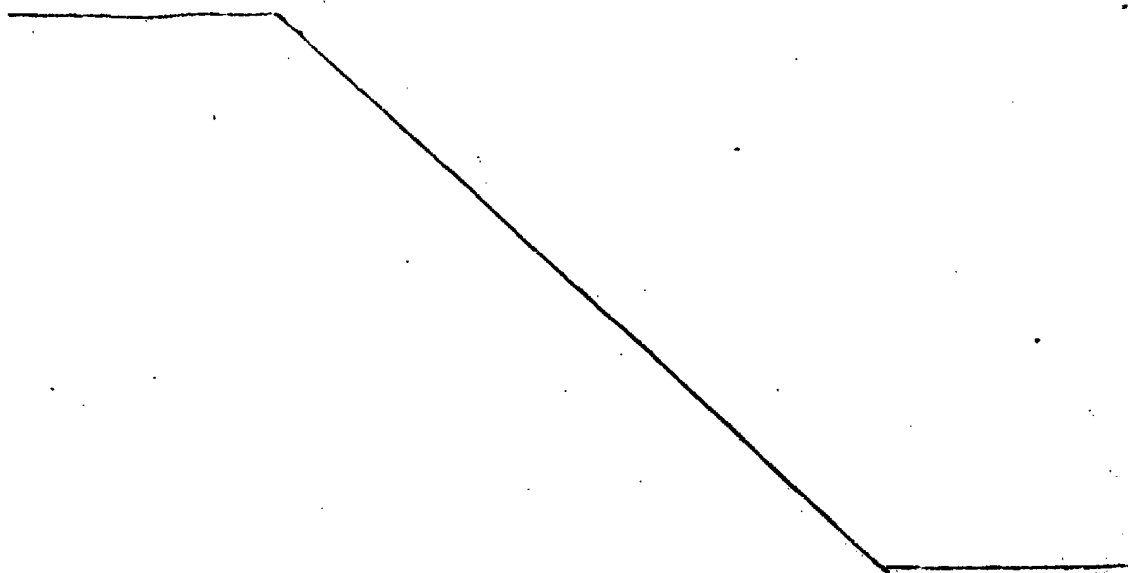
15

Se obtiene en consecuencia un conjunto de microprocesador que permite la detección autónoma de fallos de programa con retorno a su origen y que tiene por objeto el constituir un soporte para el núcleo de un sistema de telecontrol totalmente automatizado.

20

25

30



1 Hecha la descripción a que se refiere la memoria
que antecede, es preciso insistir en que los detalles de
realización de la idea expuesta, pueden variar, es decir,
que pueden sufrir pequeñas alteraciones, basadas siempre
5 en los principios fundamentales de la idea, que son en esen-
cia los que quedan reflejados en los párrafos de la descrip-
ción hecha. En efecto, el Artículo 48 del Estatuto vigente
sobre Propiedad Industrial, establece como no patentables,
en su apartado tercero, "los cambios de forma, dimensiones,
10 proporciones y materias de un objeto ya patentado" fijando
así el criterio del legislador en el sentido de que paten-
tada una idea que pueda dar lugar a una realidad práctica
e industrializable, nadie podrá apoyarse en ella para, a
pretexto de haber introducido ligeras modificaciones, pre-
15 sentarla como nueva y propia.

Este principio, en cuanto al alcance de la protec-
ción del objeto patentado se refiere, se halla confirmado
por numerosas Sentencias del Tribunal Supremo, y entre -
ellas, como más terminantes, en las de fechas 16 de octubre
20 de 1954, 23 de enero de 1959, 20 de marzo de 1964 y otras.

Establecido el concepto expresado, en cuanto a la
amplitud que debe darse a la protección solicitada, se re-
dacta a continuación la Nota de Reivindicaciones, de acuer-
do con lo que se establece en el último párrafo del apar-
25 tado tercero del Artículo 100 de la Ley, sintetizando así
las novedades que se desean reivindicar:

NOTA DE REIVINDICACIONES

En resumen, el privilegio de explotación exclusi-
va que se solicita, recaerá sobre las reivindicaciones si-
30 guientes:

1
5
10
15
20

1ª.- CIRCUITO MICROPROGRAMADO PARA REDES DE TELECONTROL, que utilizando un microprocesador convencional, esencialmente se caracteriza por constituirse a partir de la coordinación de diez bloques funcionales definidos por un microprocesador central, una interfase de bus de datos, una interfase de bus de dirección y control, un temporizador de inicialización y puesta a cero, un bloque de memorias ROM, un bloque de memorias RAM, un reloj de dos fases, un reloj en tiempo real, un circuito de visualización de puesta en marcha y un circuito de visualización de error y control de programa o "watch dog", habiéndose previsto que el circuito de visualización de error active un diodo luminiscente en caso de detectarse algún fallo en el sistema, mientras que el "watch dog" está conformado en orden a vigilar la correcta secuencia de los programas de operación, existiendo una sección de interfase compartida por ambos bloques de memorias, RAM y ROM.

25
30

2ª.- CIRCUITO MICROPROGRAMADO PARA REDES DE TELECONTROL, según reivindicación anterior, caracterizado porque comprende un bloque funcional susceptible de detectar, autónomamente, un fallo del programa de comando, retornando éste a su instrucción original y con la particularidad de que todas las señales del bus del sistema son compatibles con la lógica TTL y C-MOS.

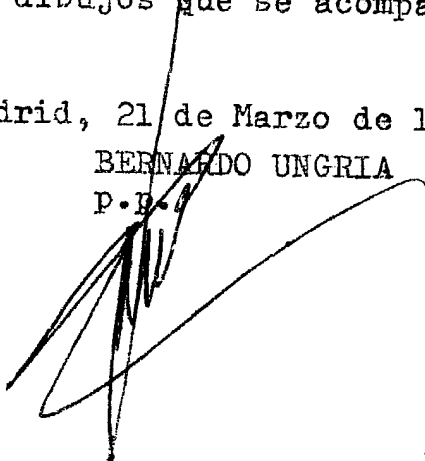
3ª.- Se reivindica por último como objeto sobre el que ha de recaer el Modelo de Utilidad que se solicita: " CIRCUITO MICROPROGRAMADO PARA REDES DE TELECONTROL ".

1
Todo conforme queda descrito y reivindicado en la presente memoria descriptiva, que consta de doce páginas mecanografiadas y dibujos que se acompañan.

5
Madrid, 21 de Marzo de 1980

BERNARDO UNGRIA

P. R.



10
15
20
25
30
S
E
C
R
E
T
O

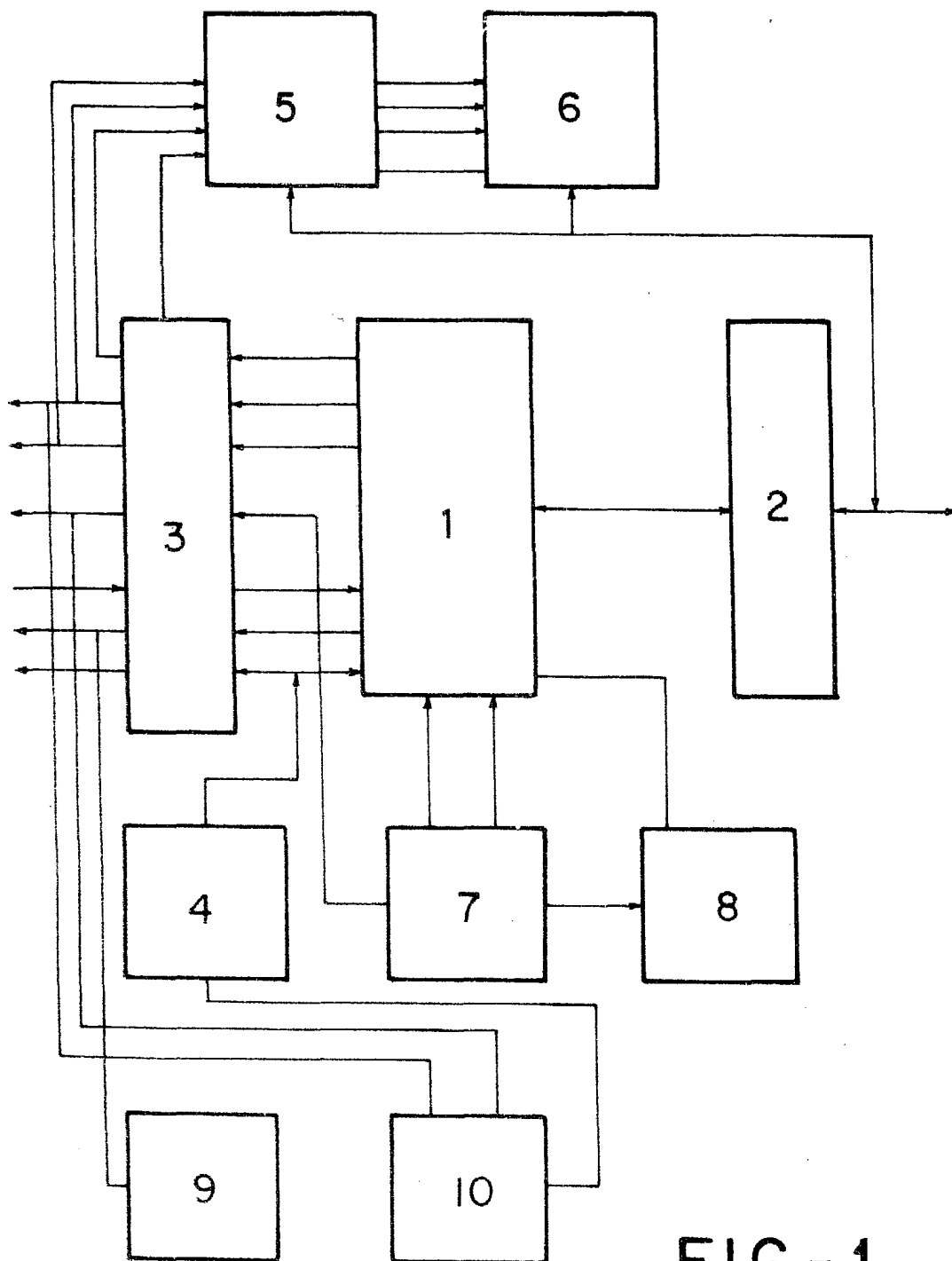


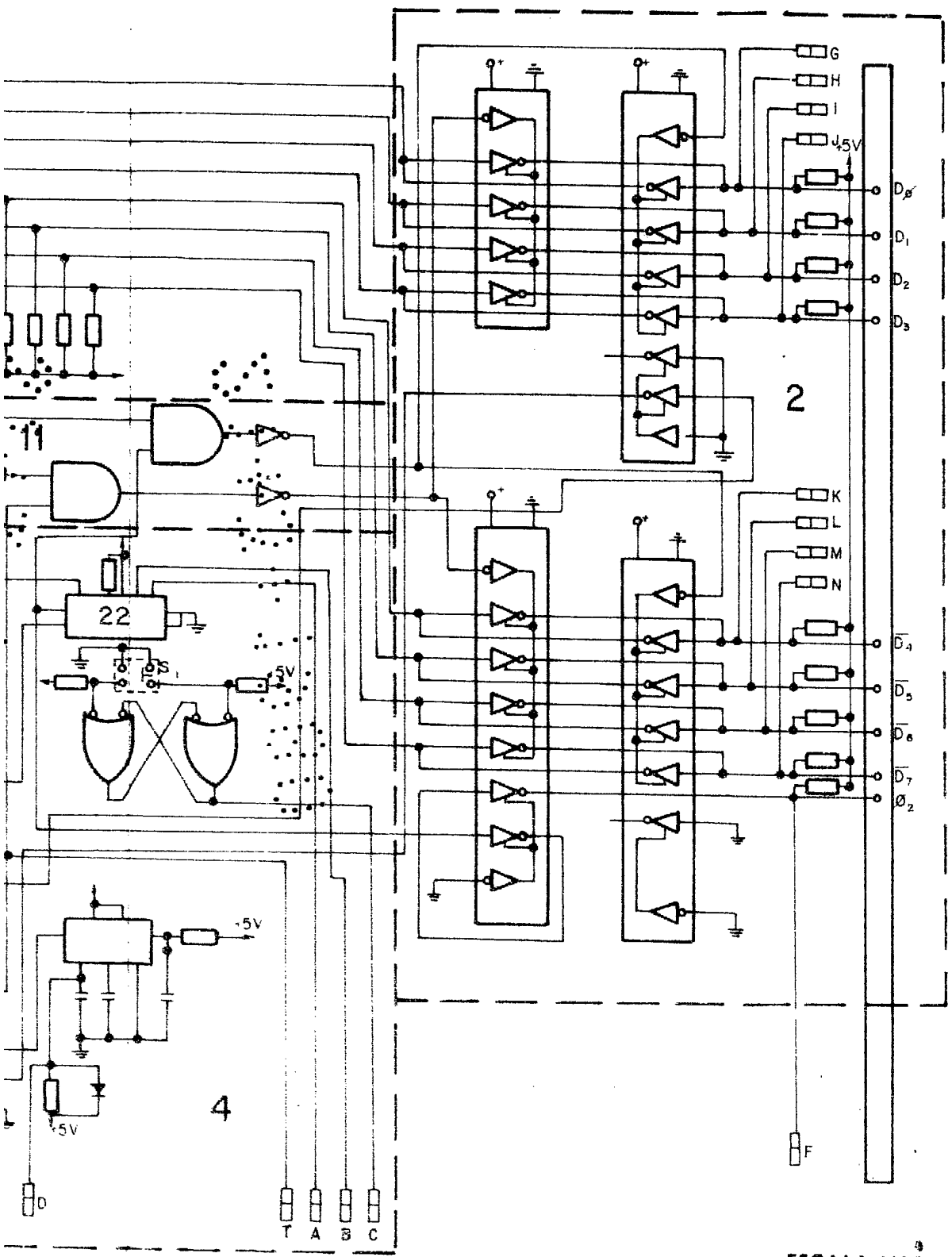
FIG.-1

ESCALA VARIABLE

Madrid, 21 de MARZO de 1980

BERNARDO UNGRIA

p. p.



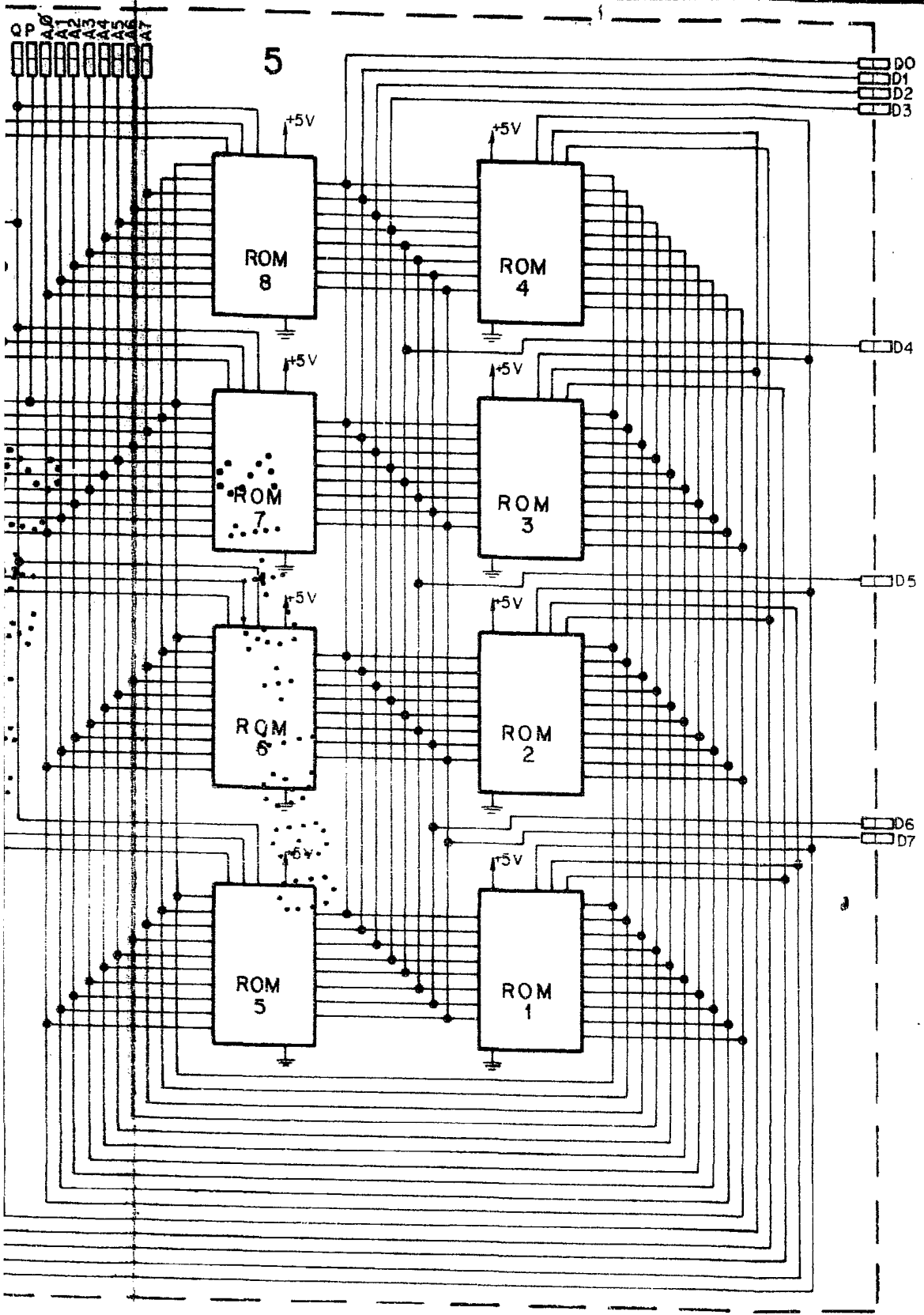
3. - 2

ESCALA VARIABLE

Madrid, 23 de MARZO de 1980

BERNARDO UNGRIA

P. P.

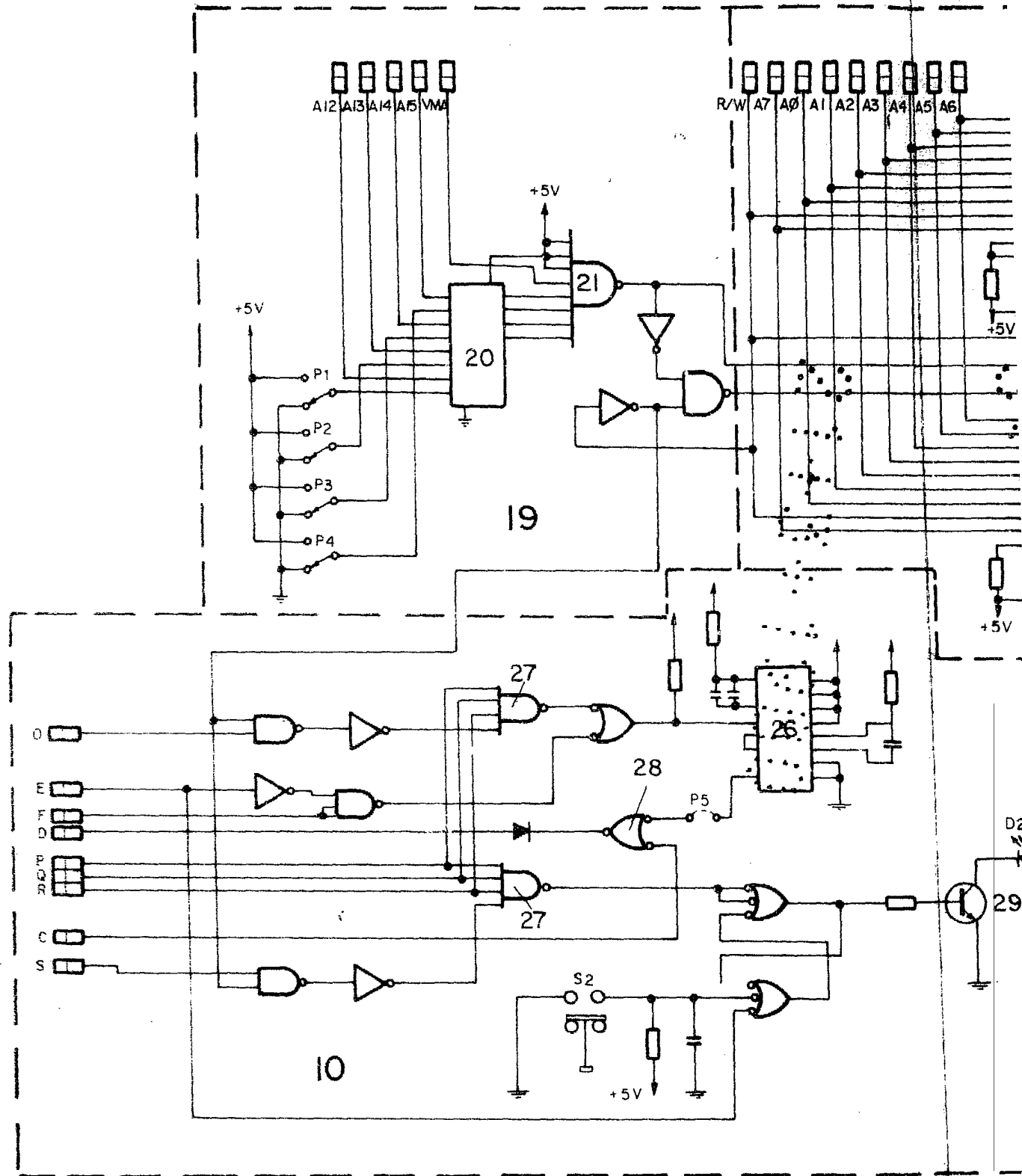


ESCALA VARIABLE

Madrid, 21 de MARZO de 1980

BERNARDO UNGRIA

p. p.



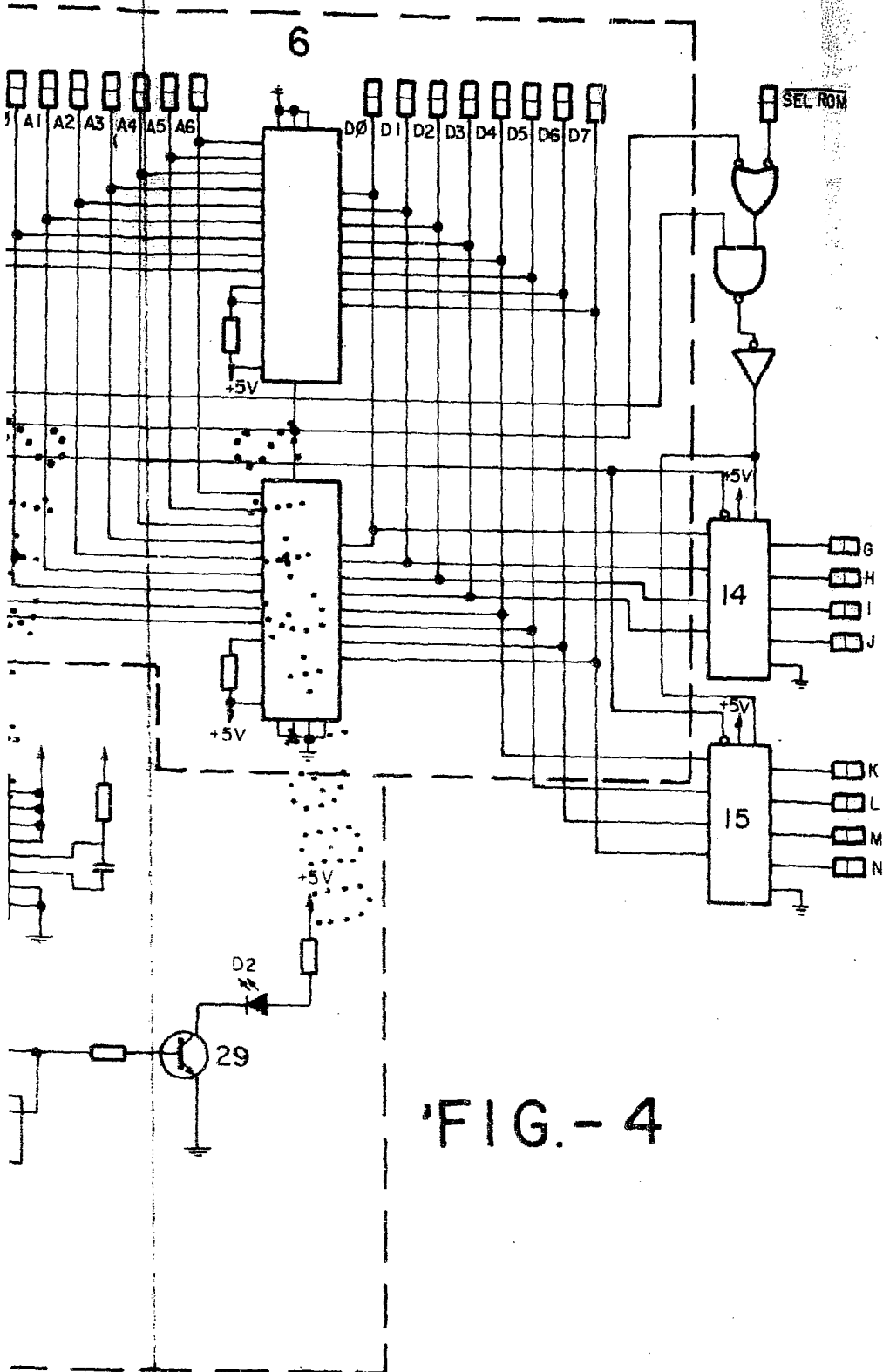


FIG-4

ESCALA VARIABLE

Madrid, 21 de Marzo de 1980

BERNARDO INGRIA

P. P.