Expediente núm. [illegible]

AÑO 1958

REGISTRO DE LA PROPIEDAD INDUSTRIAL

PATENTE DE INVENCION

MEMORIA DESCRIPTIVA

que se acompaña a la solicitud de

una **PATENTE DE** INVENCION por 20 años, en España

a favor de

WESTERN ELECTRIC COMPANY INCORPORATED, de nacionalidad norteamericna domiciliado en NEW YORK (EE. UU.)

calle de Broadway núm. 195

por:

"Sistema de transmisión de señales con dispositivo de corrección de errores".

Nº 9128

Agente Sr. BOLIBAR,

Caso, Hagelberger 5-6

243770

14 AG

243770

P A T E N T E D E I N V E N C I Ó N

a favor de

WESTERN ELECTRIC COMPANY INCORPORATED - de nacionalidad norteamericana - domiciliada en NEW YORK (E.U.) - 195, Broadway

por

"Sistema de transmisión de señales con dispositivo de - corrección de errores".

——==:oOo:==——

M e m o r i a D e s c r i p t i v a

Este invento se refiere a circuitos transforma-

dores de datos, y más concretamente a circuitos de detección o corrección de errores numéricos.

Cuando se transmiten señales numéricas por un canal de ruidos, pueden reconocerse errores, que se detectan o corrigen aumentando la redundancia del sistema. En los sistemas más elementales de este tipo, se pueden detectar errores si cada cifra se transmite dos veces. De manera análoga, es posible corregir errores a base de dos por cada tres, transmitiendo cada cifra tres veces.

Diversos sistemas más refinados de detección y corrección de errores que requieren menos redundancia funcionan según el principio de "complemento". Una cifra "complementaria" es la añadida a un grupo de cifras binarias para hacer su suma par o impar. Sistemas típicos de corrección de errores que emplean varios complementos para identificar cifras erróneas se describen en patentes de los Estados Unidos, como la patente Reissne 23.601, otorgada el 23 diciembre 1952, a nombre de R.W.Hamming y otros; y la patente de E.P.Wright núm. 2.653.996, otorgada el 29 septiembre 1953, y en un artículo titulado "Coding for Noisy Channels", de Peter Elias, publicado en las páginas 37 a 46 de las Actas de la Reunión del Instituto de Ingenieros de Radio, 1955, parte 4, sección 14, Teoría de Información 1.

Los sistemas de corrección de errores de tipos conocidos se han desarrollado a base de que la probabilidad de producirse errores en cifras sucesivas no está en relación con la producción de errores en los periodos de cifras inmediatamente anteriores. Pero recientemente se ha determinado que los errores en sistemas de transmisión tienden actualmente a sobrevenir por brotes o rachas. Así, por ejemplo, si la cuota media de errores en un determinado sis

243770

tema de transmisión, o una serie de datos es de un símbolo -por cien mil, la probabilidad de que el símbolo que sigue al equivocado sea también erróneo puede aumentar hasta uno por cien o uno por diez. La mayoría de los sistemas antiguos de corrección de errores no son capaces de compensar rachas o series de errores.

En consecuencia, un objeto principal del invento es corregir las series de errores.

En unos pocos sistemas del tipo conocido, que comprenden circuitos para corregir errores múltiples, los circuitos resultantes son tan complejos en la mayoría de los casos que dejan de ser prácticos. Por tanto, otro objeto principal del presente invento es simplificar circuitos para corregir rachas de errores.

De conformidad con el presente invento, estos objetos se consiguen mediante el uso de circuitos de cifrar y descifrar que utilizan registros de desviación, tales como circuitos de línea derivada de retardo, por ejemplo, y que transforman información numérica sobre base contínua. En el cifrador se forman complementos sucesivos, y las cifras complementarias se entremezclan con las de información en un punto separado de cualquier cifra de información incluída en el complemento. A medida que las cifras recibidas se pasan por el registro de desviación en el descifrador, se comprueba la validez de dos grupos completamente diferentes, que incluyen ambos una cifra dada, y se producen señales complementarias de salida correspondientes. La cifra incluída en ambos grupos complementarios puede entonces corregirse de acuerdo con las señales complementarias indicadas. También se deriva más información detectiva y correctiva de errores de las señales salientes de compro-

114/30

243770

bación que siguen.

Una característica del invento consiste en que el cifrador de un sistema de detección y corrección de errores numéricos contiene circuitos de registro de desviación, un circuito para formar cifras de comprobación a partir de - otras cifras del mensaje numérico que ha de transmitirse, y un circuito de conmutación para intercalar cada cifra de comprobación en dicho mensaje, en un punto apartado de las cifras completadas por la cifra de comprobación.

Otra característica del invento es que un sistema de detección o corrección de errores comprende un cifrador y un descifrador de números de comprobación; que el cifrador compone números que comprueban un grupo de información y cifras de comprobación; y que el descifrador comprende un circuito para comprobar la validez de dos grupos de comprobación que comprenden ambos una sola cifra transmitida, y para corregir la cifra en caso de necesidad.

De conformidad con otra particularidad del invento, el circuito formador de cifras de comprobación está conectado a un grupo de posiciones numéricas del circuito del registro de desviación del cifrador, y sirve para formar una nueva cifra de comprobación cada vez que se desvían cifras un lugar por medio del circuito del registro de desviación; y el descifrador comprende al menos un circuito de comprobación conectado con un grupo correspondiente de posiciones numéricas del circuito del registro de desviación del descifrador, que produce una señal saliente de comprobación cada vez que se desvían cifras recibidas en el circuito del registro de desviación del descifrador.

El empleo de circuitos de corrección y detección de errores en los que el cifrador y el descifrador funcio-

243770

nan sobre base continua, constituye una ventaja importante del presente invento. Esta técnica permite simplificar mucho los actuales circuitos de corrección de grupos de errores, en comparación con otros sistemas que requieren complicados circuitos memorizadores y de expresión.

En lo que atañe a un aspecto afín de circuitos de corrección de errores, es conveniente reconocer modelos numéricos en los que se rebasa la capacidad de corrección de errores de los circuitos correctivos. Aunque este concepto se discute ampliamente en la citada patente de R.W. Harming y otros, sólo se consideraba allí de un modo relativamente superficial.

Por consiguiente, otro objeto del invento es perfeccionar circuitos manipuladores de errores numéricos igualando bien los circuitos de alarma de detención de errores a la capacidad de corrección de errores del circuito correctivo.

Este objeto se consigue mediante el empleo de circuitos de clasificación de errores que responden a señales salientes sucesivas del circuito de complemento del descifrador. La naturaleza del dibujo de estas señales en intervalos sucesivos de tiempo indica el tipo de error o de conjunto o de errores que se está produciendo. Después de identificado un tipo de error, las señales siguientes complementarias denotan si se sobrepasa la capacidad de corrección de errores del descifrador para el tipo particular de equivocación.

Otra característica del invento consiste en que un circuito transformador de datos rectificativos de errores comprende líneas para el suministro de señales de corrección de errores, y en que hay circuitos de detección de

243770

errores acoplados para recibir esas señales correctivas y excitar un circuito de alarma cuando se rebasa la capacidad del descifrador para corregir errores. Además, los circuitos de detección de errores pueden responder al modelo de las señales de corrección en intervalos sucesivos de tiempo, para clasificar errores en las cifras recibidas, y pueden comprender también líneas para descubrir la desviación de secuencias de errores rectificables en cada clase de los identificados.

Otros objetos, aspectos y ventajas del invento se desprenden de la lectura de la siguiente descripción detallada y de los planos adjuntos en los que representan:

La figura 1, un esquema de grupo de un sistema ilustrativo de corrección de errores conforme al presente invento.

La figura 2, un esquema apropiado para describir el modo de funcionamiento del sistema de la figura 1;

La figura 3, un esquema detallado de circuito del sistema de la figura 1;

La figura 4, un esquema de grupo de un circuito detector de errores que se puede emplear con el circuito de la figura 1;

La figura 5, un esquema detallado del circuito detector de errores expuesto en la figura 4;

La figura 6, un esquema de situación para el circuito detector de errores de la figura 5;

La figura 7, un diagrama esquemático de un cifrador que forma parte de otra forma ilustrativa del invento;

La figura 8, un diagrama de un descifrador para uso con el cifrador de la figura 7;

La figura 9, un diagrama esquemático de otra forma

243770

de circuito descifrador que puede emplearse con el cifrador de la figura 7;

Las figuras 10 y 11, diagramas útiles para explicar el modo de funcionar el sistema que comprende el cifrador de la figura 7 y el descifrador de las figuras 8 o 9;

La figura 12, un esquema de grupo de otro sistema ilustrativo de detección y corrección de errores conforme al invento;

La figura 13, una tabla que indica el modo de funcionar el circuito de la figura 12;

La figura 14, un diagrama que indica la relación entre los circuitos de comprobación del descifrador y las cifras transmitidas en el sistema de la figura 12;

Las figuras 15A, 15B y 15C, diagramas que indican los dibujos o modelos complementarios para el sistema de transmisión de datos de la figura 16;

La figura 16, un sistema de transmisión de datos rectificativos de errores conforme al invento, en el que se transmite una cifra de comprobación por cada dos cifras de información; y

Las figuras 17 y 18, diagramas de tiempo para el cifrador y el descifrador de la figura 16, respectivamente.

En los planos, la figura 1 muestra una forma de realización de los sistemas continuos de detección o corrección de errores del presente invento. En esta figura se transporta información numérica desde un generador 22 al registro de desviación 24. Los órdenes o lugares sucesivos de las cifras en el registro de desviación 24 se indican mediante bloques designados con las cifras 1 a 7. El término "registro de desviación", tal como se emplea en la presente memoria y en las reivindicaciones, incluye líneas como las lí-

43770

neas derivadas de retardo, en las que pueden tomarse muestras de las líneas de retardo, a intervalos sucesivos.

En el registro de desviación 24 se forman cifras de comprobación a partir de algunas cifras de información, mediante el circuito cifrador 26 de números complementarios. Los números de comprobación se intercalan entre los de información por medio del circuito conmutador 28, y el mensaje numérico resultante se transmite por un canal de transmisión de ruido o serie de datos 30. Puede observarse que el circuito 26 formador de complementos tiene entradas desde lugares numéricos 1 y 4 en el registro de desviación 24, y que la cifra complementaria se inserta en el mensaje transmitido por un punto separado del lugar numérico 4 por otros elementos de información y cifras de comprobación. Este espaciado de las cifras incluídas en cada grupo de complemento permite corregir grupos de errores que sean iguales o menores de seis periodos de cifras en longitud, como se explicará con más detalle a continuación.

El uso de complementos para detectar y corregir errores es muy conocido, y en la patente de R.W. Hamming y otros, antes citada, se exponen ejemplos de su uso con estos fines. Sin embargo, puede señalarse sucintamente que es posible formar una cifra complementaria por medio de la suma de varios números binarios, prescindiendo de arrastres. Así, con referencia a la figura 1, la relación entre una cifra de comprobación y las cifras de información que se comprueban puede indicarse por la siguiente ecuación

$$D_1 + D_4 = C \pmod 2 \qquad (1)$$

donde D_1 y D_4 son los dígitos binarios en las posiciones numéricas 1 y 4, respectivamente, de las cifras del registro de desviación, y C es la cifra de comprobación resul-

243710

tante. Por ejemplo, si los dos números de información de los lugares 1 y 4 con "1" binarios o "0", la cifra de comprobación es "0". Sin embargo, cuando sólo uno de los dos números de información es "1", la fracción binaria es también "1".

El descifrador se representa a la derecha en la figura 1. Las cifras binarias o "porciones" procedentes del canal de transmisión de ruido o perturbado 30, están separadas por el circuito de conmutación 32, con las cifras o porciones de información dirigidas al registro de desviación 34 de las mismas, mientras se aplican fracciones de comprobación al registro de desviación 36 correspondiente.

Se ha indicado antes que en el cifrador se forman grupos complementarios, cada uno de los cuales comprende dos fracciones de información y otra de comprobación. También puede advertirse que cada cifra deinformación se halla primero incluída en un grupo complementario cuando ocupa el lugar numérico 1 en el registro de desviación 24 del cifrador, y que se incluye seguidamente en otro grupo complementario si está en el lugar 4 del registro de desviación. En el descifrador, la validez de estos dos grupos complementarios se examina simultáneamente por medio del circuito "R" de complemento 38 y del circuito "S" de complemento 40. Así, el circuito de complemento 38 deriva señales de los lugares numéricos 1 y 4 del registro de desviación 34 de porciones de información, y del lugar numérico 7 del registro de cifras de comprobación 36. De manera análoga, el circuito de complemento 40 deriva información de los lugares numéricos 4 y 7 del registro 34, y del lugar numérico 10 del registro 36 de cifras o porciones de comprobación. La única entrada numérica para los dos circuitos de complemento 38 y 40 es

243770

el lugar numérico 4 del registro de desviación 34 de porciones informativas. Por consiguiente, si ambos circuitos de complemento 38 y 40 indican un error por igual, la cifra 4 está muy probablemente equivocada; en consecuencia, se excita el circuito AND 42 para activar el conmutador 44 de corrección.

Puede señalarse también que una indicación de error procedente del circuito 40 de complemento, pero no del circuito de complemento 38, indica que la cifra de comprobación 10 está equivocada. El circuito de complemento 40 tiene otras dos entradas, de los lugares numéricos 4 y 7 del registro 34. Si la porción informativa del lugar numérico 4 fuese erróneo, aparecería una señal de error en las salidas de ambos circuitos de complemento 38 t 40, por lo que se elimina esta posibilidad. La cifra binaria de información en el lugar numérico 7 no está equivocada, por lo que todas las porciones informativas se corrigen entre los lugares numéricos 4 y 5 en el registro de desviación 34; por tanto, sólo puede estar equivocada la porción informativa 10. Si el circuito representado como descifrador se ha de emplear como estación intermedia para retransmitir por otros canales perturbados o de ruído, puede disponerse un circuito de corrección para cambiar la situación de la cifra de comprobación en el lugar numérico 10 del registro 36, al producirse una indicación de error desde el circuito de complemento 40, pero no desde el circuito de complemento 38.

Puede apreciarse que el circuito de utilización 46 del receptor está acoplado a la salida del lugar numérico 5 del registro de desviación 36 de cifras informativas. Este lugar numérico 5 se elige a fin de reducir las demo-

ras a un mínimo, por ser el primer punto en que se dispone de las cifras de información corregidas. Si el circuito de aprovechamiento 46 del receptor estuviera acoplado al lugar numérico 7 del registro de desviación 34, se introduciría una demora de otros dos intervalos de tal registro.

El esquema de la figura 2 indica el modo de funcionar el circuito de la figura 1, con amplitud algo mayor. En este esquema se supone una sucesión de cifras binarias de información -INF-, y las cifras de comprobación resultantes, con la clave transmitida -CT-. Hileras sucesivas en el circuito de la figura 2 indican intervalos -T- sucesivos de desviación en el registro 24 de la figura 1, En el estado inicial representado en la hilera superior del esquema de la figura 2, los dos lugares numéricos 1 y 4 comprenden "0". Por tanto, la cifra de comprobación indicada en el lado derecho del registro de desviación, en una columna C, es también un "0". En el período de desviación siguiente, según indica la segunda hilera en el esquema de la figura 2, se transmiten la cifra de comprobación y la de información que había estado en el lugar numérico 7. Puede señalarse que se desarrolla una cifra de comprobación durante cada intervalo de desviación del registro 24, y que entretanto se transmiten una cifra informativa y otra de comprobación.

Para seguir la pista de dos grupos complementarios en forma sencilla en el esquema de la figura 2, las tres porciones que constituyen un grupo complementario se identifican mediante un cuadrado que las encierra. Un segundo grupo de complemento se representa por un rombo que encierra cada porción incluída en el grupo de comprobación. Puede observarse que la cifra de información situada ini-

cialmente en el lugar numérico 1 del registro de desviación, en la hilera superior del esquema de la figura 2, se ha desviado al lugar numérico 4 de la cuarta hilera en el esquema de la misma figura; por tanto, está incluído en el grupo complementario identificado por los cuadrados, y también en el grupo de comprobación representado por los rombos. En el descifrador, el número incluído en los dos grupos de complemento se halla eventualmente situado en el lugar numérico 4 del registro de desviación 34. En este momento, los circuitos de complemento 39 y 40 determinan la validez de los grupos complementarios indicados por los rombos y los cuadrados respectivamente en la figura 2, y corrigen la cifra común, si hace falta.

La figura 3 representa un esquema detallado de circuito de un dispositivo relevador del sistema de la figura 1. A fin de simplificar el circuito y evitar conexiones transversales, se ha empleado el método de contacto destacado para representar circuitos de relevador. En este método de representación, un relevador está representado por una letra mayúscula y un subíndice, y sus contactos asociados se designan de igual modo. Los contactos de "reposo" de un relevador, que están cerrados cuando éste se excita, se han indicado por una cruz en el conductor en que están situados. El símbolo de contactos de cierre para el relevador A_1 presenta el siguiente aspecto:

A_1

---x---

Los contactos de ruptura se representan por una recta corta perpendicular que cruza el conductor en que los contactos están situados. El símbolo de los contactos de ruptura para el relevador A_1 tiene el siguiente aspecto:

A_1

Para facilitar la identificación de porciones del circuito de la figura 3 con las correspondientes de la figura 1, los componentes mayores de la figura 3, se marcan con los mismos números de referencia empleados en la figura 1, pero con signo "prima". Por ejemplo, el generador de información numérica 22' está acoplado al registro de desviación 24' del cifrador en la figura 3, del mismo modo que el generador 22 lo está al registro de desviación 24 en la figura 1. Otros componentes de la figura 3 que tienen circuitos correspondientes en la figura 1 comprenden el circuito de complemento 26', los circuitos conmutadores 28' y 32', el canal de transmisión 30', los registros de desviación 34' y 36' del receptor, los circuitos de comprobación 38' y 40' de grupos de complemento, el circuito de corrección 44', y el circuito de explotación 46' del receptor. También se apreciará que el circuito de conmutación 44' de la figura 3 desempeña la función indicada por el circuito AND 42, lo mismo que el circuito de corrección 44 de la figura 1.

En el dispositivo del sistema corrector de errores expuesto en la figura 3, se necesitan varios impulsos de sincronización. En la forma de realización de la figura 3, se ha supuesto que hay señales sincronizantes disponibles en el transmisor y en el receptor. A fin de evitar el uso de un canal distinto para señales sincronizantes, puede emplearse en el descifrador un circuito de recuperación de esas señales.

En la parte izquierda de la figura 3 se exponen tres circuitos de sincronización, que son simples circuitos de división de frecuencia como los descritos en textos corrientes, como "The Design of Switching Circuits", por William Keister y otros, D. Van Nostrand Company, Inc., Nueva

York. 1951. Pero, en términos sucintos, los relevadores W_1 y Z_1 funcionan a la mitad del ritmo del relevador Y, y están alternados entre sí respecto al tiempo de funcionamiento. De manera análoga, los relevadores W_2 y Z_2 funcionan a la mitad del ritmo de los relevadores W_1 y Z_1, y también están alternados en cuanto al tiempo de funcionamiento. Debe señalarse, en particular, que estos relevadores de sincronización se designan por W_1, Z_1, W_2 y Z_2 porque sus contactos aparecen en el circuito de la figura en diversos puntos apartados del circuito de sincronización.

Estudiando con detalle el circuito de la figura 3, la sincronización de señales informativas procedentes del generador 22' se regula por los contactos de ruptura W_2. El registro de desviación 24' incluye siete pares de relevadores, designados por las mayúsculas A o B y los subíndices respectivos 1 a 7. Cada uno de los relevadores comprende dos arrollamientos, como indican las secciones superior e inferior correspondientes. Los transportes de información a través del registro de desviación se regulan mediante el part de contactos de cierre y ruptura asociados al relevador Z2, que aparecen en la parte inferior izquierda del registro de desviación 24'. El relevador Z_2 se excita durante un lapso que se superpone a la excitación del relevador W_2, y éste se desactiva antes que el relevador Z2. Después de desactivarse el relevador Z_2, los dos relevadores permanecen desactivados un breve período antes de la excitación del relevador W_2.

Se recibe información por el relevador A_1 cuando los contactos de ruptura W_2 están cerrados; en este momento, los contactos de trabajo del relevador Z_2 siguen cerrados. Cuando el relevador Z_2 cambia de estado, los contac-

243770

tos de ruptura se cierran antes de retirar los de trabajo. El relevador A_1 se mantiene en el estado anterior a la desexcitación del relevador Z_2, por obra de los contactos de trabajo A_1, que proporcionan un circuito de fijación para el relevador A_1 a través de los contactos de ruptura Z_2. Además, cuando los contactos de ruptura del relevador Z_2 están cerrados, el relevador B_1 adopta la situación del relevador A_1.

Cuando el relevador Z_2 se excita una vez más, la información se pasa del relevador B_1 al relevador A_2, de manera análoga a la explicada antes. La excitación del relevador Z_2 y la apertura de los contactos de ruptura Z_2 desempeñan la función colateral de inactivar el relevador A_1 antes de recibir más información entrante del generador 22'. En forma análoga se transfiere información del juego "A" de relevadores al juego "B", y de nuevo al "A" en todo el registro de desviación 24' y en los otros registros de desviación 34' y 36' del circuito de la figura 3.

El circuito de complemento 26' es una simple red de contactos que comprende juegos de contactos de trabajo y de ruptura asociados a los relevadores A_1 y A_4. El circuito 26' comprende contactos de trabajo A_4 en serie con contactos de ruptura A_1, y otro circuito en serie que comprende contactos de ruptura A_4 y contactos de trabajo A1, en paralelo con el otro circuito en serie. El circuito de complemento 24' adopta, por consiguiente, una situación cuando los dos relevadores tienen el mismo estado de excitación, y la otra cuando sólo uno de los relevadores se halla excitado.

El circuito de conmutación 28' recoge alternativamente la salida del relevador terminal B_2 en el registro

243770

de desviación, y la salida del circuito de complemento 26', cuando el relevador de sincronización Z_2 es excitado y desexcitado. El relevador Z_1, que funciona más aprisa que el relevador Z_2, desempeña una función colectora para producir impulsos de longitud apropiada, a fin de aplicarlos al canal de transmisión 30'.

El circuito de conmutación 32', en la entrada al receptor, comprende asimismo un par de contactos de reposo y trabajo asociados al relevador de sincronización Z_2. Las señales que salen del circuito de conmutación 32' se encaminan al registro 34' de porciones de informaciones, y al registro 36' de porciones o cifras de comprobación. Un relevador compensador "BF" sirve para sincronizar las señales de entrada aplicadas a los dos registros de desviación. Cada uno de estos registros 34' y 36' comprende circuitos de conmutación sincronizados por el relevador Z_2, como se ha descrito antes con relación al registro cifrador 24'. El circuito de corrección 44' está incluído en medio del registro de desviación 34'. Los circuitos de complemento de grupo 36' y 40' regulan la excitación de los relevadores R y S, que a su vez regulan el circuito de corrección 44'.

La paridad de las porciones de información primera y cuarta y de la cifra séptima de comprobación se examina en el circuito de complemento de grupo 38'. Esto se indica por la presencia de contactos asociados a los relevadores A_1 y A_4 del registro de desviación SR_2, y la de contactos asociados al relevador A_7 del registro de desviación SR_3 en el circuito de excitación del relevador R. De manera análoga, el circuito de excitación para el relevador S, en el circuito de comprobación 40', comprende contactos A_4 y A_7, del registro de descripción SR_2, y contac-

tos A_{10} asociados al registro de desviación SR_3 verificados.

Debe recordarse que interesa invertir la cifra de información entre los lugares numéricos 4 y 5 en el registro de desviación 34 cuando fallan los dos circuitos de complemento de grupo. En el circuito de la figura 3, esta situación se indica por la excitación de los relevadores R y S. Al examinar los contactos incluídos en el circuito de corrección 44', puede observarse que los contactos de trabajo de los relevadores R y S están conectados en serie con los de ruptura o reposo del relevador A_4 en el circuito de excitación para el relevador B_4. Por tanto, si se inactiva el relevador A_4, la excitación de los relevadores R y S produce el estado inverso en el relevador B_4 al producirse una señal de desviación.

Análogamente, los contactos de ruptura de los relevadores R y S están conectados en serie con los contactos de trabajo del relevador A_4, para impedir la excitación del relevador B_4 cuando se ha excitado el relevador A_4. Sin embargo, cuando sólo está excitado uno de los relevadores R y S, el estado del relevador A_4 se transfiere al relevador B_4. En consecuencia, se corrigen cifras de información únicamente cuando se hallan excitados los dos relevadores R y S.

El circuito de explotación 46' del receptor recibe señales de entrada desde el relevador B_4, que es el primer punto del registro de desviación 34' en que se dispone de las cifras de información corregidas. Los contactos de trabajo W_1 y los de ruptura Z_2 cumplen funciones de sincronización, y encauzan un impulso de señal saliente bien sincronizado hacia el circuito de aprovechamiento - 46'.

El circuito de la figura 1 funciona adecuadamente para corregir rachas de seis o menos errores. Cuando las series de errores son más largas, sería conveniente excitar un circuito de alarma. La mayoría de estas series más largas pueden detectarse examinando la secuencia de señales de salida procedentes de los circuitos de paridad R y S. Ciertos tipos de errores que pueden cambiar, por ejemplo, el mensaje original en otro con cifras de información y de comprobación dispuestas como en un mensaje correcto, pasarán inadvertidos, desde luego. Además, si están invertidas dos cifras de comprobación separadas exactamente por seis espacios numéricos en el mensaje transmitido, esta combinación de errores originará la inversión de una cifra de información correcta.

No obstante, la mayoría de las rachas de longitud superior a seis cifras se pueden detectar por medio de un circuito relativamente sencillo, que se expone en esquema de grupo en la figura 4, donde aparecen el receptor y el circuito de corrección de errores de la figura 1, así como ciertas líneas complementarias de detección de errores. El circuito detector de errores representado en la figura 4 comprende el generador de pulsaciones pendulares 48, un circuito de arranque 50, un circuito contador o graduador 52, un circuito clasificador de rachas 54, un circuito de alarma 56 y otro de reciclación 58. En actividad, la aparición de una señal saliente del circuito de complemento de grupo 38 inicia el funcionamiento del circuito - contador 52. El circuito 54 compara las señales salientes de los circuitos de complemento de grupo 38 y 40 durante períodos de tiempo sucesivos con las salidas que se producen durante rachas corregibles que pueden ser tratadas por

los circuitos de corrección de errores. Con objeto de efectuar esta comparación, las rachas o sartas corregibles son clasificadas por el circuito 54. Señales procedentes de los circuitos de complemento 38 y 40 se aplican al circuito de clasificación de rachas 54 durante intervalos sucesivos de desviación, contados por el circuito 52; las rachas se clasifican de momento como errores de cifras de información o como cifras de comprobación. Una vez realizada la clasificación inicial de las señales salientes de los circuitos de comprobación, es más fácil encontrar discrepancias de las secuencias cifradas corregibles; al producirse una discrepancia, se excita el circuito de alarma 56, Terminada una ráfaga corregible enteramente identificada, se excita el circuito de reciclación, y los componentes de los circuitos de corrección de errores vuelven a sus estados iniciales.

La figura 5 representa una forma de ejecución de circuito relevador del circuito de detección de errores representado en la figura 4, con los mismos números de referencia empleados en la figura 3, donde aparecen los relevadores R, S y Z_2. Pero en el circuito de la figura 5 se exponen contactos asociados a los relevadores de complemento de grupo R y S y al relevador de sincronización Z_2.

Un componente principal del circuito representado en la figura 5 es un selector gradual, que comprende un carrete de escalonamiento 60, un carrete de reajuste 62, y tres series de contactos -I-II-III-, cada una de las cuales comprende una posición inactiva, y diez contactos destinados a cooperar sucesivamente con los contactos móviles del interruptor. El selector gradual comprende también contactos denominados "irregulares" -Cl-, que apare-

243770

cen en dos puntos del esquema de circuito de la figura 5. Los contactos irregulares están cerrados siempre que el interruptor gradual se halla apartado de su posición normal o de reposo. Por ejemplo, después de un impulso inicial aplicado al carrete graduador 60 por el cierre de los contactos de trabajo R asociados al relevador R de la figura 3, los contactos irregulares de trabajo permiten el avance continuado del interruptor gradual por obra de impulsos de desviación procedentes de los contactos de trabajo Z2. El circuito de la figura 5 clasifica esencialmente errores en dos categorías. Después de esta clasificación provisional, se examina la secuencia de funcionamiento de los circuitos de complemento R y S, y las rachas que escapan a la capacidad de corrección del circuito excitan el relevador de alarma AL en la figura 5.

El funcionamiento del circuito de la figura 5 puede describirse mejor con referencia al esquema de situación representado en la figura 6. En general, los errores se clasifican primero como corregibles en potencia, o como rachas de errores que comienzan por una cifra errónea de comprobación o de información. En la figura 6, esta determinación se efectúa después del estado que designa la letra cercada D. Más concretamente, con referencia a la figura 6, la posición de reposo del circuito 5 está indicada por la caja grande marcada con una A circunscrita en la parte superior del esquema. Esta posición de reposo representa el circuito de la figura 5 en su situación normal. En tales circunstancias, el interruptor gradual se halla en su posición normal, con los interruptores móviles asociados a cada serie o cubierta en las posiciones indicadas en la figura 5, y todos los relevadores AL, M, N y T están des-

243770

conectados.

Cuando no existen fallos de paridad detectados por el circuito R 38 de la figura 4, el circuito de la figura 5 permanece en esta posición de reposo. Al producirse un fallo del circuito de paridad R, el selector gradual pasa al escalón 1. En esta situación, designada por la letra B circunscrita en la figura 6, los relevadores M y N siguen inactivados. En la figura 6 se advierte que todas las flechas que designan una transición entre dos estados se identifican por una o varias letras R, R', S o S'. La letra R indica una disparidad, determinada por el circuito de paridad 38 de la figura 4. Cuando no existe fallo en un circuito de paridad R, se señala esta ausencia con R'. Similarmente, S y S' indican fallo de complemento o ausencia de fallo en el circuito S de paridad 40 de la figura 4.

Cada ciclo de operación del relevador pendular Z2 en la figura 5 se presenta mediante una flecha de cambio de estado en la figura 6. Así, durante ciclos en los que el circuito de paridad R no falla, el estado del circuito de la figura 5 sigue la flecha R' asociada al estado A en la figura 6. En consecuencia, aunque no cambie realmente el estado de la figura 5, puede considerarse, bajo el aspecto de un esquema de situación, que sigue la flecha R' desde el estado A para volver al mismo estado A. La flecha que acopla mútuamente los estados A y B se designa por R, e indica que causa esta transición una disparidad representada por una señal de complemento o paridad R. Las transiciones a los estados C y D van acompañadas de avance del interruptor gradual a los escalones 2 y 3, respectivamente, cualesquiera que sean las señales entrantes de paridad durante estos intervalos de transición.

Desde el estado D, el circuito de la figura 5 avanza al estado E o al estado L, según la índole de la señal de paridad procedente del circuito R. Si no hay salida del circuito de paridad R, como indica el símbolo R', el error resulta ser un error corregible de cifra de comprobación, y el circuito de la figura 5 se pasa al estado E de la figura 6. Sin embargo, si el circuito de complemento o paridad 38 indica disparidad, el circuito de la figura 5 se conmuta al estado L, lo cual indica que se trata de un error corregible de porción informativa.

El significado físico de estas clases alternativas de errores puede apreciarse examinando los registros de desviación superior e inferior de la figura 4, y las conexiones al circuito de complemento 38. Más concretamente, al producirse la señal dispar inicial R que provoca la transición del estado A al estado B, puede ser errónea la cifra de información en el primer escalón del registro de desviación superior, o la cifra de comprobación en el séptimo escalón del registro de desviación inferior. Si la porción informativa está equivocada, se producirá un segundo fallo del circuito de paridad R después de tres ciclos de desviación. La señal resultante, designada por R, produce el cambio del estado D al estado L, como se indica en la figura 6. Sin embargo, si la cifra de comprobación en el séptimo lugar del registro inferior está equivocada, no son de esperar más indicaciones de salida del circuito de paridad R.; por tanto, la señal R' marca la transición entre el estado D y el estado E en la figura 6.

Con referencia al estado E en la figura 6, puede apreciarse que el interruptor gradual está en la posición 4, y que los relevadores M y N se hallan inactivados. Pe-

ro en lo que atañe al estado L de la figura 6, se observará que el colector gradual está en reposo, y que los relevadores N y M se hallan excitados. La correspondencia por grados entre el diagrama de situación de la figura 6 y el esquema de circuito de la figura 5 se analiza a continuación con algún detalle. Al principio, como antes se ha indicado, la excitación de los contactos de trabajo de R activa el carrete de escalonamiento 60 y aparta el interruptor gradual de su posición normal o de reposo. Los contactos de trabajo irregulares en paralelo con los contactos de trabajo de R saltan por encima de estos últimos, y los contactos de trabajo Z_2 excitan el carrete de escalonamiento 60 durante cada ciclo, hasta que se reajusta al selector gradual. Por consiguiente, lo usual es el avance de este selector a las posiciones 1, 2 y 3, para producir estados B, C y D, según la figura 6.

Pero después del escalón 4, la ramificación del esquema de situación requiere la presencia de los siguientes circuitos en la figura 5. Al dejar el estado D, el interruptor gradual pasa siempre al escalón 4. En estas circunstancias, si está excitado el relevador R, el relevador T se excita por la línea que comprende el conductor 63, un contacto de ruptura M, un contacto de ruptura N, un contacto de trabajo R, un contacto de trabajo del interruptor gradual, el conductor de los lados superior y derecho del esquema de la figura 5, y, por los contactos de trabajo Z_2, al punto de potencial negativo. La excitación del relevador T cierra los contactos de trabajo de T en serie con los contactos de ruptura Z_2 y el carrete de reajuste 62. El interruptor gradual se reaplica, por consiguiente, durante la segunda mitad del ciclo de escalonamiento.

243770

En la desviación del estado D al estado L, se ha observado que se excitan los relevadores N y M. En este sentido, los contactos de trabajo T, en serie con el relevador M y el punto de potencial negativo conectado al escalón Z del interruptor gradual, excitan el relevador M. El relevador M tiene contactos de cierre antes de ruptura para poder excitarlo por medio de sus contactos de reposo. Además, el relevador N se excita inmediatamente después de inactivar el relevador T. La línea de excitación para el relevador N comienza con el punto de potencial negativo debajo del escalón 1, y pasa por los contactos de ruptura de pulsador, los contactos de ruptura T y los contactos de ruptura M, el carrete del relevador N y la resistencia 64. Los contactos de trabajo de N, en derivación con los contactos de trabajo de M. y los de ruptura de T, proporcionan un circuito de fijación para el relevador N.

En el párrafo precedente, se ha considerado la derivación del esquema de situación del estado D a los estados E y L, respectivamente. El estado E puede conducir a los estados complementarios F a K, y el estado L puede llevar a los estados N, O y P a X. Cada una de estas dos líneas se analiza con algún detalle en relación con el circuito de la figura 5.

En el caso en que el relevador R no esté excitado, como se designa por la transición del estado D al E en la figura 6, el interruptor gradual 60 en la figura 5 continúa su cometido normal de escalonamiento. Esta función puede continuar del estado E hasta el K, en el que el interruptor gradual alcanza el escalón 10. Si el relevador R funciona mientras el interruptor gradual pasa del escalón 4 hasta el 10, lo que corresponde a dejar los estados E a K

243770

en la figura 6, se excita el circuito de alarma. Con referencia a la figura 5, la conexión con el relevador de alarma AL se asegura por la conexión común con los lugares 5 a 10 en el escalón 1 del interruptor gradual. Este circuito está conectado con un punto adyacente al escalón 5, y continúa por los contactos de trabajo R y los contactos escalonados de trabajo, a lo largo del conductor de la parte superior derecha del esquema de circuito, a través de los contactos Z2, hasta el punto de potencial negativo. La presencia de los contactos de trabajo R en este circuito asegura la excitación del relevador de alarma siempre que se produzca un fallo de paridad R al pasar de los estados E a K.

Con referencia a la figura 5, el paso del interruptor gradual al décimo escalón o nivel reajusta automáticamente el circuito de conmutación durante la segunda parte del ciclo de sincronización. Esto se consigue por el potencial negativo acoplado al contacto en el nivel 10 del escalón 3 del interruptor o selector gradual. Esta provisión de potencial negativo excita el relevador T durante la primera mitad del ciclo de escalonamiento. Durante el segundo semiciclo, al cerrarse los contactos de ruptura Z2, se excita el carrete 62 reaplicado del interruptor gradual. Debe advertirse que esta acción es similar a la que se desarrolla después de pasar del estado D al estado L, como indica la figura 6 y se ha señalado antes. Sin embargo, los relevadores N y M no se excitan cuando se reajusta a partir del décimo escalón del interruptor gradual, por falta de conexiones entre los circuitos de excitación de los relevadores N y M y la posición 10 del escalón 2 del mencionado interruptor. Como en el caso precedente, en el

243770

que se trata de la excitación del relevador T, éste se restituye al estado de inactividad abriendo los contactos de trabajo irregulares en su circuito de fijación, después de reacoplar el interruptor gradual. A este propósito, puede observarse que el número de escalones en la cadena de los estados E a X viene determinado por largas series de errores, que pueden comenzar por un error de cifra de comprobación.

En los párrafos precedentes se han considerado las posibles secuencias de errores iniciadas por un error que haya resultado ser un error corregible de cifra de comprobación. La clase de rachas de errores indicadas por la transición del estado D al estado L es aquella en que el error inicial aparece ser un error corregible de cifra informativa. Seguidamente se estudia el circuito expuesto en la figura 5 para examinar diversos modelos de errores subsiguientes y determinar si las rachas de errores de esta clase son corregibles.

Con referencia a la figura 6, el esquema de situación se deriva del estado L a los estados M y P. Además, al subir de la posición de reposo desde el estado L, el circuito de la figura 5 puede entrar en el estado Y, donde se excita el interruptor de alarma AL. Puede apreciarse que este relevador se excita al producirse una señal S y faltar una señal R. Bajo un aspecto físico, esto corresponde a una situación como la expuesta en la figura 4, en la que se ha determinado inicialmente que está equivocada la cifra de información en el grado 4 del registro de desviación. Después, la cifra de comprobación desviada del grado 9 al 10 produce un error. Esto es evidentemente parte de una racha demasiado grande, y es adecuada la excita-

14 AGO

243770

ción del relevador de alarma.

Los tres estados M, N y O corresponden a situaciones en que todavía no se ha producido ningún error de cifra de comprobación. Cuando este error se produce, el circuito 5 pasa del estado L, M o N al estado P. En todos los casos, siempre se produce después del estado O la transición al estado P. Los estados L. M, N y O se caracterizan por la excitación de los relevadores N y M; pero, después de pasar al estado P, el relevador M se desconecta, mientras que el relevador N permanece excitado.

La transición de los estados L, M y N al estado P requiere que se excite el relevador R y se desexcite el relevador S. En estas condiciones, los contactos de trabajo de R y los de ruptura de S están cerrados. En la figura 5, las posiciones 1, 2 y 3 de la serie de contactos III están conectados a un punto de potencial negativo mediante los contactos de trabajo M, los de ruptura S, los de trabajo R, los de trabajo del interruptor gradual, y los de trabajo Z_2; por consiguiente, el relevador T está excitado. Cuando se excita el relevador T, los contactos de trabajo de T cierran el circuito entre los contactos 1 a 4 de la serie II, mediante los contactos de trabajo N, con el lado positivo del carrete del relevador M. Puede observarse que un punto de potencial negativo está conectado al contacto móvil de la serie II del interruptor gradual. Por tanto, cuando se cierran los contactos de trabajo T, ambos lados del carrete del relevador M se hallan con el mismo potencial negativo, y el relevador se inactiva. La resistencia 65 se aplica para evitar un corto circuito del generador de potencia.

Cuando el circuito de la figura 5 está en la si-

243770

14

tuación 0, la siguiente etapa del interruptor gradual que alcanza de momento la posición 4 produce una transición al estado P, donde el citado interruptor está en la posición de reposo. Esto se consigue mediante la conexión con el contacto 4 de la serie III del interruptor gradual, que excita el relevador T si están excitados los dos relevadores M y N, y cerrados sus contactos de trabajo. En ese caso, una secuencia análoga de operaciones de contacto produce el resultado antedicho, o sea, que el relevador N se mantiene excitado, y se inactiva el relevador M.

Desde las situaciones L y M, la excitación del relevador S sin excitarse el relevador R desvía el circuito al estado Y, en el que se excita el relevador de alarma. Esto se consigue mediante conexión con los contactos 1 y 2 de la serie I del interruptor gradual, que, por medio del contacto móvil de este último, se unen al relevador de alarma AL, por un lado, y a un punto de potencial negativo por medio de los contactos de trabajo M, los de ruptura R, los de trabajo S, los de trabajo del interruptor gradual, y los de trabajo Z_2. La excitación del circuito del relevador de alarma al producirse una señal S partiendo del estado N se obtiene por medio del circuito acoplado al contacto 3 de la serie I del interruptor gradual. El potencial negativo está acoplado al relevador de alarma por medio de los contactos de trabajo de N, M y S, los contactos de trabajo del interruptor gradual, y los del relevador Z_2.

La llegada al estado P indica que se ha producido al menos un error de información, y también que el circuito sólo puede tolerar otros dos errores de cifra de comprobación, y ninguno más de cifra de información. Estos extre-

mos pueden comprobarse examinando la situación del descifrador de la figura 4 después de un error de cifra informativa, indicado por la transición del estado D al estado L. En estas circunstancias, la transición del estado P o del Q al de alarma Y se produce al excitarse el relevador S. Después del estado Q no se consienten nuevos errores; por consiguiente, el fallo del circuito R de paridad o complemento origina excitación de la señal de alarma.

El espacio de prevención entre rachas sucesivas de errores consiste en las etapas indicadas por los estados T a X del esquema de situación de la figura 6. Todos los demás errores que llegan al descifrador de la figura 4 se orientan primero por el circuito de complemento R, e inmediatamente hacen pasar el circuito de la figura 5 al estado de alarma Y. Puede advertirse que los estados W y X corresponden muy aproximadamente a los estados F y G reseñados anteriormente; es decir, el interruptor gradual está en los lugares quinto y sexto, y se dispone a continuar avanzando si no funciona el relevador R, y a inmovilizar el relevador de alarma si el relevador R funciona. Como antes se ha dicho, el circuito de excitación para el relevador de alarma AL comprende el contacto móvil de la serie I, que incluye los contactos de trabajo R, los contactos de trabajo del interruptor gradual, y los de Z_2. Para los estados T y U, desde los cuales alcanza el interruptor gradual los contactos 3 y 4, respectivamente, el circuito operante para el relevador AL es casi el mismo. Desde el estado T, en que el citado interruptor llega al contacto 3, el circuito que actúa sobre el relevador de alarma comprende los contactos de trabajo N, los contactos de ruptura M y T, y los contactos de trabajo R, ade-

14 AGO
243770

5 CENTIMOS 5 CTS ESPECIAL MOVIL

más de los contactos de trabajo de los relevadores de escalonamiento y Z_2. El contacto 4 está unido al mismo circuito general, a través de los contactos de ruptura del relevador T. Al llegar al estado X sin que se produzca otro error, el circuito de conmutación se restituye a su posición de reposo, o estado A. Esto indica que ha pasado un espacio de prevención suficiente para que el circuito quede en condiciones de corregir rachas sucesivas de errores. El reajuste se consigue por medio de los contactos del séptimo lugar de las series II y III. Más concretamente, el contacto asociado a la posición 7 de la serie III excita el relevador T, para iniciar el ciclo usual de reajuste, y la aplicación de potencial negativo al contacto 7 de la serie II desconecta el relevador N. Por tanto, el circuito de la figura 5 vuelve a estar en su situación normal o de reposo, con el interruptor gradual en su posición normal y los relevadores N, M y T no excitados.

Una vez excitado el relevador de alarma AL, es necesario manipular el pulsador de disparo, provisto de contactos PB (fig. 5). El funcionamiento de los contactos del pulsador abre los circuitos de fijación para alarma, y los relevadores N y M. También comprende contactos que reacoplan el interruptor gradual. Dos lámparas de señales indican el estado del circuito de detección de errores de la figura 5. La luz amarilla de alarma -A- centellea durante el funcionamiento del circuito de la figura 5, siempre que no esté en su posición de reposo, correspondiente al estado A en la figura 6. La luz roja de alarma -R- se excita cuando se maniobra el relevador de alarma.

Las figuras 7 a 11 se refieren a un tipo de sis-

243770 14 AGO

tema corrector de errores muy semejante al de las figuras 1, 2 y 3, pero con redundancia mucho menor. Más concretamente, en el sistema de las figuras 7 a 11, sólo se aplica una cifra adicional de comprobación por cada tres de información, mientras que en el circuito de la figura 1 se emplea una cifra de comprobación por cada cifra informativa. Esta menor redundancia se obtiene a costa de utilizar circuitos un poco más perfilados, y de la necesidad de grupos más largos de cifras correctas entre rachas de errores.

En cuanto a los pormenores del sistema, la figura 7 muestra un cifrador con tres registros de desviación 66, 68 y 70 de cifras de información. Los informes numéricos entrantes por el conductor 72 se distribuyen a los tres registros de desviación 66, 68, 70 mediante el circuito de conmutación 74 y el de compensación de entrada 76. Los circuitos de compensación utilizados en el sistema expuesto en la presente memoria son relativamente sencillos, y sólo necesitan almacenar unas pocas cifras, que corresponden al número de registros de desviación utilizados. El circuito compensador 76 se necesita para recibir cifras entrantes a gran velocidad desde el conductor de entrada 72, y sincronizar la distribución de cifras a los tres registros de desviación 66, 68 y 70, más lentos. Con esta disposición, un tercio de las cifras entrantes se encamina a cada uno de los tres registros mencionados. El circuito de complemento 78 deriva señales de las posiciones o lugares numéricos 1, 3 y 5 del registro de desviación 66, de los lugares numéricos 7 y 11 del registro de desviación 68, y de los lugares 13 y 15 del registro de desviación 70. Existen desde luego conexiones separadas desde cada una de estas siete posiciones numéricas al cir-

cuito de complemento 78. En la representación esquemática de la figura 7, sin embargo, se representa un único conductor que enlaza los lugares numéricos y el circuito de complemento, en lugar de muchos conductores individuales. Las salidas de los registros de desviación 66, 68 y 70 y del circuito de complemento 78 están acopladas mediante el circuito compensador 80 y el de conmutación 82. Este último circuito recoge las salidas de los tres registros de desviación, y luego intercala una cifra complementaria en el mensaje transmitido, antes de realmacenar las señales salientes de los registros de desviación.

La figura 8 representa un descifrador que se puede emplear con el circuito cifrador de la figura 7. El circuito de conmutación de entrada 84 está sincronizado con el de salida 82 expuesto en la figura 7, y distribuye las señales de impulsos que llegan entre los cuatro registros de desviación 86, 88, 90 y 92. El circuito compensador - 94 está conectado entre el de conmutación 84 y los registros de desviación, para sincronizar los impulsos de entrada aplicados a estos últimos. En el ángulo inferior derecho de la figura 8 se representan tres circuitos de complemento de grupo designados por R, S y T, y conectados - cada uno de ellos para comprobar un grupo de cifras de acuerdo con el patrón o modelo de complemento de grupo establecido en el cifrador de la figura 7. Por ejemplo, el circuito de complemento de grupo R recoge señales procedentes de los lugares numéricos 1, 3 y 5 del registro 86, de los lugares 7 y 11 del registro 88, de los lugares 13 y 15 del registro 90, y del lugar 19 del registro de desviación complementario 92. Puede observarse que este agrupamiento es similar al expuesto en la figura 7. El circui-

243770

to de complemento de grupo S comprueba un grupo similar - de posiciones numéricas desviadas dos lugares a la derecha respecto a las recogidas por el circuito de complemento de grupo R. De manera análoga, los lugares numéricos comprobados por el circuito T están desviados dos lugares más a la derecha con relación a los comprobados por el circuito S.

Puede apreciarse que la corrección de errores se efectúa entre lugares numéricos 5 y 6 en el registro de desviación 86. Asimismo se advierte que el lugar numérico 5 es el único incluído en los grupos de complemento de los tres circuitos de comprobación R, S y T. Por consiguiente, cuando llega una cifra equivocada al lugar numérico 5, aparece en los conductores R, S y T una señal saliente que indica una disparidad, determinada por los tres circuitos de complemento de grupo. El circuito de corrección 96 se hace funcionar para invertir la cifra entre las posiciones numéricas 5 y 6 del registro de desviación 86, cuando se hallan las tres señales entrantes R, S y T en la entrada del circuito AND 98.

Los errores de cifras en el registro de desviación 88 se corrigen entre los lugares numéricos 11 y 12. El lugar 11 del registro de desviación 88 está incluído en los grupos de complemento suplidos por los circuitos R y T, pero no en el completado por el circuito S. Por consiguiente, las entradas de R. S' y T activan el circuito de corrección de errores 102, por estar acopladas al circuito AND 104. La señal S' es el símbolo algebraico de Boole para el valor opuesto o negativo de la cantidad binaria S. Así, cuando se desexcita el conductor S, que representa el símbolo binario "0", se excita el conductor S', para re-

243770

presentar un "1"; y cuando se excita el conductor S, se inactiva el conductor S'.

Las cifras del registro de desviación 90 se corrigen entre los lugares numéricos 17 y 18. El lugar 17 está incluído en los grupos de paridad completados por los circuitos S y T, pero no en el completado por el circuito R. En consecuencia, el circuito de corrección 106 está regulado por la salida del circuito AND 108, cuyas entradas son R', S y T. También puede notarse que un error en el lugar numérico 23 del registro de desviación 92 produce una señal saliente del circuito de complemento de grupo T, pero no de los circuitos R o S. En estas circunstancias, la cifra de comprobación se puede corregir entre los lugares numéricos 23 y 24, si se quiere. Las cifras de información correctas se acoplan al circuito de salida 110 por medio del circuito compensador 112 y del circuito conmutador de salida 114.

La figura 9 muestra un circuito descifrador que puede emplearse con el cifrador de la figura 7 en vez del descifrador representado en la figura 8. Muchos de los componentes del circuito empleados en la figura 9 son los mismos expuestos en la figura 8, y por ello se representan con iguales números de referencia "primados" en los circuitos que desempeñan funciones equivalentes. La principal diferencia entre el descifrador de la figura 9 y el de la figura 8 es el empleo de un solo circuito de complemento 120 y un registro de desviación de paridad 122 en vez de los tres circuitos de complemento R, S y T de la figura 8. Las señales procedentes del circuito de complemento 120 se acoplan al registro de desviación deparidad 122 de cinco lugares numéricos, y las señales de complemento de grupo se des-

vían, mediante el registro 122, en sincronismo con la desviación de informes mediante los registros 86' a 92'.

Puede demostrarse fácilmente que las señales de los lugares numéricos 1, 3 y 5 del registro de desviación 122 de la figura 9 corresponden a las señales de los circuitos de complemento R, S y T de la figura 8, en condiciones similares de señales entrantes. En primer término, se apreciará que las entradas al circuito de complemento 120 de la figura 9 corresponden a las entradas al circuito de complemento R de la figura 8. Además, los huecos sucesivos de dos lugares numéricos de los circuitos de complemento o paridad S y T respecto al circuito de complemento R de la figura 8 corresponden a los espacios de lugares numéricos alternados S y T de la figura 9 en el registro de desviación complementaria 122. El resto del circuito expuesto en la figura 9 funciona en substancia del mismo modo que el circuito equivalente del descifrador de lafigura 8.

En la figura 9 no se representa circuito para corregir las cifras de comprobación, aunque puede utilizarse uno como el de la figura 8. Conviene corregir las cifras de comprobación en un punto repetidor intermedio, pero no se requiere normalmente en un terminal en que se utilice la información.

La figura 10 es una tabla que expone el funcionamiento del circuito de las figuras 8 y 9 antes descrito. En la parte izquierda de esta tabla, la excitación de los conductores R, S o T de las figuras 8 o 9 se representa por un "1" y la excitación de los conductores R', S' o T', por el símbolo "0". En las primeras cuatro filas de la tabla de la figura 10, no se necesita corrección cuando el con-

14 AGO 243770

ductor T no está excitado, con cualquier combinación de señales en los conductores R y S. Cuando están excitados todos los conductores R, S y T, la cifra del lugar numérico 5 del registro de desviación 92 o 92' se corrige al transferirlo al lugar numérico 6. Cuando únicamente están excitados los conductores R y T, la cifra del lugar numérico 11 del registro de desviación 88 u 88' se corrige al transferirlo al lugar numérico 12. Análogamente, la cifra del lugar numérico 17 del registro de desviación 90 o 90' puede corregirse cuando se transfiere al lugar numérico 18, cuando sólo están excitados los conductores S y T. Finalmente, cuando está excitado el conductor T, e inactivados los conductores R y S, la cifra de comprobación se puede corregir entre los lugares numéricos 23 y 24 del registro de desviación complementaria 92 o 92'. De pasada, puede advertirse que las indicaciones de comprobación 2, 3 y 4 de la figura 10 constituyen a veces el comienzo de una de las indicaciones de las filas 5 a 8 de esta figura.

Con referencia asimismo a la figura 9, se aprecia que el conductor de reajuste 126 está conectado al conductor T; en consecuencia, los lugares numéricos R, S y T del registro de desviación 122 se reacoplan al estado "0" siempre que se excita el conductor T. Se dispone un circuito de demora 128 en serie con el conductor 126 para asegurar una salida adecuada de impulsos de los circuitos R, S y T antes de reacoplar. La reaplicación sirve para evitar acciones recíprocas entre un grupo de corrección de errores en el registro de desviación 122 y el siguiente o consecutivo.

La figura 11 es un diagrama que muestra las características de errores en cada uno de los registros de

243770

desviación 86' a 92' en la figura 9. Así, la secuencia de señales salientes de forma 10101 del circuito de complemento 120 de la figura 9 indica un error en el registro de desviación 86'. Similarmente, una secuencia de señales salientes de forma 10001, del circuito de complemento 120, indica un error en el registro de desviación 88'. Un error en el registro de desviación 90 viene indicado por la secuencia de señales salientes 00101. Finalmente, una secuencia de señales de salida del circuito de complemento de grupo 120, de forma 00001, indica un error en el registro de cifras de conformación 92'. La información precedente relativa a las características de error para los registros de desviación 86', 88', 90' y 92' se expone en la tabla I.

Tabla I

Característica de error	Registro indicado de la fig. 8 o de la fig. 9
10101	Registro de desviación 86 u 86'
10001	Registro de desviación 88 u 88'
00101	Registro de desviación 90 o 90'
00001	Registro de desviación 92 o 92'

Comparando la tabla 1 con la tabla de la figura 10, puede apreciarse que las características de error de la tabla I se pueden transformar en las indicaciones complementarias de la figura 10 borrando los "0" que aparecen en los lugares numéricos 2 y 3 de cada una de las características de error. En el descifrador de la figura 8, la conexión de los circuitos de complemento a lugares numéricos desviados entre sí un espacio sirve para eliminar los "0" en la característica de error que aparece en la salida de los circuitos de complemento R, S y T. En el descifrador de la figura 9, la misma función se obtiene em-

14 AG
243770

pleando los dos lugares numéricos extra en el registro de desviación complementaria 122 para espaciar los lugares numéricos designados por R, S y T.

Diagramas como el de la figura 11, y tablas como las de la figura 10 y la tabla I, son instrumentos sumamente útiles para analizar la capacidad de esquemas cifrados propuestos. Más concretamente, la tabla de la figura 10 comprende todas las combinaciones posibles de salidas de los tres circuitos de complemento de grupo, y las cuatro últimas filas indican las cuatro combinaciones que representan errores corregibles en los cuatro registros de desviación.

Las características de error expuestas en la tabla I representan la salida durante intervalos de tiempo sucesivos de un circuito de complemento, en respuesta a errores simples de cifras en cualquiera de los cuatro registros de desviación. Las columnas segunda y cuarta de las características de error son columnas aislantes, y no afectan a las señales complementarias indicadas en la tabla de la figura 10. Este espaciado de las cifras efectivas de corrección de errores permite corregir con independencia dos cifras erróneas sucesivas en cualquiera de los registros de desviación.

La figura 11 indica la sincronización relativa de las características de error de la tabla I para cuatro cifras erróneas consecutivas de información, comenzando por la aplicada al registro de desviación 86' de la figura 9. La fila inferir en la figura 10 indica la superposición de las características alternadas de error de las primeras cuatro filas. Puede verse que cada característica es perfectamente identificable, y que no hay interacción entre

243770

características de error. Además, cada característica individual de error se puede desviar un lugar numérico a la derecha o a la izquierda, sin interferencia. Esto corresponde a eliminar un error en una cifra aplicada a un registro de desviación dado, y a insertar un error en otra cifra aplicada al mismo registro un lugar antes o después del de la cifra primitiva. Sin embargo, en general debe señalarse que las rachas de errores más largas de ocho cifras pueden causar interferencia, y esto resulta incorregible a veces.

También puede advertirse, con referencia a la figura 11, que puede identificarse una cifra errónea adyacente adicional en cada registro de desviación sin interferencia con otras características de error. Por consiguiente, los circuitos de las figuras 8 o 9 pueden corregir ocho cifras informativas erróneas consecutivas cualesquiera (o cifras seleccionadas de un grupo de ocho cifras consecutivas de información).

Como se ha dicho antes respecto a la comparación de la tabla I y la figura 10, las columnas segunda y cuarta de las características de error de la tabla I son columnas aislantes, y permiten corregir por separado dos cifras erróneas consecutivas en cualquiera de los registros de desviación de las figuras 8 y 9. Con esta disposición, pueden corregirse ocho cifras erróneas consecutivas recibidas. Estas cifras de prevención pueden borrarse, con lo que la tabla I resultaría idéntica a las últimas cuatro partidas de la figura 10. Además, todas las columnas de "0" en la figura 11 señaladas con flechas debajo del modelo de cifras quedarían eliminadas. El resultado de este cambio sería reducir la longitud de series o rachas de errores que pueden

14 AGO.
243770

corregirse, de ocho a cuatro cifras. Las ventajas de tal cambio sería una menor longitud de los registros de desviación empleados en los circuitos de cifrar y de descifrar, así como una reducción del espacio de prevención, que debe estar libre de errores entre rachas largas de errores sucesivos. El sistema de las figuras 7, 8 y 9 podría modificarse análogamente insertando cifras adicionales de prevención entre las de indicación complementaria enumeradas en la figura 10. Así podrían corregirse rachas más largas, aunque con los naturales inconvenientes de registros de desviación también más largos y la necesidad de espacios de prevención mayores entre rachas de equivocaciones. La elección de una u otra disposición depende ampliamente de la naturaleza del sistema de transmisión. En casos en que los errores sueltos no son nada frecuentes, y los que se producen revisten la forma de rachas grandes, deben emplearse uno o más espacios numéricos aislantes entre las cifras de las indicaciones complementarias; pero cuando la frecuencia de las series de errores es sólo poco mayor que la de errores simples, no conviene aislar las cifras indicativas de complemento.

El circuito de la figura 12 representa un circuito de corrección y detección de errores algo diferente de los circuitos representados en anteriores figuras e incluídos en la presente memoria. Más concretamente, comprende circuitos para corregir cortas rachas de errores y detectar las largas. Además, las cifras de comprobación que se transmiten por el canal de transmisión perturbador se producen en un circuito de complemento que comprueba la paridad de un grupo de cifras, incluyendo al menos una cifra más de comprobación. Los extremos apuntados se analizarán

con más detalle en el curso de la descripción de la figura 12.

En la figura 12, el circuito de cifrar comprende un primer registro de desviación 134, en el que sólo se incluyen cifras de información, y otro registro de desviación 136 que incluye sólo cifras binarias de complemento. El registro de desviación de cifras informativas 134 comprende trece lugares numéricos; el registro 136 de desviación de cifras de comprobación incluye solo cuatro lugares numéricos, designados por 10 a 13. El circuito de complemento 138 deriva señales de entrada de los lugares numéricos 1, 4 y 7 del registro de desviación 134, y del lugar numérico 13 del registro de desviación 136. Las cifras de información y de comprobación son entremezcladas por el circuito de conmutación 140, y se aplican a un canal de transmisión de ruidos 142. El circuito de conmutación 144 aplica cifras informativas procedentes del canal de transmisión 142 al registro de desviación 146, y cifras de comprobación al registro de desviación 148. Tres circuitos de complemento de grupos 150, 152 y 154 están acoplados a lugares numéricos de los registros de desviación 146 y 148, que corresponden a los grupos de complemento establecidos en el cifrador. Por ejemplo, el circuito de complemento de grupo 150 recibe señales entrantes de los lugares numéricos 1, 4 y 7 del registro de desviación 146 de cifras informativas, y de los lugares numéricos 10 y 13 del registro de desviación 148 de complemento. Los circuitos de complemento de grupo 152 y 154 están acoplados a series adicionales de cinco cifras, que se desvían sucesivamente tres lugares numéricos respecto a los verificados por el circuito de complemento de grupo 150.

14 AGO
243770

Puede observarse que los tres circuitos de complemento de grupo 150, 152 y 154 están acoplados al lugar numérico 7 del registro de desviación 146. Por tanto, si los tres circuitos producen señales salientes que indiquen error de paridad, la cifra del lugar numérico 7 se invierte, y se transfiere al lugar numérico 8 del registro de desviación 146. Esta función es realizada por el circuito AND 156, que regula el circuito de corrección 158.

También puede apreciarse que los circuitos de complemento de grupo 150 y 152 derivan señales entrantes del lugar numérico 13 del circuito de complemento, y que los circuitos de complemento 152 y 154 derivan señales entrantes del lugar numérico 16 del registro de desviación complementaria 148. Por consiguiente, si las cifras de comprobación de los lugares numéricos 13 o 16 están equivocados, se excitarán los circuitos de complemento R y S, o S y T, respectivamente. Pero en estos circuitos, no se trata de corregir errores en cifras binarias de comprobación; en consecuencia, se pasan por alto señales salientes del tipo antes descrito, que indican errores de cifras complementarias.

El funcionamiento del circuito de la figura 12 se expone en forma tabular en la figura 13. La primera fila de la figura 13 indica la situación en que no está excitado ninguno de los circuitos de complemento de grupo - 150, 152 o 154, y representa el estado exento en absoluto de errores. Las cuatro hileras siguientes de la tabla de la figura 13 representan otras combinaciones de señales - complementarias de grupo, en las que no se requiere acción. Las filas 2 a 4 constituyen señales que pueden representar un solo error de cifra informativa o de cifras de compro-

243770 14 AG

bación en alguna posición de los registros de desviación 146 o 148 del descifrador. Cuando están excitados los tres circuitos de complemento 150, 152 y 154, como indica la sexta fila en la tabla de la figura 13, la cifra de información en el lugar numérico 7 se corrige al transferirla al lugar numérico 8. Este funcionamiento se ha explicado antes.

En el caso de otras combinaciones de señales salientes de los vircuitos de complemento de grupo R, S y T (o 150, 152 y 154), conviene excitar un circuito de alarma que indica que el error sobrepasa la capacidad de corrección del circuito del descifrador. Las dos secuencias complementarias de grupo indicadas en las últimas dos filas de la tabla 13 se utilizan para indicación de errores, y sirven para disparar un circuito de alarma.

El circuito de alarma 162 aparece en la parte superior derecha del circuito de la figura 12. El circuito de excitación para el circuito de alarma 162 incluye el circuito 164 (OR) y los dos circuitos 166 y 168 (AND). La entrada al circuito AND 166 es la combinación de R', S y T', que corresponde a la secuencia de complemento de grupo 010 presentada en la última fila de la figura 13. Los circuitos de excitación para el circuito AND 168 comprenden conductores R, S' y T, que corresponden a la secuencia de complemento de grupo 101 en la penúltima fila de la figura 13.

Con las disposiciones de la figura 12, según quedan descritas, se ha determinado sistemáticamente que ninguna racha de errores igual o menor de trece cifras en longitud queda sin descubrir o sin corregir. Además, el circuito de la figura 12 corrige o detecta igualmente algunas

243770

rachas de más de trece cifras; toda las rachas que comprenden seis cifras erróneas consecutivas en el mensaje transmitido (o cifras seleccionadas de un grupo de seis cifras consecutivas de información) quedan completamente corregidas, así como algunas rachas de más de seis cifras. El fundamento físico de la capacidad del circuito 12 para corregir rachas de errores de seis o menos cifras puede apreciarse examinando la figura 14.

El diagrama de la figura 14 representa una serie de cifras de información y de comprobación que se transmiten a lo largo del canal de transmisión perturbado 142. En la figura 14, cada cifra de información se designa por la mayúscula D, y cada una de las cifras de información, por la mayúscula C. La línea 170 está adscrita a un grupo de cinco flechas que indican el espaciado de tres cifras binarias de información y de tres cifras de comprobación incluídas en un solo grupo complementario. Considerando la cifra informativa 172, incluída en el grupo complementario representado por la línea 170 y sus flechas asociadas, se halla igualmente comprendida en los dos grupos complementarios adicionales representados por las líneas 174 y 176 y sus flechas asociadas. Del diagrama de la figura 14 se desprende que los errores en cifras de comprobación e información entre las que forman los grupos complementarios no afectan a la corrección de cifras de información tales como la designada por 172, que están incluídas en los tres grupos complementarios. Como las cifras sucesivas comprendidas en un grupo complementario están separadas por no menos de cinco cifras no incluídas en el grupo, es evidente que las rachas de errores de seis o menos cifras pueden ser corregidas por el circuito de la figu-

ra 12.

A continuación se reseña otra forma de realización del invento, con referencia a las figuras 15 a 18 de los planos. Esta variante difiere de las disposiciones antes descritas por el empleo de un solo registro de desviación en cada uno de los dos terminales. Además, con una redundancia de 1/3, el sistema de las figuras 15 a 18 constituye un circuito relativamente sencillo, que utiliza los servicios de transmisión de un modo más económico que el sistema de las figuras 1 a 3.

El diagrama de patrones de comprobación de la figura 15 sirve de punto de partida al sistema. En este diagrama, patrones únicos que representan errores en las cifras A, B y C se disponen alternados entre sí. Estos modelos determinan las conexiones entre los registros de desviación y los circuitos de complemento en el cifrador y el descifrador. Adviértase que la cifra A se designa por 101, la cifra B por 110, y la cifra C, de comprobación, por 100.

Puede apreciarse que el empleo de una cifra de comprobación por cada dos de información exige el empleo de una clave binaria de tres cifras. Esto es consecuencia de no disponerse de grupos de clave con "0" exclusivamente, que no indican errores, y de que no es posible distinguir entre los dos grupos clave de indicación de errores 01 y 10, que comprenden cada uno dos cifras. Una vez establecida la necesidad de emplear grupos clave de tres cifras para identificar errores, se evita el grupo 111, porque requiere una complejidad en el sistema algo mayor que los grupos con sólo uno o dos "1".

El patrón de comprobación de la figura 15A, an-

243770 14 A

tes expuesto, puede considerarse correspondiente al que se emplearía en un circuito de descifrar o corregir que emplea registros de desviación en paralelo. El descifrador puede montarse asimismo al modo de un solo registro de desviación largo. En este caso, el modelo de comprobación adopta la forma representada en la fihura 15B. Puede observarse que el dibujo expuesto en la figura 15B es simplemente una repetición de columnas sucesivas de la figura 15A escritas en serie. En el caso de las figuras 15A y 15B, las claves de corrección de errores de tres cifras analizadas anteriormente requieren que el patrón de detección de errores se repita tres veces. Una disposición del modelo descifrador expuesto en la figura 15B aparece en el descifrador de la figura 16, y se expondrá seguidamente con detalle. El modelo de la figura 15C se deriva directamente del de la figura 15B, por omisión de las indicaciones de cifras de comprobación. En consecuencia, el modelo de la figura 15C corresponde a las entradas convenientes en el circuito de complemento del cifrador.

La figura 16, comprende un cifrador CF y un descifrador DCF. La información de cifras entrantes se aplica al registro de desviación 300 en el conductor 202. El circuito 204 productor de cifras complementarias está conectado a las posiciones del registro de desviación 200 del modo indicado por el diagrama de la figura 150. Una cifra de comprobación se intercala entre cada dos cifras de información A y B, y se aplica al sector de información 206. Las señales resultantes que aparecen en este sector 206 tienen las relaciones de paridad o complementarias que indica el diagrama de la figura 15B.

El descifrador de la figura 16 incluye un solo

243770 460 19

registro de información largo 208, recortado por tres puntos 210, 212 y 214 para permitir la corrección de errores. Se disponen tres circuitos de complemento 216, 218 y 220 para dar las tres cifras de los grupos clave de corrección de errores antes mencionados. Los tres circuitos de complemento 216, 218 y 220 se designan también por R, S y T, respectivamente. Puede observarse que las conexiones entre el registro de desviación 208 y el circuito R de complemento 216 siguen el modelo indicado en la figura 15B. De manera análoga, los circuitos S y T de comprobación, 218 y 220, tienen el mismo modelo de conexiones, pero están desviados por bloques sucesivos de tres cifras a lo largo del registro 208.

Las cifras erróneas que aparecen en la posición A de palabras numéricas se corrigen entre los lugares 7 y 8 del registro de desviación 208. Esto se efectúa por medio del circuito AND 222, que excita el circuito de conmutación. El circuito AND 222 tiene como entradas el patrón clave R, S', T y un impulso apropiado de sincronización. Si el patrón clave R, S' y T corresponde a la clave original de corrección de errores 101 requerida para indicar un error en el lugar numérico A, la cifra binaria se hace negativa en su transporte del lugar 7 al lugar 8 del registro de desviación. Análogamente, la corrección de las cifras B y C se verifica en los portillos AND 224 y 226. Cuando los modelos o patrones aplicados a estos circuitos AND corresponden a las claves de corrección de errores relacionadas en la tabla de la figura 15A, las cifras se hacen negativas al trasladarlas de un lugar a otro del registro de desviación.

En la salida del lugar terminal del registro de

14 AGO

desviación 208, las cifras de información de ambos tipos se han corregido, lo mismo que las de comprobación. En algunas circunstancias, puede interesar la transmisión de grupos cifrados, incluyendo las cifras de comprobación, a un descifrador distante. Sin embargo, se dispone un circuito compensador simple para borrar las cifras de comprobación corregidas cuando las de información se han de utilizar en seguida. Desde luego, en un sistema real no se incluirá el circuito de corrección de cifras de comprobación, o el circuito para borrar dos de ellas.

Las consideraciones de tiempo para el circuito de la figura 16 son algo más complicadas que las de circuitos anteriores, en los que se empleaban registros de desviación paralelos en el descifrador. En el registro de la figura 16, la sincronización se regula por medio de un circuito pendular 230 sincronizado mediante el conductor 232 con las señales de cifras entrantes en el conductor 202. El reloj o péndulo 230 proporciona señales salientes a seis intervalos iguales de tiempo por cada dos cifras entrantes en el conductor 202. Para los fines de la figura 16, se supone que las señales pendulares procedentes del circuito 230 pueden utilizarse en el receptor y en el transmisor. En la práctica se empleará una señal pendular separada en el receptor, y se utilizarían aparatos adecuados de sincronización conocidos en la especialidad para concertar los circuitos sincronizantes en los dos terminales.

La figura 17 es un diagrama de sincronización para el cifrador que aparece en la parte superior de la figura 16. En este diagrama, P, indica el circuito pendular; E la entrada; D la desviación y S. la salida. Las cifras se desvían a lo largo del circuito 200 durante intervalos

14 AGO

243770

designados por 1 y 4 en la figura 17. El circuito regulador del circuito de desviación asociado a cada posición del registro 200 se indica en esquema por medio del bloque 234. Señales de sincronización CP_1 y CP_4 se aplican mediante un circuito OR 236 al circuito de desviación 234. La salida del circuito de complemento 204 se recoge en el circuito o portillo AND 238 por medio de un impulso pendular CP_2 que se produce en el segundo intervalo de sincronización. La cifra complementaria C se almacena en el registro de cifra única 240, y se encamina por el circuito AND 242, mediante un impulso pendular CP_4, entre las cifras binarias de información B y A. El circuito compensador entre el registro de desviación 200 y el segmento informativo 206 comprende los dos circuitos OR 244 y 246 y el circuito AND 248. Se aplican impulsos pendulares CP_2 y CP_6 por este último circuito 248 a cifras informativas procedentes del registro 200, y a través del circuito OR 246 al segmento informativo 206, La sincronización relativa de salida de las cifras informativas A y B y de la cifra de comprobación C en el segmento 206 se indica en la hilera final de la figura 17.

La sincronización de operaciones en el descifrador se indica en el diagrama de la figura 18. El registro de desviación 208 en el descifrador se hace funcionar a más velocidad que el del registro de desviación 200 del cifrador. En consecuencia, se aplican impulsos de sincronización CP_2, CP_4 y CP_6, por el circuito OR 250, al circuito regulador de desviación 252 asociado al registro de desviación 208. Las señales salientes de los tres circuitos de complemento 216, 218 y 220 se recogen durante el tercer intervalo de sincronización. Esto se indica por

243771

medio de la entrada CP_3 a cada uno de los portillos AND 254, 256 y 258, conectados a las salidas de los respectivos circuitos de complemento. Estas señales de complemento de grupo se almacenan brevemente en los registros de cifra única 260, 262 y 264, designados por R, S y T, respectivamente. Las señales almacenadas en estos registros de cifra única son recogidos por impulsos pendulares CP_4, que se aplican a cada uno de los circuitos AND 222, 224 y 226.

Como se ha apuntado antes, la salida trifásica de la posición 228 del circuito de desviación se cambia en salida bifásica, que comprende sólo cifras A y B, en el conductor de salida 266. Los circuitos compensadores requeridos comprenden los portillos AND 268, 270 y 272, además del registro de cifra única 274 y del circuito OR 276. La salida del lugar 228 del registro de desviación se recoge en el portillo AND 270 durante el intervalo 3, y se almacena en el registro de cifra única 274. Como indica la hilera final del diagrama de sincronización de la figura 18, las cifras informativas salientes designadas por A se transmiten al conductor de salida 266 durante el intervalo de sincronización 4. Efectúa esta operación el portillo AND 272, que tiene como una de sus entradas una conexión desde el registro de cifra única 274. Se aplican impulsos pendulares CP_4 por la otra entrada del portillo AND 272 a señales encauzadas, o por este circuito AND 272 y el circuito OR 276 al conductor de salida 266. Los impulsos de información designados por B se encaminan directamente desde el lugar 228 del registro de desviación 228, mediante impulsos pendulares CP_1 aplicados para regular el funcionamiento del portillo AND 268. En consecuencia, se acoplan cifras informativas A y B al canal de salida 266,

14 A
243770

y las cifras de comprobación se excluyen de este circuito de salida.

En la precedente descripción detallada se ha descrito el invento con referencia a ciertas formas particulares de realización. Por ejemplo, el circuito del registro de desviación se ha expuesto integrado por registros de desviación para cifras de comprobación y para cifras informativas. Estos registros, como es natural, pueden revestir la forma de un solo registro de desviación largo, con conexiones adecuadamente revisadas a los circuitos de complemento de grupo, para cumplir la misma función, como se indica en el descifrador de la figura 16. De manera análoga, el descifrador de la figura 16 podría emplear varios registros de desviación, al modo de los descifradores de las figuras 1, 8, 9 y 12, por ejemplo.

En los circuitos reseñados, se ha empleado en cada sistema un solo modelo de grupo complementario de conexiones. En algunos casos puede convenir una redundancia menor, obtenida empleando dos o más dibujos de paridad distintos en un solo sistema. Se ha pensado que las técnicas continuas de cifrado y descifrado aquí descritas pueden adaptarse fácilmente a sistemas en los que se emplee más de un modelo de complemento.

Además, los circuitos reseñados en la anterior descripción detallada se han desarrollado a base de emplear cifras binarias. Debe entenderse que es posible organizar sistemas que utilicen bases o raíces mayores de dos, conforme a los principios del invento. Por ejemplo, se pueden formar cifras sumando las cifras de información entrantes incluídas en el complemento, de acuerdo con el módulo que sirva de base al sistema numérico. Si ha de formarse una

243770

cifra complementaria para completar dos cifras decimales de entrada que sean 7 y 9, por ejemplo, la cifra complementaria resultante sería 4. A este número se puede llegar sumando 7 y 9 y substrayéndolo del número decimal superior inmediato terminado en 0. Matemáticamente, esto se puede expresar así:

$$9 + 7 = 6 \pmod{10}. \qquad (2).$$

El resíduo 6 se substrae entonces de 10, para obtener la cifra complementaria. El grupo complementario que resulta comprende los números 9, 7 y 4, que se suman a 0 (mod. 10). Los cambios necesarios en el circuito para equipar los circuitos actuales se indican por medio del ejemplo anterior.

En las figuras 3 y 4, que son las dos que indican los circuitos detallados, se expone una disposición de circuito relevador. Desde luego, pueden emplearse otras técnicas para realizar los circuitos lógicos expuestos en el dibujo. Para un ejemplo específico, puede aplicarse directamente la tecnología bien desarrollada de computadores binarios en serie. Mediante el uso de técnicas de computadores, pueden alcanzarse ritmos de repetición de impulsos hasta de más de un millón por segundo. En tales realizaciones, las líneas de demora constituirían los registros de desviación; las funciones lógicas se obtendrían con diodos, y con regeneradores de impulsos electrónicos se mantendrían niveles adecuados.

Debe entenderse que la descripción precedente y sus detalles son ilustrativos de la aplicación de los principios del invento. Los entendidos en la materia pueden idear otras numerosas disposiciones sin salirse del espíritu y del alcance del invento.

243770

N O T A

Se reivindica como objeto de esta patente:

1.- Sistema de transmisión de señales con dispositivo de corrección de errores, el cual comprende la combinación de un registro de desviación, medios de aplicar un tren de cifras a este registro; medios para desviar progresivamente tales cifras a posiciones numéricas sucesivas en el registro de desviación, durante intervalos sucesivos de tiempo, y medios de comprobación del circuito conectados al menos a dos posiciones numéricas separadas en el registro de desviación, para formar cifras de comprobación; caracterizado por disponerse circuitos complementarios para intercalar cada cifra de comprobación en el mencionado tren de cifras en un punto separado de las cifras completadas por la cifra de comprobación.

2.- Sistema de transmisión según la reivindicación 1, caracterizado porque el elemento de comprobación del circuito comprende medios para comprobar la paridad de la información numérica y para repetir esa operación de comprobación.

3.- Sistema de transmisión según las reivindicaciones 1 o 2, caracterizado porque la instalación comprende un cifrador, un descifrador, y un elemento informativo de enlace sujeto a distorsión, entre el cifrador y el descifrador; porque el cifrador tiene circuito de registro de desviación, medios para desviar progresivamente la información recibida y las cifras de comprobación, a través de las líneas del registro de desviación del descifrador, y medios para comprobar la validez de dos por lo menos, de las operaciones de comprobación efectuadas en el cifrador, que -

comprenden una cifra común, y para producir dos señales salientes de comprobación respectivas; en combinación con medios que responden por lo menos a estas dos señales salientes de comprobación para corregir cifras recibidas por error.

4.- Sistema de transmisión según la reivindicación 3, en el que el descifrador comprende un registro de desviación para comprobar la paridad y un circuito de comprobación de grupo complementario, conectado al referido registro de desviación.

5.- Sistema de transmisión según la reivindicación 3, en el que se disponen medios en el cifrador para transmitir al menos dos cifras de información por cada cifra de comprobación transmitida.

6.- Sistema de transmisión según la reivindicación 3, caracterizado por disponerse circuitos de detección de errores en el descifrador, para indicar los errores que escapen a la capacidad normal de corrección de dicho descifrador; y porque tales circuitos de detección comprenden medios que responden a las señales de comprobación salientes, a fin de clasificar provisionalmente los errores como errores de información o errores de cifras de comprobación; medios para determinar desviaciones de secuencias corregibles en las que el error resulte ser una cifra de información, y otros medios para determinar desviaciones de secuencias en las que el error resulte ser inicialmente una cifra de comprobación.

7.- Sistema de transmisión según la reivindicación 3, caracterizado porque se dispone un circuito de detección de errores en el descifrador, para indicar errores que escapen a la capacidad correctiva normal del mismo, y

14 AGO 243770

el referido circuito de detección comprende medios para clasificar provisionalmente los errores, así como otros medios para determinar en sucesión desviaciones de secuencias corregibles en cada clase de errores.

8.- Sistema de transmisión según la reivindicación 3, caracterizado porque el descifrador comprende un registro de desviación de cifras complementarias, y al menos otro registro de desviación; medios para aplicar cifras de comprobación sólo a dicho registro de desviación, y un circuito complementario conectado a un lugar numérico del mencionado primer registro y por lo menos a dos posiciones numéricas separadas del otro registro de desviación del descifrador.

9.- Sistema de transmisión según la reivindicación 3, caracterizado por dos circuitos complementarios de grupo, cada uno con tres conexiones de entrada por lo menos desde diferentes posiciones numéricas del citado circuito de registro de desviación; estando una de las conexiones a cada circuito complementario derivada de la misma posición numérica; y medios que responden a señales salientes de los mencionados circuitos complementarios para corregir errores en cifras de información recibidas.

10.- Sistema de transmisión según la reivindicación 9, caracterizada porque el circuito de registro de desviación del descifrador comprende registros de desviación separados de cifras de comprobación y de información.

11.- Sistema de transmisión según la reivindicación 9, caracterizado porque el circuito de registro de desviación del descifrador, comprende sólo un registro amplio de desviación, al que se aplican cifras de información y de comprobación.

243770

12.- Sistema de transmisión según la reivindicación 9, caracterizado porque el circuito de registro de desviación del descifrador, comprende por lo menos dos registros de desviación de cifras informativas, y otro de cifras de comprobación.

13.- Sistema de transmisión según las reivindicaciones 1 o 2, caracterizado por un registro de desviación de cifras informativas y otro de cifras de comprobación; un circuito complementario con entradas desde posiciones numéricas de los citados registros de desviación de cifras de información y de comprobación; medios para aplicar señales desde el circuito complementario al registro de desviación de cifras de comprobación, y medios para combinar las señales salientes de los registros de desviación de cifras informativas y de comprobación.

14.- Sistema de transmisión según la reivindicación 3, caracterizado por medios que responden a las señales de grupo complementario para corregir señales recibidas erróneas y elementos correlativos de circuito que responden a las señales complementarias desarrolladas en intervalos sucesivos de tiempo para indicar desviaciones de secuencias corregibles.

15.- Sistema de transmisión según la reivindicación 3, caracterizado por elementos de circuito del grupo complementario acoplados a lugares numéricos de comprobación e información del citado circuito de registro de desviación, para producir señales de error numérico; un registro de desviación de señales erróneas acoplado para recibir señales del elemento de circuito complementario, y un circuito sensible a errores acoplado a varios lugares numéricos del registro de desviación de señales erróneas.

243770 14

16.- Sistema de transmisión según la reivindicación 15, caracterizado porque un circuito de corrección de errores está asociado al circuito de registro de desviación del descifrador, y en el que el circuito sensible a errores escita el circuito de corrección de los mismos al producirse por lo menos una combinación numérica determinada en el mencionado registro de desviación de señales erróneas.

17.- Sistema de transmisión según las reivindicaciones 3 o 6, caracterizado porque el descifrador comprende un circuito de alarma.

18.- "Sistema de transmisión de señales con dispositivo de corrección de errores".

Esta memoria consta de cincuenta y siete páginas escritas a una sola cara.

AGO 1958

BARCELONA,

P.A.

Nagelberger 5-6

FIG. 6

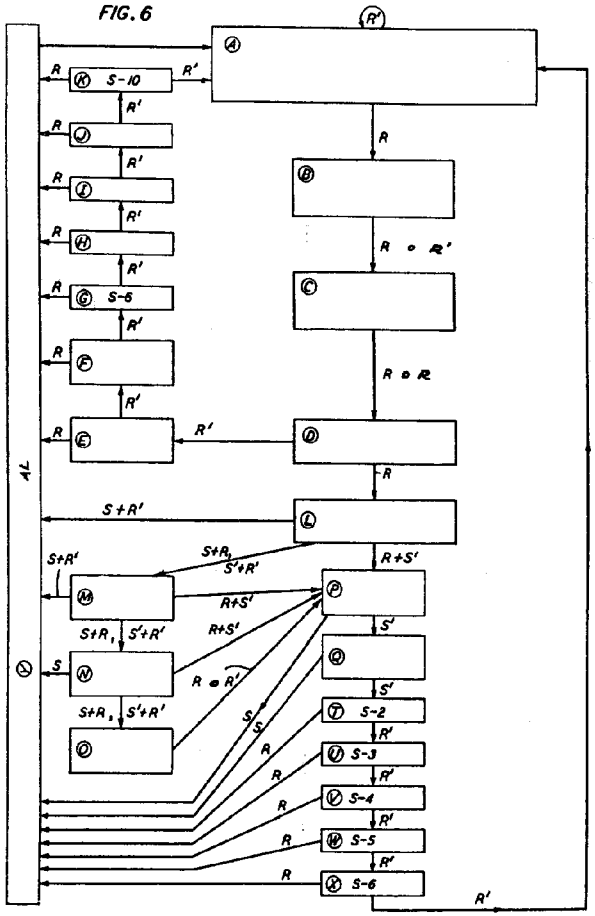


FIG. 12

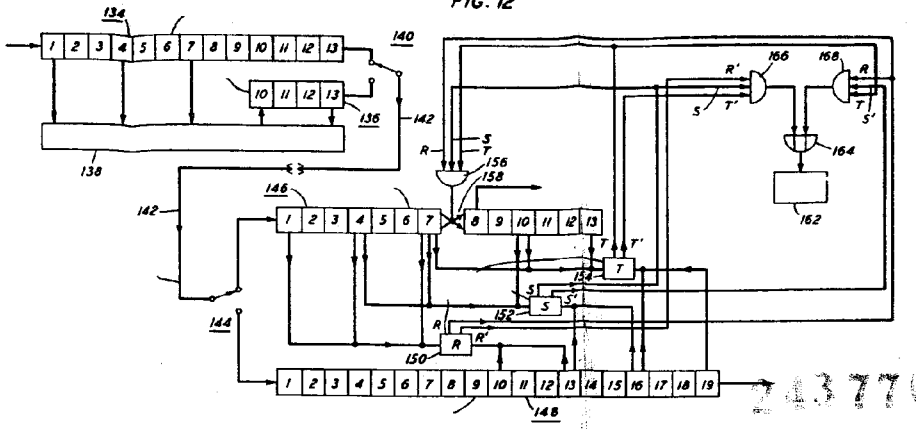


FIG. 13

R	S	T
0	0	0
0	0	1
0	1	1
1	1	0
1	0	0
1	1	1
1	0	1
0	1	0

FIG. 14

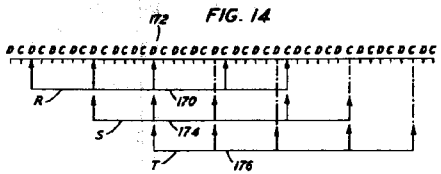
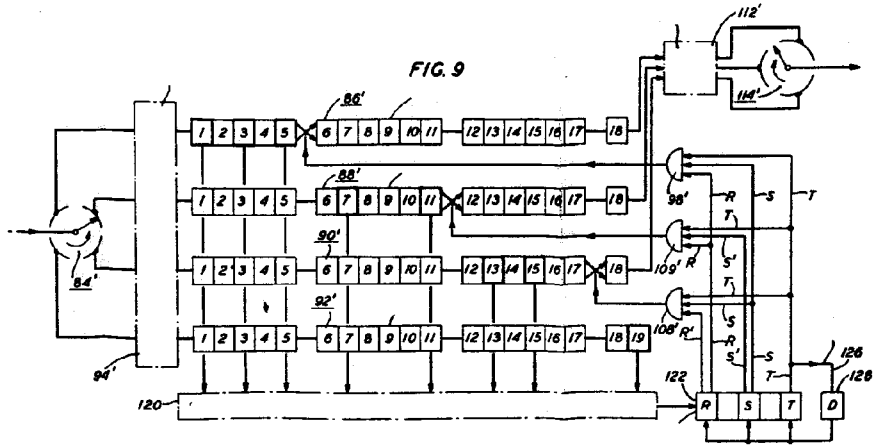


FIG. 9



243770

WESTERN ELECTRIC Co. Inc.

Nagelberger 5-6

FIG. 16

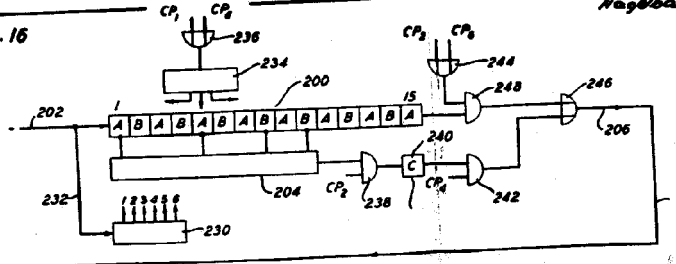
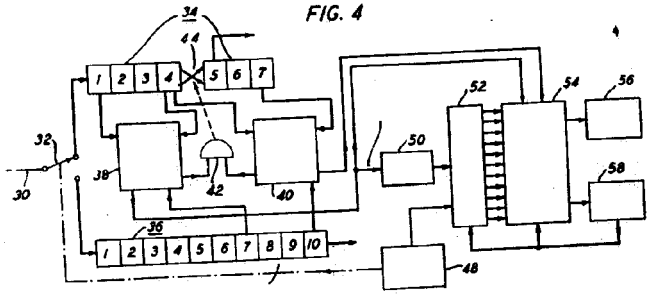


FIG. 4



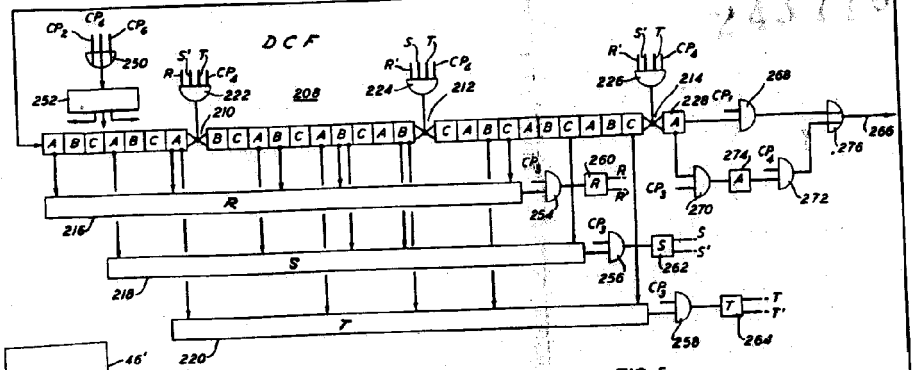


FIG. 3

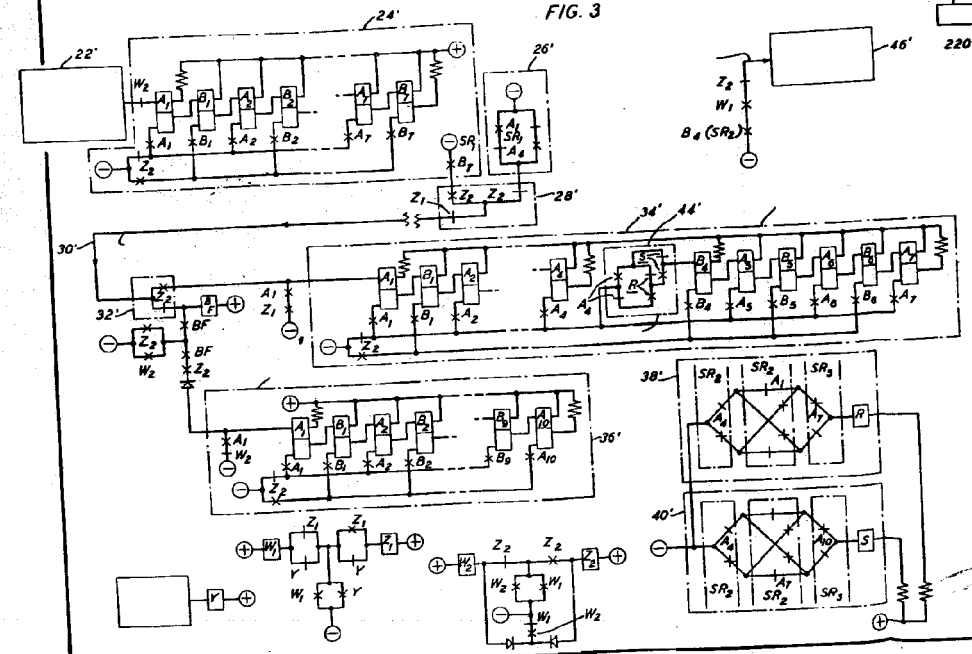
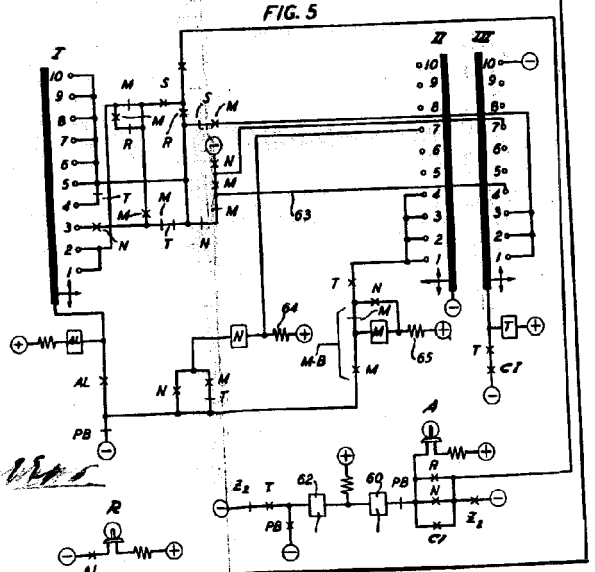


FIG. 5



WESTERN ELECTRIC Co. Inc.

3 HOJAS HOJA 1

Hagelberger 5-6

243770

FIG. 15A

	R	S	T	R	S	T	R	S	T
A	1	0	1	0	0	0	0	0	0
B	0	0	0	1	1	0	0	0	0
C	0	0	0	0	0	0	1	0	0

FIG. 15B

A	B	C	A	B	C	A	B	C	A	B	C	A	B	C	A	B	C	A	B	C
1	0	0	0	0	0	1	0	0	0	1	0	0	1	0	0	0	0	0	0	1

FIG. 15C

A	B	A	B	A	B	A	B	A	B	A	B	A	B
1	0	0	0	1	0	0	1	0	1	0	0	0	0

FIG. 17

P	1	2	3	4	5	6
E	←	A	→	←	B	→
D	-			-		
		-				
S		A		C		B

FIG. 18

P	4	5	6	1	2	3
E	C		B		A	
D	-		-		-	
	C	C	B	B	A	A
						-
	-					
S	A			B		

FIG. 11

SR86	1	0	1	0	1		0	0	0	0	0		0	0	0	0	0		0	0
SR88	0	0	0	0	0		0	1	0	0	1		0	0	0	0	0		0	0
SR90	0	0	0	0	0		0	0	0	0	0		0	1	0	1	0		0	0
SR92	0	0	0	0	0		0	0	0	0	0		0	0	0	0	0		0	1
SR86-92	1	0	1	0	1		0	1	0	0	0	1		0	1	0	1	0	0		0	1

FIG. 10

R	S	T	
0	0	0	
0	1	0	
1	0	0	
1	1	0	
1	1	1	
1	0	1	" " 88 " " " 11 & 12
0	1	1	" " 90 " " " 17 & 18
0	0	1	

FIG. 7

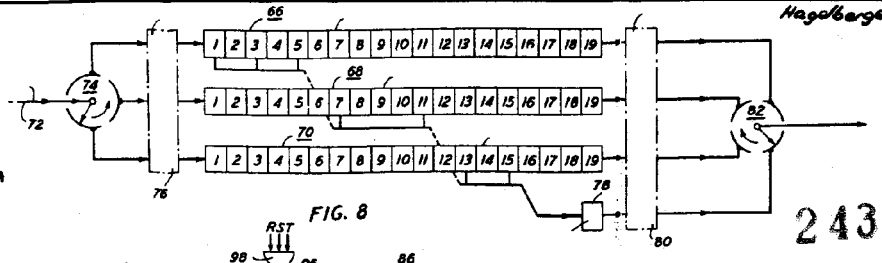


FIG. 8

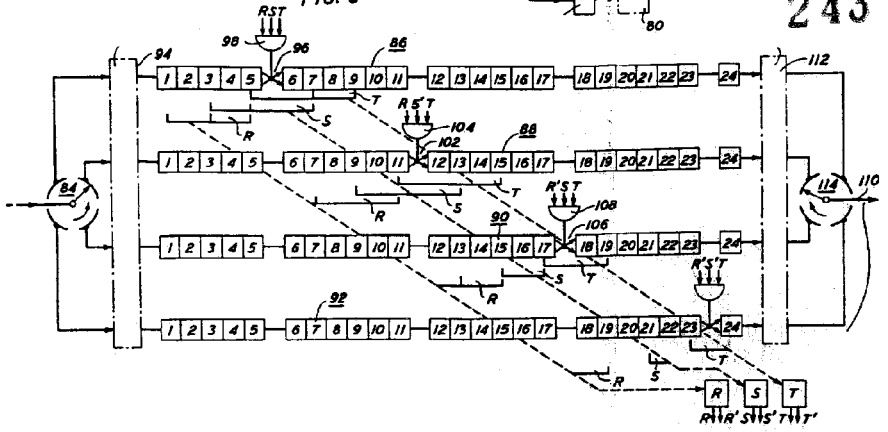


FIG. 1

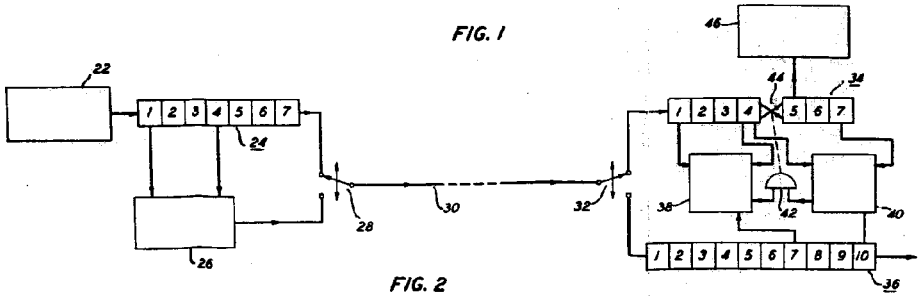


FIG. 2