

JE.

234911

-9 A



234911

P A T E N T E D E I N V E N C I O N

a favor de

WESTERN ELECTRIC COMPANY, INCORPORATED, de nacionali-  
dad norteamericana, domiciliada en NEW YORK (E. U.)  
195, Broadway,

por:

"Procedimiento y circuito eléctrico correspondiente,  
para comparar la magnitud relativa de dos números mul-  
tidígitos de clave binaria".

===== :: =====

M e m o r i a d e s c r i p t i v a .

Este invento se refiere a sistemas de compa-  
ración de señales eléctricas, y más concretamente a  
sistemas para comparar señales de clave binaria.

El invento se puede ejemplificar en su apli-



234911

5 cación práctica a sistemas que emplean claves binarias, es decir, a sistemas en los que un grupo de código o clave consiste en una secuencia numérica de cualquier número de "ceros" o "unos" en cualquier disposición permutativa. Por consiguiente, cualquier elemento individual de tal código consiste en un "0" ó "1". Estos elementos "0" y "1" pueden diferenciarse unos de otros, en disposiciones prácticas, por estados de corriente y sin corriente, de corriente positiva y corriente negativa, 10 o bien otros pares de estados adecuados.

Ya se conocen sistemas y métodos de comprobar la fidelidad de combinaciones o números de clave binaria recibidos o registrados. También se conocen en la especialidad, sistemas para cambiar de una forma de clave, como la clave binaria convencional, que se ajusta 15 a la escala binaria de notación, a otra forma de clave, como la clave binaria reflejada descrita en la patente norteamericana de F. Gray, nº 2.632.058, expedida en 17 de marzo de 1953. Sin embargo, la práctica anterior no expone medio alguno para comparar números binarios multídgitos a fin de obtener una indicación de sus magnitudes relativas. 20

El uso de combinaciones de clave binaria se ha extendido a la colocación de un haz de electrones de un aparato de rayo catódico para leer otra información binaria almacenada en varias formas en porciones discretas o determinadas de una superficie anticátodo tal como en el depósito de rejilla impermeable descrito en la 25 patente norteamericana de R.W. Sears, nº 2.675.499, expedida el 13 de abril de 1954, y en el depósito de punto móvil. Estos sistemas son de capacidad acumulativa li- 30

234911<sup>9</sup>



mitada por la cantidad de información que puede almacenarse en los límites de espacio fijados por la amplitud del haz de rayos catódicos. Hay que utilizar al máximo el espacio disponible, aproximando mucho las zonas discretas de depósito que contienen información, pero esta práctica agudiza el problema de colocar rápidamente y con exactitud el haz en una zona adecuada de la superficie de almacenaje, para asegurar la lectura de la debida información.

10 La solicitud de patente norteamericana de Davis y Staehler, presentada el 18 de octubre de 1955 con el nº de serie 541.195, describe un sistema de realimentación que reduce substancialmente la necesidad de elementos situadores complejos y embarazosos, y asegura que la posición adoptada por los elementos situadores se ajuste a la zona discreta de incidencia del haz, o, en otro caso, se detecte el error y se apliquen señales adecuadas de reposición a las placas de desviación del tubo de rayos catódicos, a fin de conseguir una posición correcta antes de la lectura. Este sistema emplea asimismo una corredera final de comprobación de mensajes además de correderas de posición inicial, para asegurar la colocación adecuada. Cada zona discreta de esta corredera contiene el complemento de un simple dígito binario, con el que concuerda en efecto el dígito correspondiente del mensaje de entrada. Una vez situado el haz en una zona de arranque o de mensaje, mediante las correderas situadoras coordinadas, la lectura comienza desviando el haz en una trama prefijada.

25 Una comparación cifra por cifra de los pocos dígitos

30

234911



5 primeros, desde la corredera final de comprobación de mensajes, con los correspondientes dígitos de la señal binaria de entrada, determinará si se lee efectivamente la información correcta, y, en otro caso, se toman medidas para reponer el haz en la adecuada posición de lectura.

10 En un esquema de reposición, el haz luminoso procedente de un tubo de rayos catódicos es modificado por un sistema óptico de modo que presente un haz plano o acintado a las correderas situadoras. Así se logra leer instantáneamente, desde las citadas correderas, números binarios enteros que representan los números binarios situadores coordinados, y se elimina la necesidad de emplear una corredera final de comprobación de mensajes, así como la demora consiguiente.

15 El sistema original de depósito de punto móvil requiere comparar uno por uno los dígitos de la información de entrada del mensaje y la información situadora de realimentación. El esquema de reposición exige comparar números binarios enteros con las señales resultantes que sirven para mover las placas de desviación del tubo de rayos catódicos, a fin de desviar el haz en una de dos direcciones, de acuerdo con las magnitudes relativas de los números aplicados. El presente invento se adapta bien para efectuar tal comparación y producir las señales resultantes que interesan.

20  
25  
30 Una comparación de números binarios conforme a este invento puede emplearse también con ventaja en sistemas de modulación de impulsos cifrados y en sistemas de posición que utilizan un tubo avisador de rayos catódicos para comprobar la colocación de un haz en un

234911



aparato de almacenaje u otro dispositivo de rayos catódicos.

Un objeto de este invento es proporcionar un sistema de comparación de números binarios.

5 Otro objeto de este invento es comparar dos números binarios del mismo orden, y proporcionar una de dos características de salida, dependiente del mayor de los números comparados.

10 Un tercer objeto de este invento es comparar dos números binarios de diferentes formas de código binario, a fin de proporcionar una de dos características dependientes del mayor de los números comparados.

15 Los objetos mencionados se consiguen, de conformidad con el invento, aplicando a la red comparativa de cada uno de los diversos dígitos un primer número binario en forma de una de dos señales eléctricas, y asignando a cada dígito una entrada distinta en una de varias fases de la red del comparador. Cada uno de los diversos dígitos de un segundo número binario que ha de compararse con el primero, se aplica a otra entrada en la misma fase, como dígito correspondiente en importancia al primer número. Así, el dígito más importante de cada número binario se aplica a una fase del comparador mediante conductores separados de entrada, y dígitos sucesivos de menos importancia se aplican a otras fases del mismo, de manera análoga. Las diversas fases están coordinadas en común a una sola salida del comparador, la cual, a su vez, proporciona una de dos señales, según el resultado de las comparaciones de números binarios.

20

25

30



234911

En una forma ilustrativa de este invento, cada fase del comparador comprende una serie de circuitos lógicos de la variedad AND y OR. Los circuitos lógicos AND se conocen de varios modos como portillos o circuitos de coincidencia, y se emplean generalmente en el funcionamiento de computadores. Por lo común, un circuito o portillo lógico AND es un circuito con varias entradas y una sola salida, y está trazado de manera que solo se obtiene una señal de salida, cuando se reciben simultáneamente señales de entrada en cada una de las entradas. Un circuito lógico OR, a veces denominado circuito amortiguador o aislante, es un circuito con varias entradas y una sola salida, y se traza de modo que produzca una señal de salida cuando se reciben señales en una o más entradas.

La disposición de esta forma ilustrativa de realización del invento es tal, que cada dígito de un número de código binario convencional se compara con el complemento de su contrapartida en otro número de clave binaria convencional, en circuitos distintos de comparación, que contienen un circuito o portillo lógico OR. Las salidas de los circuitos OR se aplican a un circuito final, que puede comprender un portillo lógico AND, y que, a su vez, aplica una señal en el circuito de salida, de otra característica, si cualquiera o todas sus entradas son del otro tipo de señales. Las salidas de los circuitos AND se aplican al circuito OR de la fase inmediata siguiente, es decir, a la fase que compara dígitos de la importancia menor sucesiva. El resultado final es la formación, en el circuito de salida, de una

234911-9 AB



5 señal distinta, que indica que uno de los números de entrada de clave binaria es igual o mayor que el otro número de entrada de clave binaria, o la formación de otra señal distinta que indica que el segundo número de entrada de clave binaria es el mayor.

10 Un primer número de clave binaria convencional es igual o mayor que un segundo número de clave binaria convencional, si la comparación del complemento del segundo número con el primero revela por lo menos un dígito "uno" para cada posición de dígito, con la excepción de que posiciones correspondientes de dígito no necesitan contener un dígito "uno" si al menos una posición correspondiente de dígito más importante en ambos números contiene un dígito "uno".

15 Por ejemplo, la comparación del número de clave binaria convencional 110 (6) con el primo 011 del número de clave binaria convencional 100 (4) revela al menos un dígito "uno" para cada posición de dígito. Así, el primer número es mayor que el último. El número 100  
20 (4), comparado con el complemento 100 del número 011 (3), revela un dígito "uno" en la posición de dígito más importante de cada número. No aparecen dígitos "uno" en ninguna otra posición de dígito, pero como una posición de dígito no necesita contener un "uno" si por lo menos  
25 una posición de dígito más importante indica un dígito "uno" en ambos números, el primer número es también mayor que el último.

30 Así, con objeto de obtener una indicación de la magnitud relativa de dos números de clave binaria convencional, se ha comprobado que basta determinar si al

234911<sup>9</sup> ABR



5 menos uno de los dígitos en cada posición de dígito correspondiente de los dos números es "uno", y, en caso contrario, si hay un "uno" en ambas posiciones de dígito de una posición correspondiente de dígito de mayor importancia. Una respuesta afirmativa a una de ambas preguntas o a las dos, o una respuesta negativa a las dos, determina las magnitudes relativas de los dos números.

10 El circuito comparativo de este ejemplo, proporciona esta determinación. El circuito OR en el circuito de comparación distinto asociado con cada par correspondiente de dígitos de una importancia, recibe ambas señales de dígito. Si existe un dígito "uno", el circuito OR lo indicará así al circuito final. Una respuesta afirmativa a la primera pregunta requiere una indicación de la presencia de un "uno" al circuito final por  
15 parte del circuito OR o de cada circuito comparativo distinto.

20 El circuito AND de cada circuito comparativo distinto sirve para contestar a la segunda pregunta. La presencia de una señal de dígito "uno" en cada uno de sus conductores de entrada conectado a los correspondientes dígitos de una importancia, da por resultado una señal de entrada que exige de los circuitos OR, en circuitos comparativos de dígitos de menos importancia, una  
25 indicación de la presencia de un "uno" al circuito final, haya ó no un "uno" en los dígitos menos importantes. De este modo, todos los circuitos OR pueden comunicar asimismo una indicación de la presencia de un "uno" al circuito final, respondiendo así afirmativamente a la  
30 gunda pregunta.

234311



De este modo, una indicación de un "uno" al  
circuito final por parte de todos los circuitos OR, se  
traduce en una señal de salida que indica que un número  
de entrada es igual o mayor que otro número de entrada.  
5 La falta de tal indicación de un "uno" por parte de un  
circuito OR por lo menos, da por resultado una señal  
de salida que indica que el último número es mayor que  
el primero.

En otro ejemplo de realización de este inven-  
10 to, se emplea un circuito lógico adicional/en cada fase,  
además del destinado al dígito más importante, y este  
circuito lógico adicional permite obtener los resulta-  
dos perseguidos al comparar un número de clave binaria  
convencional con un número de clave binaria reflejada.

15 Una característica de este invento consiste  
en que se aplican señales representativas de dos números  
de clave binaria a una serie de circuitos lógicos, y en  
una salida común se deriva una señal seleccionada de  
dos señales posibles, la cual indica el mayor de dos  
20 números de clave binaria.

Otra característica más específica de este  
invento consiste en que señales que representan dígitos  
correspondientes de dos números de clave binaria que  
han de compararse, se aplican a circuitos lógicos de en-  
25 trada, y una señal seleccionada de dos señales posibles,  
indicativa del mayor de dos números de clave binaria,  
se deriva en un circuito lógico común conectado a las  
salidas de los diversos circuitos lógicos de entrada.

Es característico de una forma de realiza-  
30 ción específica de este invento que los diversos cir-



234911

cuitos lógicos de entrada comprenden una disposición paralela de circuitos AND y OR, y el circuito lógico común comprende un circuito lógico AND.

5 Una característica más específica de este invento consiste en que circuitos OR primeros se conectan en paralelo con circuitos AND primeros; que a las entradas paralelas de cada par de dichos circuitos se aplican señales que representan dígitos de importancia correspondiente en cada uno de dos números binarios; que las  
10 salidas de los circuitos OR primeros se aplican a un circuito final AND, y que la salida del circuito AND primero de cada circuito conectado en paralelo, se aplica al circuito OR que recibe señales para dígitos de la importancia menor inmediata.

15 Otra característica de este invento es que el circuito AND final se dispone de modo que proporcione una señal distintiva en su línea de salida si todas las señales de entrada que llegan allí son de una escala de valores, y de una señal distintiva diferente en su línea  
20 de salida si una o más de las señales de entrada que van allí cae dentro de otra escala de valores.

Una característica de otra forma específica de realización de este invento consiste en que un dígito de importancia determinada en un número binario se  
25 aplica a una entrada de un circuito lógico, y un dígito de menor importancia en el segundo número binario se aplica a una segunda entrada al circuito lógico; y la salida del circuito lógico se aplica a los circuitos paralelos AND y OR en lugar de la señal de dígito del número binario para el segundo número binario.  
30

34911



Pueden comprenderse bien este invento y las características indicadas u otras, examinando la siguiente descripción detallada y los planos adjuntos, en los cuales representan;

5 La figura 1, un esquema de una forma específica de realización de este invento;

La figura 2, un esquema simplificado de circuito de parte de la forma de realización expuesta en la figura 1.

10 La figura 3, un esquema de otro ejemplo específico de realización de este invento, y

La figura 4, un esquema de parte del ejemplo de realización representado en la figura 3.

15 En los planos, la figura 1 expone un ejemplo ilustrativo de este invento, que comprende una disposición de circuitos lógicos para comparar el número de código binario convencional  $a_1 a_2 a_3 \dots a_n$  con el número de código binario convencional  $b_1 b_2 b_3 \dots b_n$ . El dígito más importante  $a_1$  de uno de los dos números se aplica por  
20 selección entre dos niveles discretos de tensión en el conductor de entrada 101 del circuito lógico OR 100, y en el conductor de entrada 111 del circuito lógico AND 110. De manera análoga, la señal representativa del inverso o primo ( $b'_1$ ) del dígito más importante  $b_1$  del segundo número se aplica a la entrada 102 del circuito OR  
25 100 y a la entrada 112 del circuito AND 110. Los dos niveles discretos de tensión de entrada representan los dígitos binarios "uno" y "cero", y la explicación que sigue aludirá al estado del circuito en virtud de la presencia de un "uno" o un "cero".  
30

234911



El circuito OR 100 proporcionará una salida "uno" siempre que haya una entrada "uno" en el conductor 101 o en el conductor 102. El circuito AND 110 proporcionará una salida "uno" solo cuando haya un "uno" en  
5 ambos conductores de entrada 111 y 112. Así, si ambos dígitos  $a_1$  y  $b'_1$  son "unos", los circuitos 100 y 110 proporcionarán "unos" de sus respectivos conductores de salida 103 y 113. Si solo uno de los dígitos de entrada es "uno", el conductor 103 indicará una salida "uno",  
10 y el conductor 113 indicará una salida "cero". Si ambos dígitos de salida son "ceros", ambos conductores 103 y 113 indicarán una salida "cero".

Dígitos sucesivos correspondientes de cada número se aplican a disposiciones similares de circuitos  
15 de comparación de circuitos lógicos AND y OR, en orden de importancia decreciente. Los resultantes son los mismos obtenidos en los circuitos 100 y 110, con el resultante adicional de una salida "uno" del circuito OR de cada circuito de comparación, como el 120, si un par  
20 correspondiente de dígitos recibidos en un circuito de comparación, de dígitos más importantes son ambos "unos". Es decir, si  $a_1$  y  $b'_1$  son "unos", la salida del circuito AND 110 reflejará un "uno", que sirve para determinar una salida "uno" procedente del circuito OR 120, del  
25 circuito OR 140 y de circuitos OR de circuitos sucesivos de comparación, incluido el circuito OR final 150, que evalúa los dígitos menos importantes  $a_n$  y  $b'_n$ .

El circuito final proporcionará una señal en su conductor de salida 161 si todas sus entradas, por  
30 conductores que comprenden los numerados 103, 124 y 154

234911<sup>9</sup> AB



son "unos", y una segunda señal si uno o varios de los conductores de entrada contienen un "cero". El resultado es que si uno de los números es igual o mayor que el inverso o primo del segundo número, la salida será una de las señales primera y segunda, y si el primer número es menor que el primo del segundo número, la salida será la otra señal.

Para demostrar estos resultados, supongamos primero que el primer número de clave binaria convencional  $a_1 a_2 \dots a_n$  es 110, y que el segundo número de clave binaria convencional es  $b_1 b_2 \dots b_n$  es también 110. El primer número 110, y el inverso o primo 011 del segundo número se aplican a los respectivos conductores de entrada  $a_1, a_2, a_n$  y  $b'_1, b'_2, b'_n$ . Como cada par de dígitos de importancia correspondiente en los números 110 y 001 presentan un "uno" a cada uno de los circuitos OR 100, 120 ... 150, todas las entradas al circuito final AND 160 contienen "unos", y la salida en el conductor 161 asume uno de dos estados de señales, para indicar que  $a_1 a_2 a_n$  es igual o mayor que  $b_1 b_2 b_n$ .

Supóngase ahora que se cambia el primer número 111, que es mayor que el segundo número 110. Cada par de dígitos de importancia correspondiente en el primer número 111, y el primo (011) del segundo número 110 presentan asimismo un "uno" a cada uno de los circuitos OR 100, 120 ... 150, de modo que todas las entradas al circuito AND final contienen "unos", y la salida en el conductor 161 no cambia, lo cual indica que  $a_1 a_2 a_n$  sigue siendo igual o mayor que  $b_1 b_2 b_n$ .

Supóngase igualmente que el segundo número

234911



5  $b_1 b_2 b_n$  continúa siendo 110, y que el primero  $a_1 a_2 a_n$  se  
convierte en 100, que es menor que el segundo número. En  
este caso, el número 100 se aplica a los conductores  
 $a_1 a_2 a_n$ , y el primo del número 110, o sea 001, se aplica  
a los conductores  $b'_1 b'_2 b'_n$ . Entonces, como  $a_1$  y  $b'_1$   
contienen un "uno" y un "cero", respectivamente, el cir-  
cuito OR 100 proporciona una salida "uno" al conductor  
103, y el circuito AND 110 da una salida "cero" al con-  
ductor 113. Los dígitos  $a_2$  y  $b'_2$  son ceros, de modo que  
10 el circuito OR 120 deja de recibir un "uno" en cualquiera  
de sus tres conductores de entrada, y proporciona un "ce-  
ro" a su conductor de salida 124. El circuito AND final  
160, que recibe un "cero" en uno de sus conductores de  
entrada, proporciona la segunda señal distintiva a su  
15 conductor de salida 121, para indicar que  $a_1 a_2 a_n$  es me-  
nor que  $b_1 b_2 b_n$ .

Admitase, por último, que el primer número  
 $a_1 a_2 a_n$  se cambia por 011, que también es menor que el  
segundo número 110. Los dígitos del primer número 011  
20 se aplican respectivamente a las entradas  $a_1$ ,  $a_2$  y  $a_n$  en  
la figura 1, y el primo (001) de los dígitos del segundo  
número 110 se aplican a las entradas  $b'_1$ ,  $b'_2$  y  $b'_n$ . Co-  
mo el dígito más importante de cada número aplicado es  
"cero", se aprecia al punto que el circuito OR 110 pro-  
25 porciona una salida "cero", y el circuito AND final 160,  
que tiene por lo menos un "cero" en sus entradas, pro-  
porciona la segunda señal distintiva en su conductor de  
salida 161, para indicar asimismo que  $a_1 a_2 a_n$  es menor  
que  $b_1 b_2 b_n$ .

30 Las siguientes tablas demuestran asimismo es-



234911

tos resultados. La tabla I expone las comparaciones de todas las combinaciones posibles de dos números de tres dígitos  $a_1 a_2 a_3$  y  $b'_1 b'_2 b'_3$ , que, para facilitar la comprensión, se han sumado aritméticamente cifra por cifra.

5 Se han empleado solo números de tres cifras para simplificar la tabla, pero se apreciará que no hay límites para el número de dígitos en los números convencionales de clave binaria que pueden compararse de conformidad con esta forma de realización del invento.

10

Tabla I

	Nº	7	6	5	4	3	2	1	0	
	$a_1 a_2 a_3$	111	110	101	100	011	010	001	000	
	Nº	$b'_1 b'_2 b'_3$								
	7	111	222	221	212	211	122	121	112	<u>111</u>
15	6	110	221	220	211	210	121	120	<u>111</u>	110
	5	101	121	211	202	201	112	<u>111</u>	102	101
	4	100	211	210	201	200	<u>111</u>	110	101	100
	3	011	122	121	112	<u>111</u>	022	021	012	011
	2	010	121	120	<u>111</u>	110	021	020	011	010
20	1	001	112	<u>111</u>	102	101	012	011	002	001
	0	000	<u>111</u>	110	101	100	011	010	001	000

Se apreciará por esta tabla I que en la diagonal las sumas son todas 111. Todas las sumas por encima de la diagonal contienen "ceros" solo cuando van precedidas de un "dos", es decir, dos "unos" en la misma posición de las cifras, y todas las sumas por debajo de la diagonal contienen por lo menos un "cero", nunca precedidos de un "dos". Hemos demostrado, al referirnos a la figura 1, que la presencia de un "cero" en cualquiera de los conductores de entrada al circuito final 160 pro-

30



234911

ducirá una señal de salida, mientras que la ausencia de un "cero" por lo menos, producirá una señal de salida diferente.

5 Así, en la tabla I, la presencia de un "cero" en un resultante de comparación tenderá a producir la primera señal de salida, y la ausencia de un "cero", la segunda señal. Un "dos" en la tabla I indica el funcionamiento de uno de los distintos circuitos de comparación AND de la figura 1, puesto que refleja la presencia

10 de un "uno" en cada entrada del circuito AND. Sirve para asegurar que los circuitos que comparan dígitos de menor importancia presentan "unos" en las entradas al circuito final 160. Así, un "dos" en la tabla I sirve para cambiar todos los dígitos sucesivos en "unos", como

15 indica la tabla II.

TABLA II

No		7	6	5	4	3	2	1	0	
$a_1 a_2 a_3$		111	110	101	100	011	010	001	000	
No										
$b_1 b_2 b_3$										
20	7	111	222	221	212	211	122	121	112	<u>111</u>
	6	110	221	221	211	211	121	121	<u>111</u>	110
	5	101	121	211	212	211	112	<u>111</u>	102	101
	4	100	211	211	211	211	<u>111</u>	110	101	100
	3	011	122	121	112	<u>111</u>	022	021	012	011
25	2	010	121	121	<u>111</u>	110	021	021	011	010
	1	001	112	<u>111</u>	102	101	012	011	002	001
	0	000	<u>111</u>	110	101	100	011	010	001	000

Se apreciará por la tabla II que todos los dígitos por debajo de la diagonal, y solo ellos, compren



234911 APR 5 1954

den "ceros". Es decir, que únicamente los números de  
debajo de la diagonal producirán la primera señal de sa-  
lida del circuito AND final 160 de la figura 1; todos  
los demás números producirán la segunda señal de salida  
5 del circuito AND final 160. Continuando el examen de  
la tabla II, se verá que, para todos los números de com-  
paración de debajo de la diagonal, el primer sumando  
 $a_1 a_2 a_3$  es menor que el inverso  $b_1 b_2 b_3$  del segundo suman-  
do  $b'_1 b'_2 b'_3$ , y produce la primera señal de salida. Para  
10 todos los números situados en la diagonal, el primer su-  
mando es igual al inverso del segundo, y se produce la  
segunda señal de salida, Para todos los números de en-  
cima de la diagonal, el primer sumando es mayor que el  
inverso del segundo, y se produce igualmente la segunda  
15 señal de salida.

El invento se adapta a servosistemas que re-  
quieran una colocación rápida y exacta, como en un sis-  
tema de situación de haces en aparatos de rayos catódi-  
cos. Uno de los números de entrada al comparador puede  
20 representar el mensaje situado del haz de entrada al tu-  
bo de rayos catódicos. Puede insertarse una placa co-  
dificadora en el trayecto del haz de electrones, al que  
se ha dado forma acantada, y las señales resultantes en  
placas captadoras colocadas detrás de la placa codifi-  
25 cadora representan un número binario que se suministra  
a la otra entrada del comparador. La placa codifica-  
dora se dispone de modo que se logre una colocación co-  
rrecta cuando el complemento del número del mensaje de  
entrada se reciba en el comparador desde las placas cap-  
30 tadoras. La recepción de cualquier otro número desde

39



234011

estas placas producirá una u otra de las señales de salida del comparador, que sirve para mover las placas de desviación del tubo de rayos catódicos a fin de elevar o bajar la posición del haz, hasta colocarlo debidamente. Así, por la tabla II se ve que si el número  $b_1 b_2 b_3$  es el de mensaje en la posición inicial del haz y  $a_1 a_2 a_3$  es el de salida de las placas captadoras, cualquier resultante por debajo de las posiciones lll producirá una señal de salida que sirve para mover hacia arriba, mientras que cualquier resultante por encima de lll producirá una señal de salida que sirve para mover hacia abajo, a la posición lll de igualdad.

La figura 2 ilustra una de las muchas posibles disposiciones de circuito para poner en funcionamiento el ejemplo de este invento representado en la figura 1. En este caso, para fines de ilustración, una tensión negativa en la entrada indica un "uno", y una tensión cero o nula en la entrada indica un "cero". Un potencial negativo "uno" en cualquier de las dos rejillas de mando del circuito OR pentodo 100, desde las entradas  $a_1$  y  $b_1$ , polariza el tubo por debajo del límite. Una reacción similar se produce al aplicar "unos" en las salidas  $a_2$ ,  $a_n$  y  $b_2$ ,  $b_n$ . Si están desconectados todos los circuitos OR pentodos 100, 120 y 150, no circula corriente por sus respectivos circuitos anódicos, y el potencial del cátodo del circuito AND final triodo 160 aumenta para desconectar ese tubo y elevar así el potencial en el circuito 161 de salida.

Con "unos" en ambas entradas  $a_1$  y  $b_1$ , el circuito AND doble triodo 110 tendrá potenciales negativos

234911<sup>9</sup> AB



5 en ambas rejillas, suficientes para desconectar ambos tubos, y se desarrollará una pulsación positiva a través del condensador 115. Esta pulsación, por los conductores 113 y 121, hará que el triodo de acoplamiento catódico 122 conduzca más carga, con lo que el cátodo del circuito OR pentodo 120 se hará más negativo. El tubo 120 se desconecta, produciendo así el mismo efecto que la entrada de un dígito "uno" negativo al mismo desde  $a_2$  o  $b'_2$ .

10 La pulsación positiva en el conductor 112 pasa también por un diodo del circuito OR 140, para realizar la función antes descrita en los circuitos para dígitos de orden inferior; así, la formación de tal pulsación positiva mediante desconexión de uno de los circuitos AND doble triodo sirve para desconectar todos los circuitos OR pentodos sucesivos.

15 De este modo, con uno o varios de los circuitos OR pentodos 100, 120 ... 150 en actividad, el circuito AND final 160 lo está también, y la tensión en el conductor de salida 161 se mantiene baja. Con todos los circuitos OR pentodos desconectados, se desconecta el

20 circuito AND final 160, y la tensión en el conductor de salida 161 adquiere un valor más alto.

25 El ejemplo ilustrativo descrito antes supone que ambos números de salida están en la clave convencional binaria. El que se describe a continuación demuestra la flexibilidad de este invento, por la incorporación de una variante de circuito para poder comparar un número convencional de clave binaria con un número reflejado de clave binaria.

30 Como se expone en la figura 3, los elementos

234911



lógicos requeridos son idénticos a los representados en la figura 1 para comparación de clave binaria convencional, con la adición de un elemento lógico a cada trayecto de dígito, elemento que se describe como un circuito OR exclusivo y designado con las letras OR,EXCL. Así, los circuitos OR 300, 320, 340 ... 350 y 360 corresponden a los circuitos OR 100, 120 ... 150 de la figura 1; los circuitos OR 336, 346 ... 356 corresponden a los circuitos OR 140 ... de la figura 1; los circuitos AND 310, 335, 345 ... 355 corresponden a los circuitos AND 110, 130 ... 150 de la figura 1; y el circuito AND final 370 corresponde al circuito AND final 160 de la figura 1. Además, como los circuitos OR exclusivos de la figura 3 requieren la variable de entrada y el primo de la variable de entrada del número de clave binaria convencional, se ha representado la variable de entrada aplicada al conductor de entrada, un circuito inversor 317, 327, 347 ... 357, 367 conectado en los conductores de entrada a los circuitos OR, y un segundo grupo de inversores 328, 248 ... 358, 368 conectados desde los conductores de entrada a los circuitos OR exclusivos del dígito de importancia inferior inmediata. Al terminar la operación realizada por el circuito OR exclusivo, la función del comparador es esencialmente la misma del comparador de la figura 1. Así, la siguiente exposición se dedica en primer término a la teoría y el funcionamiento del circuito OR exclusivo.

Se da por supuesto que el número de entrada  $c_1c_2...c_n$ , en la figura 3, es de clave binaria convencional, mientras que el número de entrada  $d_1d_2...d_n$  está



en clave binaria reflejada. Por obra de los inversores 312, 327, etc., es el primo del número  $c_1c_2\dots c_n$  el que se aplica a los circuitos OR y AND, mientras que la salida del circuito OR exclusivo es un número ficticio  $e_1e_2\dots e_n$ , del que se trata más adelante, y que se aplica también directamente a los circuitos OR y AND. La señal de salida del circuito final 370 en el conductor 371 es el valor elegido entre dos valores, atendiendo a la presencia de "unos" en todos los conductores de entrada del circuito final 370. Un "cero" en cualquier conductor de entrada determina el otro valor de salida. Así, el objetivo se logra presentando a los circuitos OR y AND del circuito de comparación distinto el equivalente de dos números de clave binaria convencional para su comparación.

Los circuitos OR exclusivos de la figura 3 satisfacen este requisito. Dejando sin variar el dígito más importante el número de entrada de código binario reflejado  $d_1d_2\dots d_n$ , y transformando cualquier dígito menos importante, si el dígito de importancia inferior inmediata en el número de clave binaria convencional es un "uno", el número arbitrario resultante  $e_1e_2\dots e_n$  ocupa efectivamente el lugar de un número binario convencional en la comparación subsiguiente. La comparación de este número resultante  $e_1e_2\dots e_n$  con el inverso o primo  $c'_1c'_2\dots c'_n$  del número de entrada de clave binaria convencional  $c_1c_2\dots c_n$  en el resto del circuito, de acuerdo con el funcionamiento del circuito en la figura 1, proporciona los resultados perseguidos.

La tabla III indica los resultados conseguidos por el circuito OR exclusivo comparando un número de en-

234911 = 9 A 5



trada de clave binaria reflejada, de tres dígitos  $d_1 d_2 d_3$ , con un número de clave binaria convencional  $c_1 c_2 c_3$ , para obtener el número arbitrario  $e_1 e_2 e_3$ . El procedimiento se puede extender a cualquier número de dígitos, aumentando el número de circuitos paralelos en la figura 3.

5

TABLA III

		Nº	0	1	2	3	4	5	6	7
		$c_1 c_2 c_3$	000	001	010	011	100	101	110	111
		Nº	$d_1 d_2 d_3$							
10	0	000	000	000	001	001	010	010	011	011
	1	001	001	001	000	000	011	011	010	010
	2	011	011	011	010	010	001	001	000	000
	3	010	010	010	011	011	000	000	001	001
15	4	110	110	110	111	111	100	100	101	101
	5	111	111	111	110	110	101	101	100	100
	6	101	101	101	100	100	111	111	110	110
	7	100	100	100	101	101	110	110	111	111

La tabla IV indica los números resultantes  $f_1 f_2 f_3$  obtenidos comparando cualquier número resultante  $e_1 e_2 e_3$  de la tabla III con el primo  $c'_1 c'_2 c'_3$  del número de entrada de clave binaria convencional  $c_1 c_2 c_3$  en el resto del circuito, y recordando que un "dos" en el resultado cambia un "cero" de un dígito de menor importancia en un "uno".

20



234911

TABLA IV

Nº		0	1	2	3	4	5	6	7	
	$c_1c_2c_3$	000	001	010	011	100	101	110	111	
	$c'_1c'_2c'_3$	111	110	101	100	011	010	001	000	
Nº	$d_1d_2d_3$									
5	0	000	<u>111</u>	110	102	101	021	021	012	011
	1	001	112	<u>111</u>	101	100	022	021	011	010
	2	011	122	121	<u>111</u>	110	012	011	001	000
	3	010	121	121	112	<u>111</u>	011	010	002	001
	4	110	221	221	212	211	<u>111</u>	110	102	101
10	5	111	222	221	211	211	112	<u>111</u>	101	100
	6	101	212	211	211	211	122	121	<u>111</u>	110
	7	100	211	211	212	211	121	121	112	<u>111</u>

La columna de debajo del número  $c_1c_2c_3$ , 010, en la tabla IV, por ejemplo, se obtuvo sumando aritméticamente, cifra por cifra, el complemento  $c'_1c'_2c'_3$  de 010, o sea 101, a cada uno de los números resultantes  $e_1e_2e_3$  en la columna de debajo de 010 en la tabla III, y cambiando en "unos" los "ceros" precedidos de "doses", como se indica en la tabla V.

20

TABLA V

$e_1e_2e_3$	+	$c_1c_2c_3$	=	$f_1f_2f_3$
001	+	101	=	102
000	+	101	=	101
010	+	101	=	111
011	+	101	=	112
111	+	101	=	212
110	+	101	=	211
100	+	101	=	201 = 211
101	+	101	=	202 = 212

25

234011

9 AB



5 La tabla IV indica que el número de entrada de clave binaria convencional  $c_1c_2c_3$  es mayor que el número de entrada de clave binaria reflejada  $d_1d_2d_3$ , cuando el número resultante  $f_1f_2f_3$  contiene un "cero". La ausencia de un "cero" en el número resultante  $f_1f_2f_3$  indica que el número de clave binaria convencional  $c_1c_2c_3$  es igual o menor que el número de clave binaria reflejada  $d_1d_2d_3$ .

10 El circuito de la figura 3 realiza esta comparación suministrando una señal de salida cuando hay un "cero" en cualquier conductor de entrada al circuito AND de salida 370, y una segunda señal de salida cuando no hay "cero" en ninguno de los citados conductores de entrada.

15 Los circuitos OR exclusivos de la figura 3 comparan un dígito del número de clave binaria reflejada con el dígito de importancia superior inmediata del número de clave binaria convencional. Si este último dígito es un "cero", la salida es la misma del dígito anterior; si el  
 20 último dígito es un "uno", la salida es la opuesta al primer dígito.

En la figura 4 se expone un ejemplo de circuito para obtener estos resultados. También se representa el resto de los elementos lógicos para completar  
 25 una comparación de dígitos. El dígito de clave binaria reflejada  $d_2$  se aplica al circuito OR exclusivo 330 a la vez que el dígito de importancia superior inmediata del número de clave binaria convencional  $c_1$  y su primo  $c'_1$ . Para las fines de este ejemplo, una señal de dígito "uno"  
 30 en una entrada es un potencial negativo, y una señal de



dígito "cero" es un potencial de tierra o positivo. Los potenciales en el conductor  $c_1$  serán naturalmente los opuestos de los del conductor  $c'_1$ , para formar el primo del dígito  $c_1$ . Los tubos pentodos 402 y 403 del circuito OR exclusivo 330 tienen conexiones comunes entre los ánodos y entre los cátodos. La rejilla común de pantalla está situada a un elevado potencial positivo. Ambas válvulas conducen normalmente. La señal de entrada del dígito  $c_1$  se aplica a la rejilla 406 del tubo 402, y su primo  $c'_1$ , a la rejilla 407 del tubo 403.

Supóngase primero que  $c_1$  y  $d_2$  son señales de dígito "uno" con potencial negativo. La rejilla de mando de la válvula 402 tiene impresa la señal  $d_2$ , que es suficientemente negativa con relación al cátodo en este caso para desconectar el tubo. Con el tubo 402 desconectado, el cátodo de la válvula 403 se hace suficientemente negativo para iniciar la conducción en ella, y la señal  $c'_1$ , que es positiva en este caso, aumenta más el flujo en el circuito de ánodo, reduciendo así el potencial del conductor 405 que se imprime en la rejilla del acoplamiento de cátodo 410. Disminuye el flujo a través del tubo 410, lo mismo que el potencial en el conductor 323. El bajo potencial en el conductor 323 representa un "cero", mientras que un potencial más alto en este conductor representa un "uno". Así, en este ejemplo, la señal de dígito "uno" en  $c_1$  sirvió efectivamente para invertir a "cero" la señal de dígito "uno" en  $d_2$ .

Suponiendo luego que  $c_1$  transporta una señal positiva "cero", y  $d_2$  una señal negativa "uno", está desconectado también el tubo 402 y ha comenzado el flujo

234911



5 en el tubo 403. La rejilla 407 de la válvula 403, abas-  
tecida por  $c_1$ , es negativa en este caso, de modo que  
la corriente de electrones se dirige a la rejilla de  
pantalla positiva más bien que al ánodo. Sin circula-  
ción de corriente en el circuito anódico, el potencial  
en el conductor 405 aumenta, como lo hace en el conduc-  
tor 323, por la acción del acoplamiento de cátodo 410.  
El potencial relativo más alto en este conductor repre-  
senta un "uno"; así, en este caso, la presencia de la  
10 señal de dígito "cero" en  $c_1$  mantiene efectivamente la  
señal de dígito "uno" en  $d_2$ .

15 Si  $d_2$  transporta un potencial "cero" positi-  
vo, la acción de las válvulas 402 y 403 se invierte; es  
decir, la válvula 402 conduce al ánodo o a la pantalla,  
según el estado "cero" o "uno" del conductor  $c_1$ , y la  
válvula 403 se orienta más allá del límite, a causa de  
un potencial negativo menor en el cátodo cuando el tubo  
406 conduce. Por consiguiente, una señal de dígito "uno"  
20 en el conductor  $c_1$  dirige el flujo de electrones a la  
rejilla de pantalla de la válvula 406, de modo que au-  
menta la tensión en el conductor -323-. Esta acción,  
en efecto, cambia la señal de dígito "cero" desde el  
conductor  $d_2$  a un "uno" en el conductor 323. Un "cero"  
25 en  $c_1$  aumenta el flujo de corriente a través de la vál-  
vula 406, reduce el potencial en el conductor 323, y  
mantiene así el "cero" procedente de  $d_2$  en el conductor  
323.

30 El circuito OR 320 en la figura 4 comprende  
tres diodos, cada uno de los cuales conducirá al recibir  
una señal  $e_2$  positiva por el conductor 323; por el con-

234911



5        ductor 322 que lleva la señal  $c_2$  a través del acoplamiento de cátodo 415, y, en efecto, proporciona al circuito OR 320 el primo de  $c_2$ ; o por el conductor 321, que lleva la salida del circuito AND 310 precedente. Si el circuito OR 320 conduce, estará desconectado el diodo del circuito AND final 370 acoplado a aquél. Con todos los diodos del circuito AND final 370 desconectados, se suministra una señal de salida "uno" al conductor 371, mayor que la señal de salida "cero" en el conductor 371, cuando conducen uno o más de los diodos del circuito AND final 370.

15        El circuito AND 335 comprende dos diodos, que mantienen la rejilla del acoplamiento catódico 416 a un potencial bajo hasta que se desconectan ambos diodos por potenciales positivos de dígito "uno". Un potencial positivo en el conductor 413 representa el dígito  $e_2$  equivalente a un "uno"; un potencial positivo en el conductor 414 representa el dígito  $c_2$  "cero", pero sirve para activar un diodo del circuito AND 335 de un modo equivalente al esperado de un dígito "uno", de suerte que es efectivamente el inverso o primo del dígito "cero". De este modo se aumenta el potencial en la rejilla de la válvula 416, lo cual aumenta a su vez la conducción a través de la misma, y eleva el potencial en el conductor 20        418 para pasar una señal "uno" a los siguientes circuitos de comparación de dígitos. Asimismo, una señal "uno" positiva que llega del circuito precedente de comparación de dígitos por el conductor 425 eleva el potencial de rejilla de acoplamiento de cátodo del circuito OR, 25        aumentando así el potencial en el conductor 418 para 30        presentar una señal "uno" a circuitos sucesivos. Un



234911

efecto similar produce en el acoplamiento de cátodo 421, para proporcionar una señal "uno" al circuito OR 320, por el conductor 323.

5 Debe entenderse que las disposiciones aqui descritas ilustran la aplicación de los principios del invento, y que los entendidos en la materia pueden idear otras muchas sin apartarse del espíritu y alcance del invento.

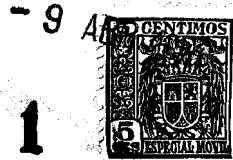
N O T A



10 Se reivindica como objeto de esta patente:

1) Procedimiento para comparar la magnitud relativa de dos números multidígitos de clave binaria, en el que los valores dígitos están representados por una de dos señales posibles; caracterizado porque se transmiten señales eléctricas representativas de los dígitos del primer número de clave binaria a aparatos comparadores, en forma paralela, y señales eléctricas representativas de los dígitos del segundo número de clave binaria a los mismos comparadores en forma paralela; se compara cada señal de dígito del primer número de clave binaria con la correspondiente señal de dígito del segundo número de clave binaria, para producir un estado de salida elegido entre dos, para cada comparación de señales de dígito; y se forma una señal de salida final, elegida entre dos, que depende de dichas señales de salida, y que indica el mayor de los dos números de entrada de código binario.

2) Procedimiento según la reivindicación 1, caracterizado porque los dos números binarios multidígitos están en clave binaria convencional, en la que los



valores dígitos se hallan representados por señales de "unos" o de "ceros", y cada comparador da una señal "uno" si la comparación del complemento de las señales de dígito del segundo número con las señales de dígito del primer número revela por lo menos una señal "uno" para cada posición de dígito, o si revela que, por lo menos, una posición correspondiente de dígito más importante en ambos números binarios contiene una señal "uno", y las señales "uno" procedentes de todos los comparadores, indican que el primer número binario es mayor que el segundo número binario.

3) Procedimiento según la reivindicación 2, caracterizado porque cada comparador suma señales que representan un dígito del primer número binario y el complemento de un dígito correspondiente del segundo número binario, y convierte, en el resultante, en señales "uno" todas las señales "cero" precedidas de señales "dos", por lo menos en una posición correspondiente de dígito más importante, y porque las señales "uno" de todos los comparadores indican que el primer número binario es mayor que el segundo número binario.

4) Procedimiento según la reivindicación 1, caracterizado porque el primer número binario multidígito está en clave binaria convencional, y el segundo número binario multidígito está en clave binaria reflejada, en la que se representan valores dígitos por señales de "unos" o de "ceros"; y caracterizado además porque las señales de dígito del segundo número binario, se convierten en señales de dígito para un tercer número binario que tienen un dígito correspondiente más impor-

234911

- 9



5            tante y dígitos menos importantes transformados, si la  
señal de dígito en el primer número de clave binaria de  
importancia superior inmediata es un "uno", y cada com-  
parador da una señal "uno" si la comparación del comple-  
10            mento de las señales de dígito del tercer número con las  
señales de dígito del primer número revela por lo menos  
una señal "uno" para cada posición de dígito, o si se  
revela que por lo menos una posición correspondiente de  
dígito más importante en ambos números binarios primero  
y tercero contiene una señal "uno"; mientras que una se-  
ñal "cero" procedente de cualquiera de los comparadores  
indica que el primer número binario es mayor que el se-  
gundo número binario.

15            5) Procedimiento según cualquiera de las  
reivindicaciones 1 a 4, caracterizado porque los dos nú-  
meros binarios comparados tienen el mismo número de ci-  
fras o dígitos.

20            6) Circuito eléctrico para practicar el pro-  
cedimiento según cualquiera de las reivindicaciones 1 a  
5, caracterizado por varios circuitos de comparación;  
un circuito de salida acoplado a los circuitos de com-  
paración, cada uno de cuyos circuitos de comparación re-  
cibe señales que representan un dígito de la misma im-  
portancia de cada uno de los dos números de clave bina-  
25            ria, y emite una primera salida al circuito de salida;  
y medios que responden a una segunda salida de dichos  
circuitos de comparación, para determinar la citada pri-  
mera salida de circuitos de comparación de dígitos menos  
importantes.

30            7) Circuito eléctrico para practicar el pro-  
cedimiento según cualquiera de las reivindicaciones 1 a

234911<sup>9</sup> AB



5 3, caracterizado por varios circuitos de comparación  
distintos; medios para aplicar señales derivadas de los  
dígito individuales de cada uno de los números a los  
distintos circuitos de comparación; un elemento de cir-  
cuito final para aplicar una salida de cada uno de los  
distintos circuitos de comparación al circuito final,  
y medios para aplicar otra salida de cada uno de los  
distintos circuitos de comparación mencionados a los  
circuitos de comparación para dígitos menos importantes  
10 de dichos números.

15 8) Circuito eléctrico para practicar el pro-  
cedimiento según las reivindicaciones 1, 4 ó 5, caracte-  
rizado por varios circuitos distintos de comparación;  
medios para aplicar señales derivadas de los dígitos del  
primer número binario a cada uno de los circuitos de  
comparación; medios para aplicar a cada uno de los men-  
cionados circuitos de comparación una señal derivada  
de los dígitos del citado número binario segundo y del  
dígito más importante del primer número; un circuito  
20 final; medios para aplicar una salida de los menciona-  
dos circuitos de comparación al circuito final; y me-  
dios para aplicar otra salida de los circuitos de com-  
paración a los circuitos de comparación para dígitos  
menos importantes de los referidos números primero y se-  
25 gundo.

30 9) Circuito eléctrico según las reivindica-  
ciones 7 u 8, caracterizado porque dichos circuitos de  
comparación distintos, comprenden varios circuitos OR  
y varios circuitos AND, y el citado circuito final es un  
circuito AND; con medios para aplicar las señales de

234911<sup>9</sup>



5 salida de cada uno de los circuitos AND a los circuitos OR de los dígitos menos importantes; medios para aplicar la salida de cada uno de los circuitos OR al citado circuito AND final; y medios para aplicar señales indicativas de los valores dígitos de cada uno de los referidos números a los circuitos OR y AND.

10 10) Circuito eléctrico según la reivindicación 9, caracterizado porque cada uno de los circuitos OR mencionados comprende un dispositivo de descarga de electrones, con un cátodo, varias rejillas y un ánodo; con los medios para aplicar señales indicativas de los valores dígitos de cada uno de los citados números primero y segundo a los circuitos OR, conectados a una primera rejilla para el primer número, y a una segunda rejilla para el segundo número; y con los medios para aplicar las señales de salida de los circuitos AND a los circuitos OR conectados al cátodo; de manera que cada señal de una polaridad en una de dichas rejillas primera y segunda, y de polaridad opuesta en dicho cátodo, establece un estado de señal en el ánodo, y la falta de señal de una polaridad en las rejillas, y de señal de polaridad opuesta en el cátodo, determina otro estado de señal en el ánodo.

25 11) Circuito eléctrico según la reivindicación 9, caracterizado porque comprende varios circuitos OR exclusivos, cada uno de ellos conectado a un circuito AND o a un circuito OR; un primer elemento que aplica una señal indicativa de un valor dígito de uno de los mencionados números primero o segundo a cada uno de los circuitos OR exclusivos; y un segundo elemento que aplica una señal indicativa del valor del dígito siguiente de



mayor importancia del otro de los mencionados números primero o segundo, a cada uno de los referidos circuitos OR exclusivos.

5                   12) Circuito eléctrico según la reivindicación 11, caracterizado porque cada uno de los citados circuitos OR exclusivos comprende: dispositivos de descarga de electrones primero y segundo, cada uno de ellos con un cátodo, varios elementos de rejilla y un ánodo; estando dicho primer elemento conectado a una primera re-  
10                   rejilla del primer dispositivo, y , por medio de un circuito inversor de señales, a una de las rejillas del segundo dispositivo; un circuito anódico común; de manera que las señales de polaridad opuesta de las rejillas primera y segunda del primer dispositivo proporcionan un estado distinto de señal en el circuito anódico común, y  
15                   las señales de la misma polaridad en las rejillas primera y segunda del primer dispositivo proporcionan otro estado distinto de señal en el circuito anódico y común.

20                   13) Circuito eléctrico según la reivindicación 7, caracterizado por varios circuitos OR y varios circuitos AND; medios para aplicar cada dígito, menos el de menor importancia, de un número, y el primero de cada dígito, salvo el de menor importancia, del otro número, a uno de los circuitos OR o de los circuitos AND; apli-  
25                   cando los dígitos de la misma importancia a los mismos circuitos OR y AND; medios para aplicar la salida de cada circuito AND a cada circuito OR de un dígito menos importante; medios para aplicar el dígito menos importante de un número y el primo del dígito menos importante del  
30                   otro número, solo a uno de los circuitos OR; un circuito AND distinto; y medios para aplicar las salidas de cada uno de los circuitos OR al circuito AND distinto

234911



mencionado.

5           14) Circuito eléctrico según la reivindicación 7, caracterizado por circuitos de comparación de dígitos primero, intermedios y último, dispuestos para comparar los correspondientes dígitos de importancia mayor, intermedia y menor de los números de clave binaria; un portillo lógico OR en cada uno de los circuitos de comparación de dígitos, y un portillo lógico AND en cada uno de los circuitos de comparación primero e intermedios; 10 medios para aplicar a cada uno de los portillos lógicos OR y AND, en sus respectivos circuitos de comparación, señales derivadas de dígitos correspondientes de los citados números de clave binaria; varios portillos lógicos OR de carga; medios que comprenden tales portillos lógicos OR de carga, para aplicar la salida de los portillos lógicos AND a los portillos lógicos OR, en circuitos 15 de comparación para dígitos de menos importancia; y un portillo lógico AND final, conectado en común a los portillos lógicos OR de entrada; cuyo portillo lógico AND final responde a un primer estado de salida de todos los 20 portillos lógicos de entrada mencionados, para proporcionar una primera señal de salida que indica que uno de los números binarios es igual o mayor que el otro número binario, y responde a la falta de tal primer estado de salida de uno por lo menos de los portillos lógicos OR, 25 para proporcionar una segunda señal de salida que indica que el otro número binario es mayor que el número binario citado.

30           15) Circuito eléctrico según la reivindicación 8, caracterizado por circuitos de comparación de dígitos primero, intermedios y último, que corresponden

234911



a los dígitos de importancia mayor, intermedia y menor de los números de clave binaria primero y segundo mencionados; un portillo lógico OR en cada uno de los circuitos de comparación; un portillo lógico AND en cada uno de los circuitos de comparación primero e intermedios; medios para aplicar a cada uno de los portillos lógicos OR y AND, en sus respectivos circuitos de comparación, señales de los dígitos del primer número; un portillo lógico OR exclusivo conectado a cada uno de los circuitos de comparación intermedios y último; respondiendo cada uno de los portillos OR exclusivos a una señal procedente del dígito correspondiente del segundo número, y a otra señal derivada del dígito de importancia inferior inmediata del primer número, para proporcionar una señal a cada uno de los portillos lógicos OR y AND, en el correspondiente circuito de comparación; un portillo lógico AND final; medios para aplicar la salida de los portillos lógicos OR al portillo lógico AND final; y medios para aplicar la salida de los portillos lógicos AND a los portillos lógicos OR, en circuitos de comparación para dígitos menos importantes de dichos números; cuyos portillos lógicos AND finales responden a señales de un tipo procedente de todos los portillos lógicos OR, para proporcionar una primera señal de salida, y responden a esas mismas señales cuando no proceden de todos los portillos lógicos OR, para proporcionar una segunda señal de salida; cuyas señales de salida primera y segunda indican la magnitud relativa de los mencionados números primero y segundo.

30

16) Procedimiento y circuito eléctrico co-

23491



rrespondiente, para comparar la magnitud relativa de dos números multidígitos de clave binaria.

Esta memoria consta de treinta y seis páginas escritas por una sola cara.

BARCELONA, - 9 ABR 1957

P. A.

JOSE M. BOLIBAN  
H. P.

- 9



234911

Indicaciones referentes a los planos

-----

INV - Inversor

OR EXC - Circuito OR exclusivo

LOD - Líneas de otros dígitos.



