



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

⑪ Número de publicación: **2 238 146**

⑫ Número de solicitud: 200301619

⑬ Int. Cl.
H03M 3/02 (2006.01)

⑭

PATENTE DE INVENCION

B1

⑮ Fecha de presentación: **04.07.2003**

⑯ Fecha de publicación de la solicitud: **16.08.2005**

Fecha de la concesión: **24.03.2006**

⑰ Fecha de anuncio de la concesión: **16.05.2006**

⑱ Fecha de publicación del folleto de la patente:
16.05.2006

⑲ Titular/es: **Universidad de Valladolid**
Plaza de Santa Cruz, 5 - Bajo
47002 Valladolid, ES

⑳ Inventor/es: **Arias Álvarez, Jesús;**
Quintanilla Sierra, Luis;
Enríquez Giraudo, Lourdes;
Vicente Antón, José;
Bisbal van Bylen, David;
San Pablo García, Jacinto y
Barbolla Sancho, Juan

㉑ Agente: **No consta**

㉒ Título: **Convertor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un convertor $\Sigma\Delta$ de tiempo continuo.**

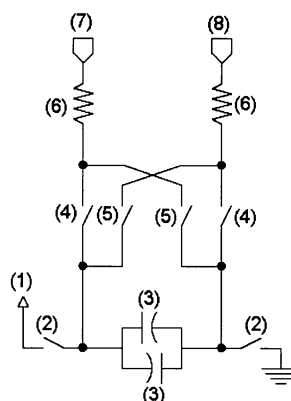
㉓ Resumen:

Convertor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un convertor $\Sigma\Delta$ de tiempo continuo.

El circuito convertor Digital/Analógico propuesto genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un convertor Sigma-Delta de tiempo continuo. Permite reducir notablemente la sensibilidad al jitter del reloj de los convertidores Sigma-Delta de tiempo continuo.

Consiste en un condensador (3), dos resistencias (6) y seis conmutadores (2), (4) y (5) los cuales están controlados por el correspondiente circuito de lógica (Figura 5). En realidad, se han utilizado dos condensadores (3) con sus terminales cruzados para considerar las capacidades parásitas asociadas a la placa inferior del condensador con el sustrato.

El circuito que se propone logra una notable reducción de esa sensibilidad al jitter mediante la generación de formas de onda de tipo retorno a cero con retraso de medio ciclo (HRZ) y con evolución exponencial decreciente en el lazo de realimentación del convertor Sigma-Delta en tiempo continuo.



Aviso: Se puede realizar consulta prevista por el art. 37.3.8 LP.

DESCRIPCIÓN

Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Σ - Δ de tiempo continuo.

Objeto de la invención

La invención consiste en un circuito basado en condensadores conmutados que implementa los conversores Digital/Analógico necesarios en el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo. El conversor Digital/Analógico genera una corriente de salida cuya forma de onda es de tipo exponencial decreciente.

La enorme sensibilidad al "jitter" del reloj es una de las principales limitaciones de los conversores Sigma-Delta de tiempo continuo. El circuito que proponemos permite una notable reducción de dicha sensibilidad.

Antecedentes de la invención

La conversión de datos proporciona el vínculo entre el mundo analógico y los sistemas digitales y se realiza mediante los conversores Analógico/Digital y Digital/Analógico. Con el aumento del cálculo digital y del procesamiento digital de señales en aplicaciones tales como imagen médica, instrumentación, electrónica de consumo y comunicaciones, el ámbito de los sistemas de conversión de datos se ha extendido enormemente en los últimos 20 años.

La modulación de sobremuestreo Sigma-Delta ($\Sigma\Delta$) [1, 2] es ampliamente utilizada en conversores Analógico/Digital (A/D) de señales de banda estrecha. A diferencia de los conversores A/D de Nyquist, que requieren bloques funcionales constituyentes de alta precisión, los conversores A/D $\Sigma\Delta$ presentan una sensibilidad baja a las imperfecciones del circuito [ver, por ejemplo, 3, 4 y 5]. Esta técnica es muy adecuada para la realización de circuitos mediante tecnologías convencionales CMOS de bajo coste económico que son las habituales para la implementación de circuitos integrados de Muy Alta Escala de Integración (VLSI). Entre sus aplicaciones se encuentran conversores para audio, video y comunicaciones.

En la Figura 1 se muestra un esquema básico de un conversor A/D $\Sigma\Delta$ donde se muestran los bloques fundamentales de que consta: un filtro de función de transferencia $H(z)$, un cuantizador controlado por el reloj y un conversor Digital/Analógico (DAC) en el lazo de realimentación. La idea básica de la modulación $\Sigma\Delta$ puede plantearse del modo siguiente: la señal de entrada analógica es modulada en una secuencia de palabras digitales cuyo espectro se aproxima a la de la señal de entrada en un rango estrecho de frecuencia, siendo un espectro muy ruidoso fuera de ese rango. Este ruido procede del ruido de cuantización de la señal analógica y el lazo del filtro "conforma" o "modela" el ruido de cuantización fuera del estrecho rango de frecuencia de interés (la banda de la señal).

Hasta ahora, la realización de estos conversores se ha llevado a cabo preferentemente mediante la técnica de condensadores conmutados ("SC capacitors") en tiempo discreto (DT). Sin embargo, la reciente demanda de conversores A/D de banda ancha y alta resolución para su aplicación en telecomunicaciones exige frecuencias de muestreo cada vez más elevadas. Además, en los circuitos SC la frecuencia de ganancia-unidad de los amplificadores operacionales debe ser varias veces superior a la frecuencia de muestreo. Este condicionante obliga a utilizar elevadas corrientes de polarización para lograr amplios anchos de banda ocasionando, en definitiva, consumos de potencia considerables. Por otro lado, la continua disminución de la tensión de alimentación en las tecnologías CMOS actuales está ocasionando importantes limitaciones en los circuitos SC. Así, por ejemplo, la alta resistencia de los conmutadores limita tanto el rango de señal como la frecuencia de muestreo. Se han propuesto algunas técnicas de circuito -tales como el "bootstrapping" de los conmutadores [6] o la estrategia del operacional conmutado [7]-, pero son bastante complejas y continúan limitando la frecuencia de muestreo.

Los circuitos en tiempo continuo (CT) no experimentan estas limitaciones [ver, por ejemplo, 8 y 9] y son, por tanto, capaces de lograr elevadas prestaciones en los actuales procesos CMOS de baja tensión. Además, los errores asociados al muestreo de la señal de entrada -inyección de carga, errores de establecimiento,...- típicos de los circuitos DT no existen en los circuitos CT en donde el muestreo ocurre en el interior del lazo $\Sigma\Delta$. No obstante, la naturaleza mixta CT-DT de los moduladores Sigma-Delta en tiempo continuo los hace más difíciles de diseñar y de simular. Como consecuencia, las técnicas de diseño para este tipo de moduladores no están aún tan bien establecidas como para los moduladores Sigma-Delta en tiempo discreto.

Mientras que los moduladores $\Sigma\Delta$ en tiempo discreto son insensibles a la forma de la señal de realimentación siempre que esté completamente establecida en el instante de su utilización, las principales desventajas de los moduladores $\Sigma\Delta$ en tiempo continuo están relacionadas con las características de conmutación de la señal realimentada y son las siguientes:

i) Exceso de retardo en el lazo ("excess loop delay") [8, 10]. El retraso de la señal realimentada es debido principalmente al tiempo de respuesta del comparador. Este retraso altera la respuesta en frecuencia y degrada la relación señal-ruido (SNR) del modulador $\Sigma\Delta$ CT.

ii) Asimetría en el tiempo de subida y de bajada de la forma de onda generada por el DAC [11]. Tiempos de subida y de bajada desiguales en la forma de onda del DAC producen distorsión armónica.

Se ha demostrado [8, 9, 11 y 12] que la manera de reducir notablemente el efecto de estas dos características sobre el funcionamiento del modulador es utilizar formas de onda que retornen a cero ("return-to-zero", RZ, y "half-delayed return-to-zero", HRZ [8]) en lugar de las habituales formas de onda que se mantienen no nulas a lo largo de todo el ciclo de reloj ("non-return-to-zero", NRZ). De ahí, que sea este tipo de señales de realimentación las que habitualmente se utilizan en los moduladores de tiempo continuo. En la Figura 2, se muestran estas tres formas de onda mencionadas.

iii) "Jitter" en el reloj. Se ha demostrado [5, 8, 9, 13 y 14] que las incertidumbres aleatorias asociadas a las transiciones del reloj en la señal realimentada incrementan el nivel de ruido en la banda de la señal. A diferencia del exceso de retardo del lazo y de las asimetrías en la onda procedente del DAC, la influencia del jitter sobre el modulador de tiempo continuo no se atenúa al utilizar una señal de realimentación de tipo RZ (o HRZ). Por el contrario, la utilización de este tipo de señales aumenta el efecto del jitter sobre la SNR.

Otro parámetro que debe ser tenido en cuenta es el factor de sobremuestreo (OSR). De acuerdo con la dependencia del ruido de cuantización -proporcional a $1/\text{OSR}^2$ - y del ruido asociado al proceso de jitter, suponiendo que se trata de un proceso de tipo Gaussiano y no correlacionado, -proporcional a $1/\text{OSR}^{2M+1}$ donde M es el orden del conversor- se ha demostrado que el nivel tolerable de jitter disminuye cuando OSR aumenta ya que, finalmente, la potencia de ruido asociada al jitter acabará excediendo a la potencia de ruido debida al ruido de cuantización [15].

A la vista de todos estos condicionantes, los conversores Sigma-Delta en tiempo continuo son extremadamente exigentes en lo que respecta a las especificaciones de jitter del reloj, requiriendo valores inferiores a los pocos picosegundos. Esta exigencia impone unas características al reloj y su distribución difícilmente asumibles en electrónica de consumo convirtiéndose en un auténtico reto para los diseñadores de este tipo de circuitos integrados y en uno de los factores que han hecho que los conversores Sigma-Delta tradicionalmente tiendan a ser implementados en tiempo discreto a pesar de las notables ventajas que ofrece su implementación en tiempo continuo.

Se han propuesto dos estrategias para reducir el efecto del jitter del reloj en los circuitos conversores Sigma-Delta de tiempo continuo. En primer lugar, la utilización de conversores multibit [11], pero el circuito se ve notablemente complicado por la necesidad de implementar un circuito de promediado ("scrambler") para disminuir la distorsión causada por el desajuste ("mismatch") entre los elementos del conversor DAC del lazo de realimentación del conversor Sigma-Delta. La segunda opción es utilizar formas de onda no rectangulares para las señales de realimentación. En este sentido, Aboushady en su tesis doctoral [9] ha demostrado de forma teórica que la utilización de formas de onda en el DAC alternativas a las habituales formas rectangulares reduciría notablemente la sensibilidad al jitter en estos circuitos. En concreto, ha sugerido la utilización de rampas decrecientes y de exponenciales decrecientes similares a las que pueden verse en Figura 3. Desde luego, también es posible la combinación de ambas soluciones para obtener una sensibilidad al jitter mejorada. Nosotros aquí nos centraremos exclusivamente en un cuantizador para el modulador de 1 bit, pero su extensión a cuantizadores multibit es inmediata sin más que conectar varios DAC de 1 bit en paralelo.

Finalmente, debemos justificar la razón por la que hemos utilizado circuitos que funcionan en modo corriente. Los circuitos conversores, igual que cualquier otro tipo de circuitos electrónicos, se pueden realizar siguiendo dos modos de funcionamiento distintos. Históricamente, el diseño de circuitos analógicos se ha realizado mayoritariamente a través de circuitos que procesan señales en modo tensión. Sin embargo, los avances en las tecnologías disponibles actualmente para la implementación de circuitos integrados permiten explotar las ventajas que aporta el procesamiento en modo corriente: un ancho de banda inherentemente mayor, excelente compatibilidad con la reducción en la tensión de alimentación y menor exigencia de linealidad en componentes pasivos (resistencias y condensadores) al llevar asociadas variaciones de tensión relativamente pequeñas [16]. En adelante, nos centraremos siempre en conversores que trabajan en modo corriente. Sin embargo, una extensión del trabajo también permitiría utilizar moduladores en modo corriente-tensión como los basados en transconductores y condensadores (Gm-C) o moduladores basados en amplificador operacional-RC.

Por lo tanto, es conveniente disponer de un circuito capaz de realizar electrónicamente las formas de onda del DAC que reducen la sensibilidad al jitter del reloj en los circuitos conversores Sigma-Delta de tiempo continuo y verificar que aportan las ventajas que teóricamente se le atribuyen. Al tratarse de una realización física de un circuito integrado, deberá ser suficientemente robusta a todos los efectos no ideales presentes en el circuito, incluidos los componentes parásitos habituales que existen en el proceso de integración.

Bibliografía

[1] INOSE H., YASUDA Y., MURAKAMI J.: "A telemetry system by code modulation - $\Sigma\Delta$ modulation", IRE Trans. Space Elec. Telemetry, 1962, pp. 204-209.

[2] CUTLER C. C.: "Transmission systems employing quantization", U. S. Patent no. 2.927.962, 1960.

[3] NORSWORTHY S. R., SCHREIER R., TEMES G. C.: "Delta-Sigma data converters. Theory, design, and simulation", IEEE Press, ISBN: 0-7803-1045-4

[4] BOSER B. E., WOOLEY B. A.: "The design of Sigma-Delta modulation analog-to-digital converters", IEEE J. Solid-State Circuits, 1988, 23, (6), pp.1298-1308.

[5] **WONGKOMET N., BOSER B. E.**: “An Analysis of Continuous-Time Sigma-Delta Modulators”, *Electrical Engineering Conference* No. 21, Bangkok, Thailandia, 1998.

[6] **DESSOUKY M., KAISER A.**: “Very low-voltage digital-audio Sigma-Delta modulator with 88-db dynamic range using local switch bootstrapping”, *IEEE J. Solid-State Circuits*, 2001, 36, (3), pp.349-355.

[7] **PELUSO V., STEYAERT A., SANSSEN W.**: “A 1.5V-100 microW Sigma-Delta modulator with 12-b dynamic range using the switched opamp technique”, *IEEE J. Solid-State Circuits*, 1997, 32, (7), pp.943-952.

[8] **CHERRY J. A., y SNELGROVE W. M.**: “Continuous-time Delta-Sigma modulators for high-speed A/D conversion”, *Kluwer Academic Publishers*, 2000. ISBN: 0-7923-8625-6.

[9] **ABOUSHADY H.**: “Design for reuse of current-mode continuous-time $\Sigma\Delta$ Modulators analog-to-digital converters”. Tesis Doctoral, Universidad de París VI, París, Francia, 2002.

[10] **CHERRY J. A., SNELGROVE W. M.**: “Excess loop delay in continuous-time Delta-Sigma modulators”, *IEEE Trans. Circuits Syst. II*, 1999, 46, (4), pp.376-389.

[11] **ADAMS R., NGUYEN K. N. y SWEETLAND K.**: “A 113-dB SNR oversampling DAC with segmented noise-shaped scrambling”, *IEEE J. Solid-State Circuits*, 1998, 33, (12), pp.1871-1878.

[12] **ABOUSHADY H., de LIRA MENDES E., DESSOUKY M., LOUMEAU P.**: “A current-mode continuous-time Sigma-Delta modulator with delayed return-to-zero feedback”, *IEEE International Symposium on Circuits and Systems*, Junio 1999, pp. 360-363.

[13] **OLIAEI O., y ABOUSHADY H.**: “Jitter effects in continuous-time $\Sigma\Delta$ Modulators with delayed return-to-zero feedback”, *Proceedings IEEE International Conference on Electronics, Circuits and Systems (ICECS'98)*, Lisboa, Portugal, Septiembre 1998.

[14] van der **ZWAN E. J., y DIJKMANS E. C.**: “A 0.2-mW CMOS $\Sigma\Delta$ Modulator for speech coding with 80 dB dynamic range”, *IEEE J. Solid-State Circuits*, 1996, 31, (12), pp.1873-1880.

[15] **CHERRY J. A., SNELGROVE W. M., SCHVAN P.**: “Signal-dependent timing jitter in continuous-time Sigma-Delta modulators”, *Electronics Lett.*, 1997, 33, (13), 1118-1119.

[16] **HAIGH D. G., SOIN R.**: “Analogue IC design: the current-mode approach”, *IEE Circuits and Systems Series* 2, ISBN: 0863412971.

Descripción de la invención

La enorme sensibilidad al jitter de los conversores Sigma-Delta de tiempo continuo es una de sus principales limitaciones y la razón por la que hasta ahora este tipo de conversores tiende a ser implementado mediante sistemas que funcionan en tiempo discreto. Para conversores en tiempo continuo, se exigen valores de jitter inferiores a los pocos picosegundos (incluso de décimas de picosegundo, en algunas aplicaciones exigentes) los cuales son realmente difíciles de lograr con realizaciones habituales del reloj en circuitos integrados. Por ejemplo, un PLL basado en un oscilador de anillo presenta habitualmente un jitter del orden de 10 picosegundos.

El circuito que proponemos logra una notable reducción de esa sensibilidad al jitter mediante la generación de formas de onda de tipo retorno a cero con retraso de medio ciclo (HRZ) y con evolución exponencial decreciente en el lazo de realimentación del conversor Sigma-Delta en tiempo continuo. Se trata de una implementación basada en un circuito de condensadores conmutados del bloque conversor Digital/Analógico. Además, el circuito trabaja en modo corriente, pues el conversor Sigma-Delta así lo hace. En la Figura 4 se muestra el esquema del circuito DAC de 1 bit basado en condensadores conmutados (SC) que genera una corriente de salida de forma exponencial decreciente. La posibilidad de implementar un cuantizador multibit en el modulador es inmediata sin más que conectar en paralelo varios DAC de 1 bit.

Consiste en un condensador, dos resistencias y seis conmutadores los cuales están controlados por el correspondiente circuito de lógica (Figura 5). En realidad, se han utilizado dos condensadores con sus terminales cruzados para considerar las capacidades parásitas asociadas a la placa inferior del condensador (“bottom plate”) con el sustrato. De esta manera, el condensador efectivo correspondiente a los dos condensadores en paralelo presenta la misma capacidad parásita en ambos terminales. Los conmutadores se diseñaron en un compromiso entre presentar baja resistencia (tamaño grande) e introducir capacidades parásitas responsables de efectos indeseados tales como glitches, feedthrough del reloj, ...

La impedancia de salida del conversor Digital/Analógico debe ser compatible con la impedancia de entrada del bloque funcional al que ataca. En nuestro caso esa impedancia es muy baja por tratarse de un integrador en modo corriente.

El principio de operación del circuito DAC es el siguiente. En la fase de precarga, el condensador se carga a la tensión de referencia, VREF. En la fase siguiente, el condensador se encuentra flotante entre los nodos de salida los cuales están seleccionados de acuerdo con las señales generadas por el circuito de lógica. Así, el condensador se descarga y genera un pulso de corriente cuya integración por parte del bloque integrador del conversor Sigma-Delta corresponde a la carga acumulada durante la fase de precarga.

El esquema correspondiente al circuito lógico de control de los conmutadores se muestra en la Figura 5. Está basado en dos bloques funcionales básicos: inversores y puertas NAND. El circuito consiste en un biestable que genera formas de onda digitales no solapadas con retrasos entre ellas bien controlados. Para lograrlo, se diseñan las dimensiones de los transistores de los inversores y las puertas NAND de acuerdo con las capacidades de carga y los retardos deseados. Las entradas del circuito de lógica son las siguientes: el reloj maestro y la salida de datos del conversor Sigma-Delta (salida del bloque comparador). Sus salidas son las señales que controlan los conmutadores del conversor Digital/Analógico: señal prech y su complemento para la fase de precarga del condensador y señales rzn y rzp para el control de los conmutadores durante la fase de generación del pulso de salida.

Aunque el DAC propuesto en la Figura 4 está diseñado para operar en un modulador que funciona en modo corriente también es potencialmente útil para trabajar con moduladores que operan en modo corriente-tensión como son los basados en transconductores y condensadores (Gm-C). En un circuito Gm-C no disponemos de nodos de baja impedancia, por lo que habrá que modificar el DAC para aumentar su impedancia de salida. Una solución inmediata es colocar transistores cascode en las salidas del DAC. Por el contrario, si el filtro (integrador) del modulador está implementado mediante una solución amplificador operacional-RC, el DAC podría conectarse directamente a las entradas del amplificador operacional pues su tierra virtual aportaría el nodo de baja impedancia necesario.

Breve descripción de las figuras

Figura 1. Esquema básico de un conversor Sigma-Delta donde se indican los componentes fundamentales por medio de diagramas de bloques.

- (1): u, señal de entrada
- (2): Σ , sumador
- (3): filtro con función de transferencia $H(z)$
- (4): x, señal de salida del filtro
- (5): f_s , frecuencia de reloj maestro
- (6): y, señal de salida del modulador
- (7): DAC

Figura 2. Pulsos rectangulares típicos generados por el conversor Digital/Analógico del lazo de realimentación del conversor Sigma-Delta. De arriba a abajo: señal sin retorno a cero (NRZ), señal con retorno a cero (RZ) y señal con retorno a cero y medio ciclo de retraso (HRZ).

Figura 3. Pulsos ideales de tipo no rectangular: rampa y exponencial decrecientes. t_d y τ son el tiempo de retraso del pulso y la anchura de pulso, respectivamente. T es el período de la señal de reloj.

Figura 4. Esquema del circuito conversor Digital/Analógico de 1 bit basado en condensadores conmutados que genera pulsos de corriente con forma exponencial decreciente.

- (1): V REF: tensión de referencia del DAC
- (2): conmutador controlado por la señal prech
- (3): condensador de valor $C/2$
- (4): conmutador controlado por la señal rzp
- (5): conmutador controlado por la señal rzn
- (6): resistencia de valor R
- (7): Iop, corriente de salida positiva del DAC
- (8): Ion, corriente de salida negativa del DAC

Figura 5. Esquema del circuito de la lógica de control de los conmutadores del circuito conversor Digital/Analógico que genera los pulsos de corriente exponenciales decrecientes.

- (1): clk_{in}, entrada de reloj maestro
- (2): V_{DD}, tensión de alimentación
- (3): salida del comparador
- (4): señal de salida prech complementaria
- (5) : señal de salida prech
- (6): reloj de control del comparador
- (7): salida de la señal rzn
- (8): salida de la señal rzp

Figura 6. Arquitectura de un modulador Sigma-Delta de segundo orden de tiempo continuo y que opera en modo corriente.

- (1): i₊, entrada de corriente positiva
- (2): i₋, entrada de corriente negativa
- (3): INT1, integrador1
- (4): INT2, integrador2
- (5): f_s, señal de reloj maestro
- (6): COMP, comparador
- (7): v₀₊, tensión de salida positiva
- (8): v₀₋, tensión de salida negativa
- (9) : DAC1
- (10): DAC2

Figura 7. Evolución temporal de la corriente de salida diferencial del conversor DAC1. Se muestran dos ciclos completos obtenidos mediante simulación a nivel de circuito utilizando el simulador Spectre. Se han incluido las formas de onda correspondientes a las tensiones de referencia de V_{DD} (línea punteada) y V_{DD}/2 (línea continua).

Figura 8. SNR en función de los dos tipos de jitter considerados (ver texto). V_{DD} = 3V, frecuencia de muestreo = 25 MHz, OSR = 64 (ancho de banda = 200 kHz), tensión puerta-fuente efectiva de los transistores = 0.3 V, condensador de integración = 39pF, V_{REF} = 3V. Señal de entrada de tipo sinusoidal: amplitud = 25 μA, frecuencia = 30 kHz. Se muestran dos perspectivas complementarias. (1): DAC de tipo exponencial. (2): DAC de tipo rectangular.

Descripción de un ejemplo de realización de la invención

Para verificar que el circuito propuesto disminuye notablemente la sensibilidad al jitter en un modulador Sigma-Delta de tiempo continuo se ha diseñado un modulador de segundo orden completamente diferencial cuya arquitectura se muestra en la Figura 6. Este tipo de topología es usado de manera habitual para la realización de moduladores Sigma-Delta debido a las ventajas que aporta [1]. Se han realizado simulaciones tanto a nivel de sistema como de circuito (utilizando el programa Spectre en este último caso).

Para obtener los coeficientes de la realimentación a través del DAC1 y del DAC2 (a₁ y a₂, respectivamente) se calculó la transformada Z modificada de la ganancia del lazo en tiempo continuo. Para ello, se consideró la función de transferencia de segundo orden del filtro y la forma exponencial decreciente de la señal de realimentación [2, 3]. Esta última se describe en el dominio del tiempo mediante la expresión:

$$h_{DAC}(t) = \exp\{-(t - t_d)/R/C\} [u(t - t_d) - u(t - t_d - \tau)]$$

ES 2 238 146 B1

donde RC es la constante de tiempo de la exponencial, t_d es el retraso del pulso con respecto al instante de muestreo y i es la anchura de pulso.

Como hipótesis fundamental suponemos que el pulso exponencial es corto, es decir, se trata de un pulso cuya constante de tiempo es mucho menor que la anchura del pulso y, por consiguiente, la corriente del conversor Digital/Analógico es cero mucho antes del fin del ciclo de reloj. De esta manera, toda la carga del condensador se transfiere a la salida del DAC independientemente de la duración exacta del pulso.

Identificando la ganancia del lazo en tiempo continuo con la ganancia del lazo de un modulador Sigma-Delta de segundo orden de tiempo discreto [3], los coeficientes tienen los valores:

$$a_1 = -T/R/C \text{ y}$$

$$a_2 = -(1 + T/R/C + t_d/R/C).$$

En nuestro sistema, hemos elegido una señal de tipo HRZ ($t_d = T/2$, una anchura de pulso de $T/2$) y $RC = T/10$. Por consiguiente:

$$a_1 = -10 \text{ y}$$

$$a_2 = -16.$$

Con objeto de lograr una disminución en el consumo de potencia, se propuso una estructura modificada. Para ello, introdujimos un factor de ganancia de $1/4$ en el segundo integrador. Reordenando esta ganancia sobre el primer integrador y el coeficiente de realimentación, el primer integrador tendrá un factor de ganancia de $1/4$ y los coeficientes escalados serían:

$$a_{1, \text{esc}} = a_1 \text{ y}$$

$$a_{2, \text{esc}} = a_2/4.$$

El modulador Sigma-Delta de segundo orden en tiempo continuo y operando en modo corriente se realizó en una tecnología CMOS standard de AMS de $0.35 \mu\text{m}$ con una frecuencia de muestreo, OSR y tensión de alimentación de 25 MHz, 64 y 3V, respectivamente. La estructura completamente diferencial mostrada en la Figura 6 se ha implementado usando:

a) dos integradores completamente diferenciales en modo corriente,

b) dos conversores Digital/Analógico de 1bit con HRZ y basados en condensadores conmutados y

c) un comparador diferencial que trabaja en modo corriente.

El integrador estuvo basado en una topología de tipo cascodo plegado de una única etapa que proporciona tanto alta ganancia como un bajo consumo de potencia. Suponiendo transistores ideales e idénticos, el análisis en pequeña señal de este circuito nos permite obtener la relación salida, $(i_{op} - i_{on})/\text{entrada } (i_{ip} - i_{in})$:

$$(i_{op} - i_{on}) / (i_{ip} - i_{in}) = g_m/s/C$$

donde g_m es la transconductancia de los transistores MOS y C es el condensador de integración. Para que el modulador funcione correctamente [2],

$$g_m/C = A_{int}/T$$

donde T es el período de muestreo del modulador y A_{int} es la ganancia del integrador.

Los dos conversores Digital/Analógico se implementaron utilizando el circuito que se ha descrito con detalle en el apartado “Descripción de la invención” de esta memoria.

El comparador en modo corriente estuvo basado en un habitual “latch” de tipo regenerativo controlado por el reloj

[4] y polarizado con la misma corriente que el segundo integrador. La constante de tiempo de regeneración se estimó en 50 ps. Así, la probabilidad de observar un estado metaestable es despreciable.

Con objeto de realizar simulaciones del comportamiento del modulador, éste se codificó en un programa. Para simular el efecto del ruido térmico, se incluyeron en las entradas y salidas de los integradores fuentes de corriente de valor aleatorio. También se consideró el ruido de conmutación y térmico de los conversores Digital/Analógico, al igual que el ruido 1/f. La fuente de tensión Flicker se transformó en una fuente de corriente usando la correspondiente transconductancia del transistor [5]. La constante K_f/Cox se obtuvo para los transistores p- y n-MOS de la tecnología de $0.35 \mu\text{m}$ de AMS. Así, se estimó para cada transistor la frecuencia que separa el ruido térmico del ruido 1/f. Respecto a los transistores cascode, no se consideró ni su ruido térmico ni el ruido 1/f.

Para incluir el efecto del jitter [2, 3, 6-9], se generó de forma aleatoria un número con distribución Gaussiana para hacer aleatorio el paso temporal variable usado en las simulaciones. Así, se han considerado la incertidumbre en la anchura de pulso del conversor Digital/Analógico, JitterW, y el ruido de fase del reloj, JitterT. Ambos tipos de jitter se suponen espectralmente blancos y sin correlación. El jitter relacionado con la metaestabilidad del comparador no se ha considerado ya que se han incluido latches entre la salida del modulador y los conversores Digital/Analógico [6 y 9].

Se eligieron como nivel máximo de corriente disponible en la entrada y la tensión de referencia del conversor Digital/Analógico $50 \mu\text{A}$ y 3V , respectivamente. Así, los valores de la resistencia y el condensador de cada conversor Digital/Analógico completamente diferencial son: $R_{dac1} = 3 \text{ k}\Omega$, $C/2_{dac1} = 170 \text{ fF}$ y $R_{dac2} = 7.5 \text{ k}\Omega$, $C/2_{dac2} = 67 \text{ fF}$. Los condensadores y las resistencias se implementaron usando procesos tecnológicos de doble-polisilicio y de pozo-n, respectivamente. Los conmutadores se implementaron mediante transistores MOS de canal n. La impedancia de salida del conversor Digital/Analógico es compatible con la baja impedancia de entrada del integrador (entorno a 350Ω en la banda de la señal). En la Figura 7 se muestran dos ciclos completos de la señal de realimentación generada por el DAC1. El carácter no lineal del condensador puede reducirse disminuyendo la tensión de referencia del DAC. En la Figura se han incluido dos formas de onda correspondientes a dos tensiones de referencia, VREF, diferentes.

Las variaciones de la señal en las salidas de los integradores se estimaron calculando los histogramas a partir de simulación. Para evitar la saturación en ambos integradores la corriente de polarización del primer integrador ($150 \mu\text{A}$) se eligió dos veces mayor que la del segundo integrador.

En la Figura 8, se ha representado la relación señal-ruido (SNR) del modulador de segundo orden usando una señal con amplitud de entrada de -6dB por debajo del nivel de la señal de realimentación en función de las variables JitterW y JitterT. Los resultados que se obtienen en un modulador de segundo orden equivalente que utiliza pulsos rectangulares en los DAC también se han incluido como comparación.

Cuando no se considera ningún jitter, se obtiene la misma SNR (65 dB) utilizando ambas formas de onda en los DACs. Cuando jitterT es pequeño, la sensibilidad a jitterW se reduce notablemente cuando se utiliza una forma de tipo exponencial. Cuando jitterW es pequeño, el efecto (acumulativo) de jitterT es similar en ambos casos ya que la incertidumbre en el tiempo solo afecta al retraso del pulso.

La sensibilidad de SNR al valor absoluto de la constante de tiempo RC también debe considerarse para tener en cuenta efectos de tipo no ideal en el circuito: tolerancias en el proceso tecnológico, resistencias de los switches, impedancia de entrada no nula de los integradores y los parásitos de los componentes. Si RC varía, la función de transferencia del ruido también lo hace. Sin embargo, simulaciones a nivel de sistema indican que SNR apenas experimenta degradación cuando RC cambia en $\pm 30\%$ con respecto al valor elegido ($T/10$) si jitterT y jitterW varían en el rango de 1 a 100 picosegundos.

Finalmente, simulaciones a nivel de circuito indican que el consumo de potencia del modulador es de 6mW . Este consumo es un 30% inferior al que obtuvo Aboushady *et al.* en la Referencia [10].

Bibliografía

- [1] CANDY J. C.: "A use of double integration in Sigma-Delta modulation", *IEEE Trans. on Comm.*, 198, COM-33, pp.249-258.
- [2] ABOUSHADY H.: "Design for reuse of current-mode continuous-time $\Sigma\Delta$ Modulators analog-to-digital converters". Tesis Doctoral, Universidad de París VI, París, Francia, 2002.
- [3] OLIAEI O., y ABOUSHADY H.: "Jitter effects in continuous-time $\Sigma\Delta$ Modulators with delayed return-to-zero feedback", *Proceedings IEEE International Conference on Electronics, Circuits and Systems (ICECS'98)*, Lisboa, Portugal, Septiembre 1998.
- [4] GUSTAVSSON M., WIKNER J. J., TAN N. N.: "CMOS Data converters for communications", *Kluwer Academic Publishers*, 2000, ISBN: 0-7923-7780-X.

[5] **GREGORIAN R., TEMES G. C.:** “Analog MOS Integrated Circuits for signal processing”, *Wiley & Sons*, 1986, ISBN: 0-471-09797-7

[6] **CHERRY J. A., y SNELGROVE W. M.:** “Continuous-time Delta-Sigma modulators for high-speed A/D conversion”, *Kluwer Academic Publishers*, 2000. ISBN: 0-7923-8625-6

[7] **ADAMS R., NGUYEN K. N. y SWEETLAND K.:** “A 113-dB SNR oversampling DAC with segmented noise-shaped scrambling”, *IEEE J. Solid-State Circuits*, 1998, **33**, (12), pp.1871-1878.

[8] **CHERRY J. A., SNELGROVE W. M.:** “Excess loop delay in continuous-time Delta-Sigma modulators”, *IEEE Trans. Circuits Syst. II*, 1999, 46, (4), pp.376-389.

[9] **CHERRY J. A., SNELGROVE W. M., SCHVAN P.:** “Signal-dependent timing jitter in continuous-time Sigma-Delta modulators”, *Electronics Lett.*, 1997, 33, (13), 1118-1119.

[10] **ABOUSHADY H., de LIRA MENDES E., DESSOUKY M., LOUMEAU P.:** “A current-mode continuous-time Sigma-Delta modulator with delayed return-to-zero feedback”, *IEEE International Symposium on Circuits and Systems*, Junio 1999, pp. 360-363.

REIVINDICACIONES

1. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, que permite reducir notablemente la sensibilidad al jitter del reloj de los conversores Sigma-Delta de tiempo continuo al utilizarlo en la implementación de los DAC del lazo de realimentación de dichos conversores, **caracterizado** porque emplea un circuito (Figura 4) basado en condensadores conmutados que genera una forma de onda de tipo HRZ con evolución exponencial decreciente. El circuito consiste en un condensador (3), dos resistencias (6) y seis conmutadores (2), (4) y (5) los cuales están controlados por el correspondiente circuito de lógica (Figura 5). En realidad, se han utilizado dos condensadores (3) con sus terminales cruzados para considerar las capacidades parásitas asociadas a la placa inferior del condensador ("bottom plate") con el sustrato. De esta manera, el condensador efectivo correspondiente a los dos condensadores en paralelo presenta la misma capacidad parásita en ambos terminales. Los conmutadores (2), (4) y (5) se diseñaron en un compromiso entre presentar baja resistencia (tamaño grande) e introducir capacidades parásitas responsables de efectos indeseados tales como glitches, feedthrough del reloj.
2. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, según la reivindicación 1, **caracterizado** porque el esquema correspondiente al circuito lógico de control de los conmutadores que se muestra en la Figura 5, está basado en dos bloques funcionales básicos: inversores y puertas NAND. El circuito consiste en un biestable que genera formas de onda digitales no solapadas con retrasos entre ellas bien controlados. Para lograrlo, se diseñan las dimensiones de los transistores de los inversores y las puertas NAND de acuerdo con las capacidades de carga y los retardos deseados. Las entradas del circuito de lógica son las siguientes: el reloj maestro (1) y la salida de datos del conversor Sigma-Delta (salida del bloque comparador) (3). Sus salidas son las señales que controlan los conmutadores del conversor Digital/Analógico: señal prech (5) y su complemento (4) para la fase de precarga del condensador y señales rzn (7) y rzp (8) para el control de los conmutadores durante la fase de generación del pulso de salida.
3. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, según la reivindicación 1, **caracterizado** por el empleo de un circuito basado en condensadores conmutados para la implementación de los DAC del lazo de realimentación de un conversor Sigma-Delta de tiempo continuo.
4. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, según la reivindicación 1, **caracterizado** por ser robusto ante variaciones en la constante de tiempo de la forma exponencial. Estas variaciones están ocasionadas por efectos de tipo no ideal presentes en el circuito: tolerancias en el proceso tecnológico, resistencias de los switches, impedancia de entrada no nula de los integradores y los parásitos de los componentes. De esta manera, variaciones de hasta un $\pm 30\%$ con respecto al valor elegido ($T/10$) apenas afectan a SNR del modulador de segundo orden cuando jitterT y jitter W varían en el rango de 1 a 100 picosegundos.
5. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, según la reivindicación 1, **caracterizado** porque la tensión de referencia del circuito DAC controla la linealidad del condensador del circuito DAC. Esta linealidad puede aumentarse, disminuyendo la tensión de referencia del DAC.
6. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, según la reivindicación 1, **caracterizado** por la compatibilidad de la impedancia de salida del circuito de la Figura 4 con la baja impedancia de entrada del bloque integrador en modo corriente (que implementa el filtro del modulador Sigma-Delta de tiempo continuo) al que ataca.
7. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, según la reivindicación 1, **caracterizado** por la adecuada elección de los tiempos de no solapamiento de las señales digitales generadas por el circuito lógico que controla los conmutadores del circuito de la Figura 4. Para ello, se diseñaron las dimensiones de los transistores de los inversores y de las puertas NAND de acuerdo con las capacidades de carga y retrasos deseados.
8. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, según la reivindicación 1, **caracterizado** porque los condensadores y resistencias del circuito de la Figura 4 se implementaron mediante procesos tecnológicos de doble-polisilicio y de pozo n, respectivamente. Los conmutadores se implementaron mediante transistores MOS de canal n.
9. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, según la reivindicación 1, **caracterizado** porque se elige el pulso exponencial corto, es decir, se trata de un pulso cuya constante de tiempo es mucho menor que la anchura del pulso y, por consiguiente, la corriente del conversor Digital/Analógico es cero mucho antes del fin del ciclo de reloj.
10. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, según la reivindicación 1, **caracterizado** porque aunque

el circuito propuesto en la Figura 4 muestra el esquema del circuito DAC de 1 bit se puede implementar un cuantizador multibit en el modulador de manera inmediata sin más que conectar en paralelo varios DAC de 1 bit.

11. Conversor Digital/Analógico que genera formas de onda de tipo exponencial decreciente para el lazo de realimentación de un conversor Sigma-Delta de tiempo continuo, según la reivindicación 1, **caracterizado** porque aunque el DAC propuesto en la Figura 4 está diseñado para operar en un modulador que funciona en modo corriente también es útil para trabajar en moduladores que operan en modo corriente-tensión como son los basados en transconductores y condensadores (Gm-C) o en una solución basada en el amplificador operacional junto con resistencias y condensadores (Opamp-RC).

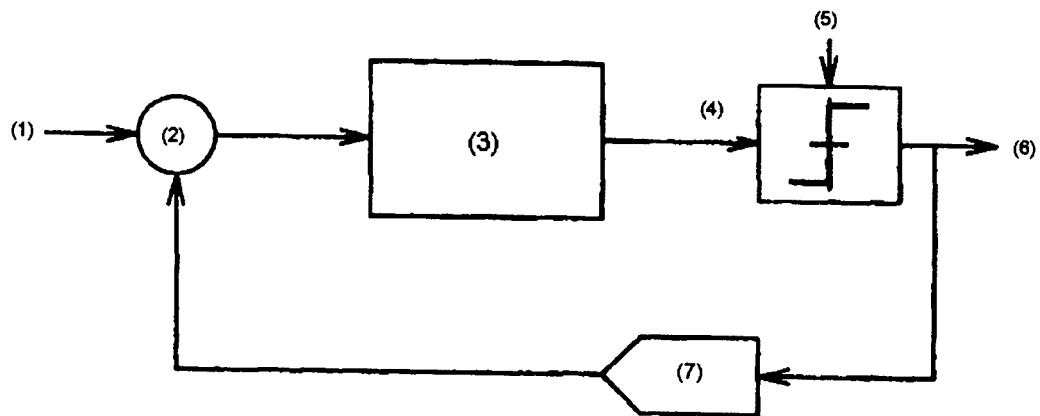


Figura 1

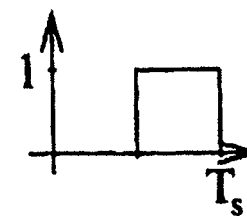
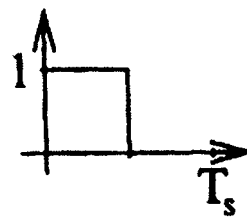
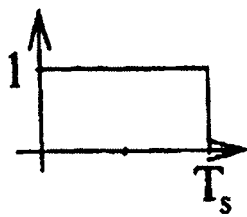


Figura 2

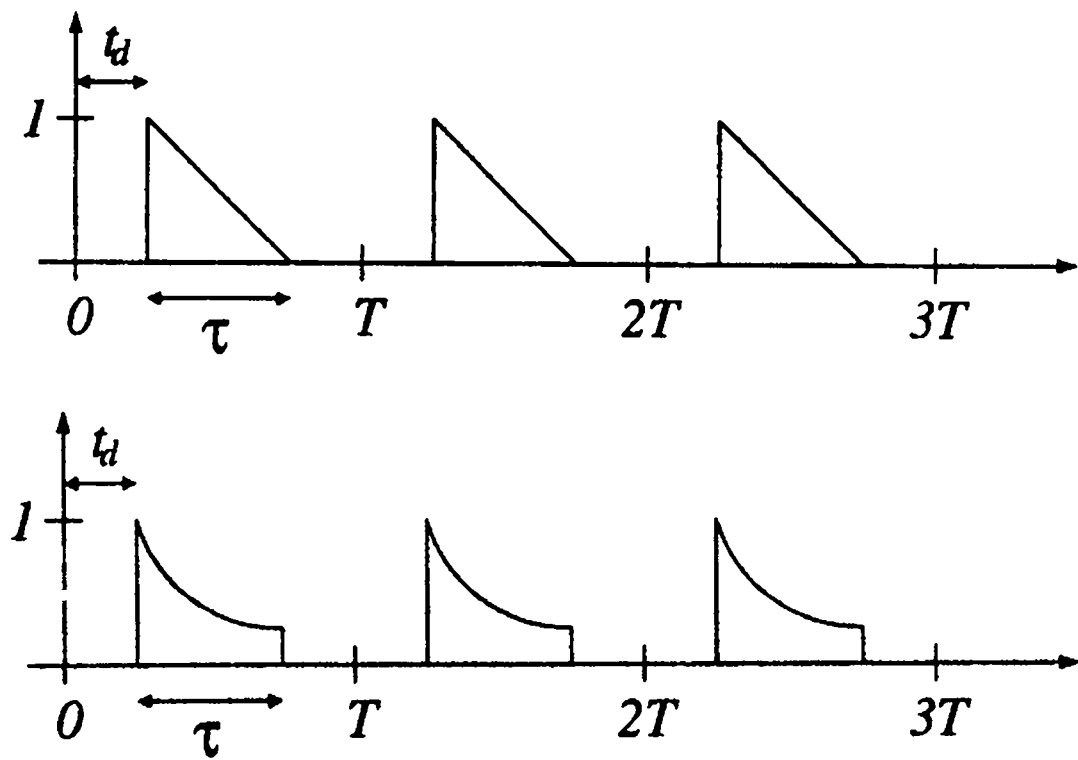


Figura 3

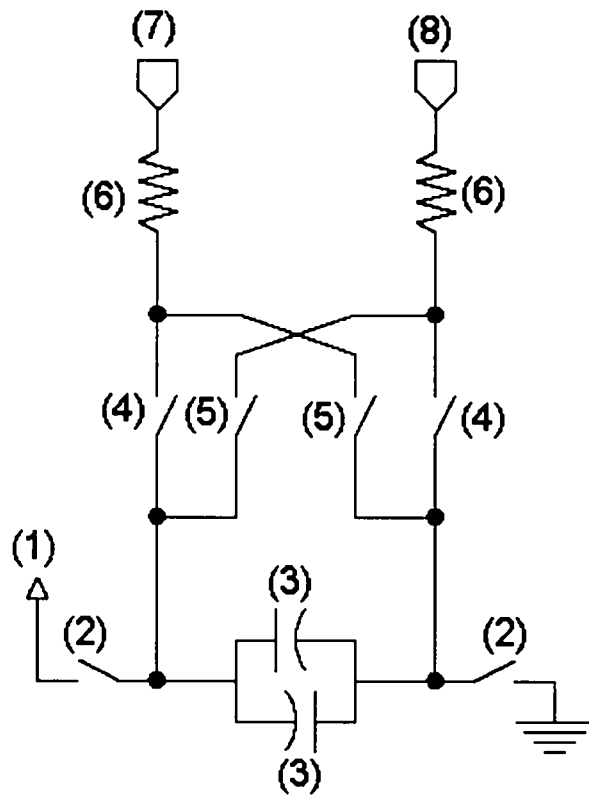


Figura 4

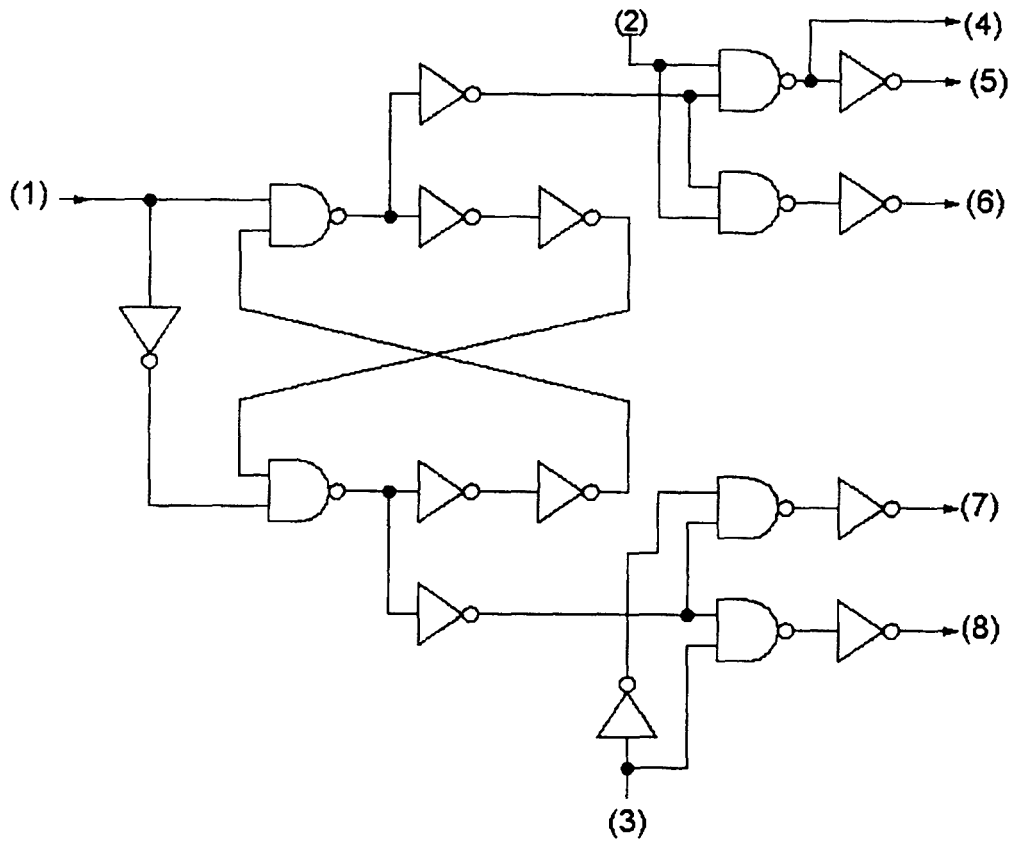


Figura 5

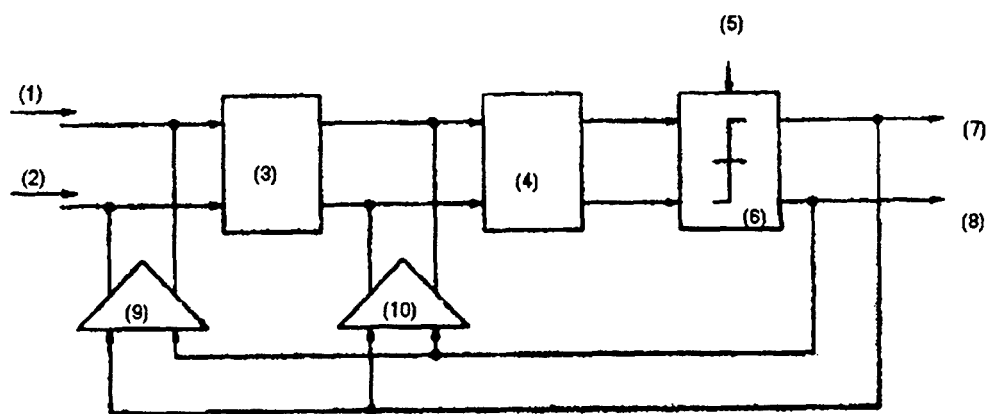


Figura 6

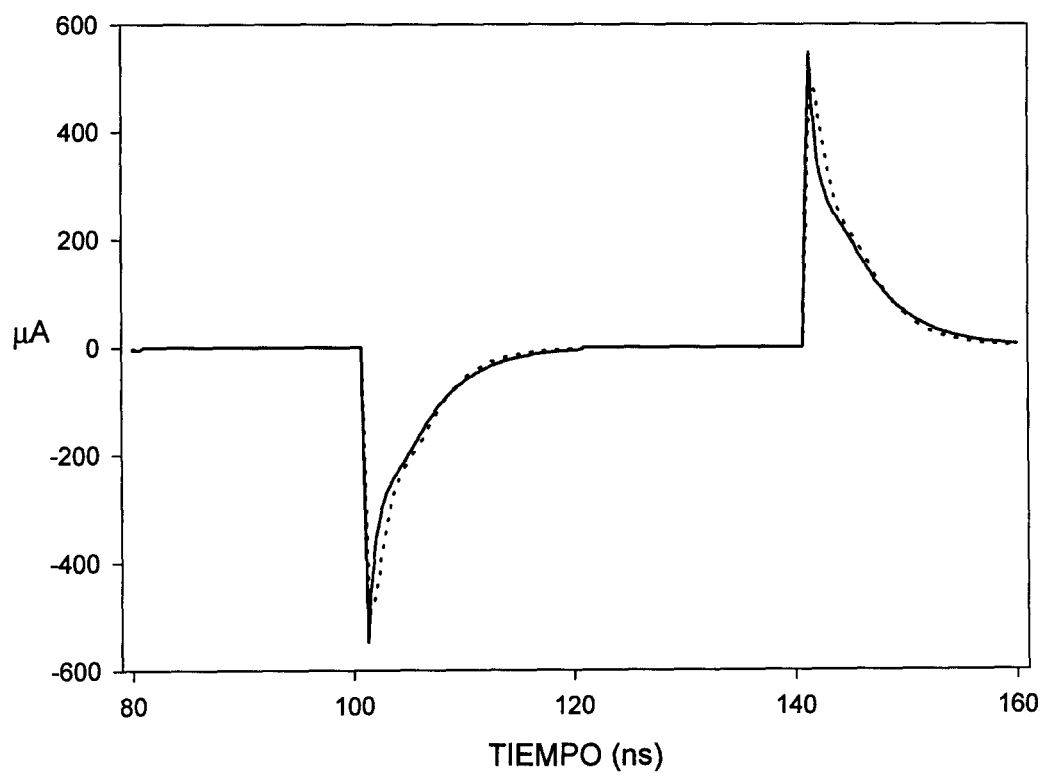


Figura 7

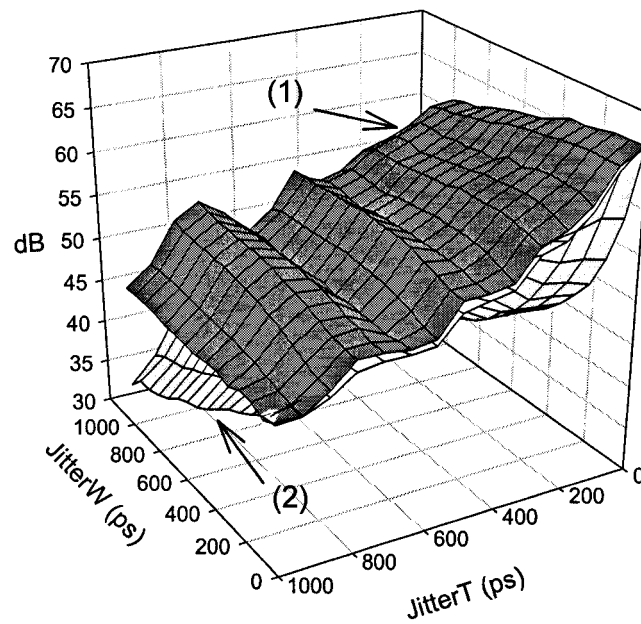
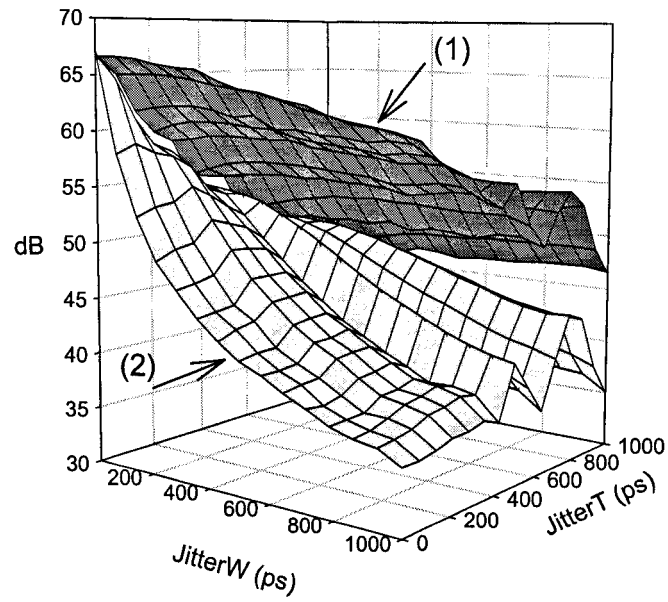


Figura 8



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

⑪ ES 2 238 146

⑫ Nº de solicitud: 200301619

⑬ Fecha de presentación de la solicitud: **04.07.2003**

⑭ Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑮ **Int. Cl.7:** H03M 3/02

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
Y	US 6362761 B1 (BONARDI et al.) 26.03.2002, todo el documento.	1-3,6,7,9
Y	GERFERS F. et al.: "Implementation of a 1.5V low-power clock-jitter insensitive continuous-time Sigma-Delta modulator". En: 2002 IEEE International Symposium on Circuits and Systems. Phoenix-Scottsdale, AZ, USA, 26-29 Mayo 2002. Editado por: IEEE, Piscataway, NJ, USA, 2002, Vol. 2, páginas 652-655. ISBN 0-7803-7448-7.	1,3,6,9
Y	US 4509037 A (HARRIS) 02.04.1985, todo el documento.	2,7
A	US 5621407 A (JEONG et al.) 15.04.1997, todo el documento.	1-11

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

☒ para todas las reivindicaciones

☐ para las reivindicaciones nº:

Fecha de realización del informe

19.07.2005

Examinador

J. Botella Maldonado

Página

1/1